

MMC 기반 HVDC 시스템용 서브모듈 시험회로의 커패시터 용량 분석

서병준¹, 박권식¹, 조광래¹, 노의철[†], 김흥근², 전태원³, 김태진⁴, 이종필⁴

Capacitance Value Analysis of Sub-module Test Circuit for MMC-based HVDC System

Byuong-Jun Seo¹, Kwon-Sik Park¹, Kwang-Rae Jo¹, Eui-Cheol Nho[†],
Heung-Geun Kim², Tae-Won Chun³, Tae-Jin Kim⁴, and Jong-Pil Lee⁴

Abstract

This study considers the design of a submodule test circuit for the modular multi-level converter (MMC)-based HVDC systems. A novel submodule test circuit is proposed to provide not only an AC but also a DC component to the submodule current. However, the current waveforms depend on the capacitor voltages. Therefore, determining the capacitance value of the test circuit is important. Finding a proper capacitance value is easy when the proposed analysis method is used. Simulation and experimental results show the usefulness of the proposed method.

Key words: Modular multi-level converter, Sub-module test, HVDC

1. 서 론

종래의 전류형 HVDC(High Voltage Direct Current) 시스템에 비해 최근에는 MMC(Modular Multi-level Converter)를 이용한 전압형 HVDC에 대한 연구가 활발히 진행되고 있다. 전압형 HVDC 시스템은 전류형 HVDC 시스템과 비교하여 무효전력과 유효전력의 독립 제어가 가능함에 따라 계통 측 필터 크기가 감소하고 PWM(Pulse Width Modulation) 방식의 사용으로 빠른 과도응답특성을 가지는 등의 장점이 있다^{[1]-[3]}.

그림 1에 기본적인 MMC HVDC 시스템의 구조를 나타내었다. MMC 기반 HVDC 시스템에서 밸브는 일정

수의 서브모듈을 직렬 연결하여 구성하는데, 여러 가지 형태의 서브모듈 중에서 구조가 간단하여 시스템 구성에 용이하고 비용을 절감할 수 있는 하프 브리지 형태의 서브모듈이 널리 사용되고 있다. IEC 62501(International standard for VSC valves for HVDC power Transmission - electrical testing)에서는 이러한 밸브의 성능 시험 기준을 제시하고 있다^[4].

서브모듈은 밸브의 일부이므로 서브모듈 성능 시험 내용은 밸브 시험 내용과 유사하다. 따라서 서브모듈 시험회로에 대한 연구 결과가 발표되었다^{[5],[6]}. 참고문헌 [5]에서는 정현파 형태의 시험 전류를 유지하기 위해 시험회로의 입력 전압은 서브모듈 커패시터의 정격 전압보다 높아야 하며 스위칭 주파수가 높아 성능 시험의 손실이 크다. 뿐만 아니라 DC성분을 공급하지 못하는 단점도 있다. 참고문헌 [6]은 시험회로에 변압기를 통해 AC 전압을 인가하고 직렬 연결된 커패시터와 인덕터의 공진으로 시험 전류를 만들 수 있으나 시험 전류에 DC 오프셋이 없는 AC 성분만 있어서 실제 시스템에서의 전류와 상이하다. 이러한 서브모듈 시험회로의 단점을 해결하고자 암(arm) 전류를 선형적으로 근사화하여 시험하는 방식이 제안되었다^[7].

그림 2는 참고문헌 [7]에 제안된 시험회로와 기본동작은 유사하고 스위칭 손실을 최소화한 개선된 회로이다.

Paper number: TKPE-2018-23-6-9

Print ISSN: 1229-2214 Online ISSN: 2288-6281

[†] Corresponding author: nhoec@pknu.ac.kr, Dept. of Electrical Eng., Pukyong National University

Tel: +82-51-629-6317 Fax: +82-51-629-6305

¹ Dept. of Electrical Eng., Pukyong National University

² Dept. of Electrical Eng., Kyungpook National University

³ Dept. of Electrical Eng., University of Ulsan

⁴ Power Conversion & System for Renewable Energy research Center, KERI

Manuscript received Sep. 30, 2018; revised Oct. 30, 2018; accepted Nov. 16, 2018

— 본 논문은 2018년 전력전자학술대회 우수추천논문임

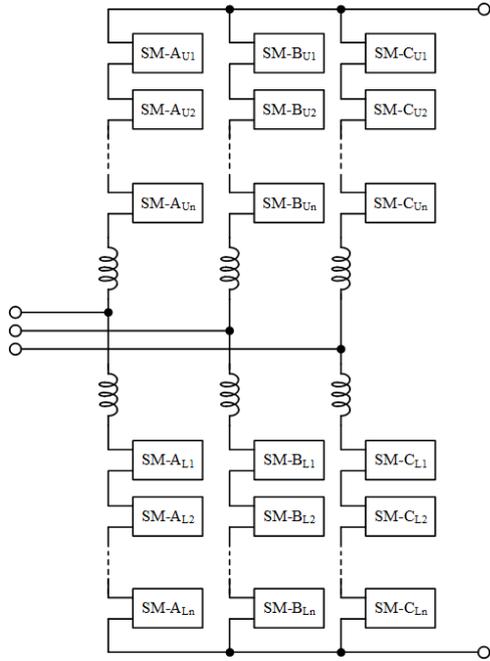
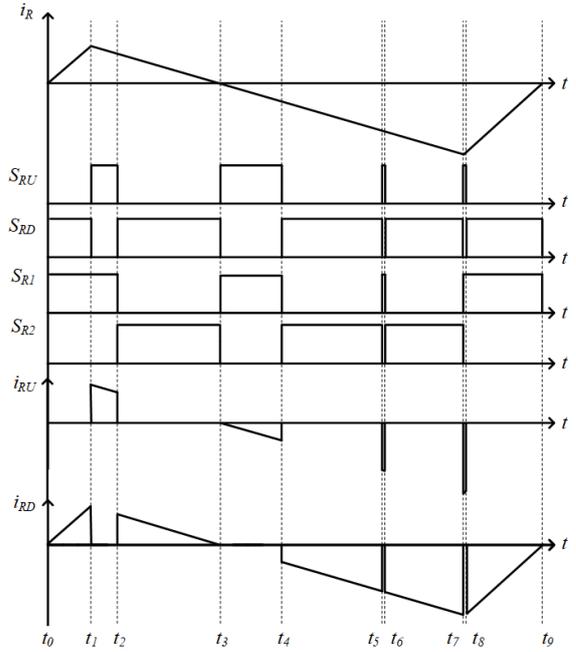


Fig. 1. HVDC station using modular multi-level converter.



(a) Waveforms in rectifier part

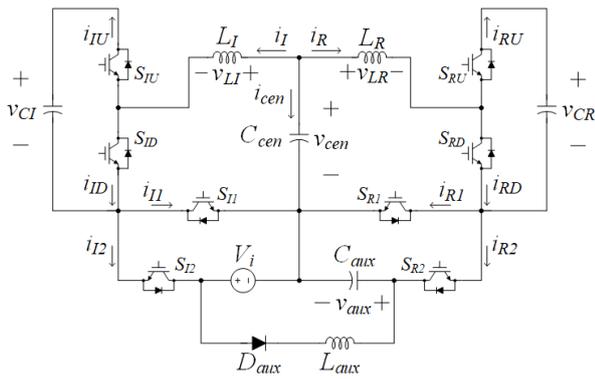
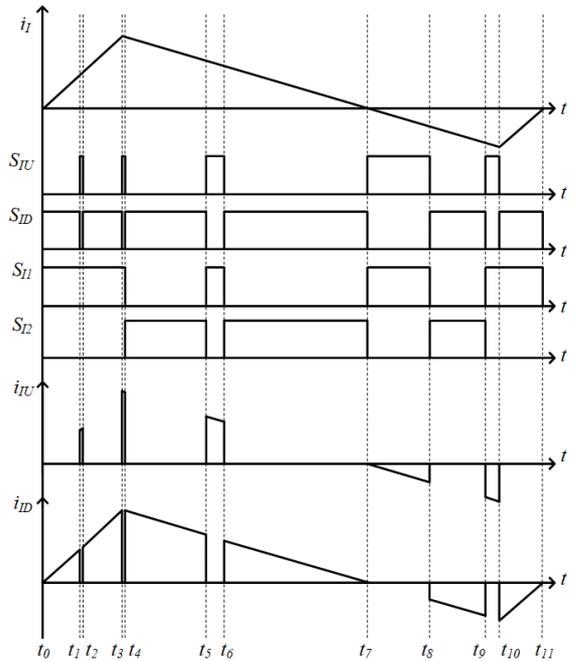


Fig. 2. SM test circuit providing both AC and DC current component.

제안된 회로는 MMC 기반 HVDC 시스템의 2고조파의 순환전류와 DC 오프셋의 모사가 가능하며, 초기충전이 필요 없어 초기 구동이 쉽고, 회로 내 스위치의 온-오프 동작이 시험할 서브모듈과 유사하여 스위칭 손실이 적다는 장점이 있다. 제안된 회로의 구성에 있어 서브모듈 입력 전류 i_I 와 i_R 의 선형적인 모사를 위해 가능한 일정한 크기를 갖는 v_{cen} 이 필요하다. 하지만 v_{cen} 의 리플 성분 때문에 각 인덕터 L_I 와 L_R 에 흐르는 전류는 선형적이지 않고 비선형적으로 되어 서브모듈 커패시터의 전압에 오차가 발생한다. 따라서 v_{cen} 의 리플을 최소화하기 위한 적절한 커패시터 선정이 요구된다.

본 논문에서는 제안한 시험회로의 동작을 분석하고, C_{cen} 에 따른 v_{cen} 의 리플과 i_I 와 i_R 의 오차를 분석하여 최적의 C_{cen} 를 선정하는 기준을 제시하였다. 제시된 기준을 토대로 시뮬레이션과 실험을 통해 그 타당성을 검증하였다.



(b) Waveforms in inverter part

Fig. 3. Switching state and current waveforms of SM test circuit.

2. 서브모듈 시험회로 분석

그림 2의 시험회로 동작과형을 양의 DC 오프셋이 있는 인버터 측과 음의 DC 오프셋이 있는 정류기 측으로 나누어 그림 3에 나타내었다.

이때 시험할 서브모듈의 스위치 패턴이 MMC 기반 HVDC 시스템의 정상 동작 시 스위치 패턴과 동일하다면

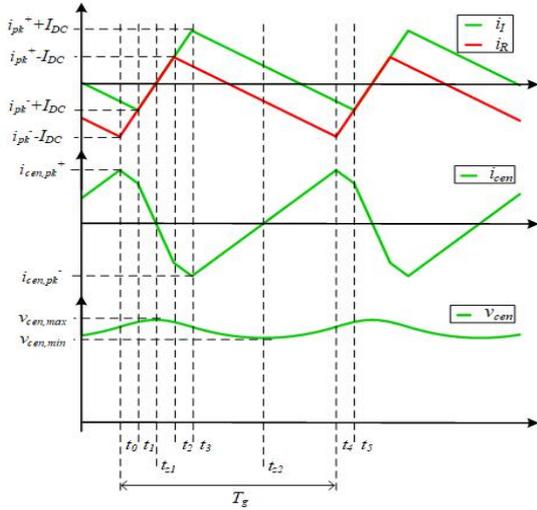


Fig. 4. Waveforms of i_I , i_R , i_{cen} and v_{cen} .

인버터 측 시험 전류는 S_{L1} 과 S_{R2} , 정류기 측 시험 전류는 S_{R1} 과 S_{R2} 로 제어 가능하다. 시험회로의 양단은 같은 방식으로 제어되며 시험 전류의 기울기는 2고조파가 포함된 형태와 유사하다.

그림 3에서 알 수 있듯이 보조 스위치 S_{L1} 과 S_{R2} , S_{R1} 과 S_{R2} 의 스위칭 상태는 시험할 서브모듈의 스위칭 상태와 시험 전류의 기울기를 고려하여 결정되어야 한다.

시험회로에서 정류기 측과 인버터 측의 동작은 유사하므로 그림 3 (a)의 정류기 측 동작 파형으로 각각의 스위칭 상태를 살펴보면 다음과 같다. $t_0 \sim t_1$ 과 $t_8 \sim t_9$ 구간에서 S_{RU} 과 S_{R2} 은 off 되어 있고 S_{RD} 과 S_{R1} 이 on 되어 v_{LR} 에는 v_{cen} 이 인가된다. 따라서 인덕터의 전류(i_R)는 상승한다.

$t_2 \sim t_3$, $t_4 \sim t_5$, $t_6 \sim t_7$ 구간에선 S_{RU} 과 S_{R1} 은 off, S_{RD} 과 S_{R2} 은 on 되어 있고, $t_1 \sim t_2$, $t_3 \sim t_4$, $t_5 \sim t_6$, $t_7 \sim t_8$ 구간에서는 S_{RU} 과 S_{R1} 은 on 되어 있고 S_{RD} 과 S_{R2} 은 off 되어 v_{LR} 에는 $(v_{cen} - v_{aux})$ 또는 $(v_{cen} - v_{CR})$ 의 전압이 인가된다. 따라서 인덕터의 전류(i_R)는 하강한다.

3. 시험회로 설계

위에서 설명한 시험회로의 동작을 토대로 C_{cen} 의 적절한 선정을 위해서는 먼저 i_{cen} 에 대하여 분석하여야 한다. i_{cen} 은 KCL에 의해 i_I 과 i_R 의 관계로 계산할 수 있다. 시험회로 내 모든 커패시터가 충분히 커서 이상적인 전압원으로 간주해도 되는 경우, 서브모듈 시험회로의 i_I , i_R , i_{cen} 은 그림 4에 나타난 바와 같으며 i_I 와 i_R 을 만족시키기 위한 L_I 와 L_R 은 식 (4)를 통해 구할 수 있다.

$$i_{cen} = -i_I - i_R \quad (1)$$

$$i_{pk} = |i_{pk}^+| = |i_{pk}^-| \quad (2)$$

$$\langle v_{SM} \rangle = \langle v_{CI} \rangle = \langle v_{CR} \rangle = \langle v_{aux} \rangle = V_i \quad (3)$$

$$L = L_I = L_R = \frac{\langle v_{cen} \rangle \times \{ \langle v_{SM} \rangle - \langle v_{cen} \rangle \}}{\langle v_{SM} \rangle} \times \frac{T_g}{2i_{pk}} \quad (4)$$

i_I 는 2구간으로 나누어 해석할 수 있다.

1) $t_1 \leq t < t_3$ 구간

$$i_I(t) = \frac{\langle v_{cen} \rangle}{L} (t - t_1) - i_{pk} + I_{DC} \quad (5)$$

2) $t_3 \leq t < t_5$ 구간

$$i_I(t) = -\frac{\langle v_{SM} \rangle - \langle v_{cen} \rangle}{L} (t - t_3) + i_{pk} + I_{DC} \quad (6)$$

i_R 도 2구간으로 나누어 해석할 수 있다.

1) $t_0 \leq t < t_2$ 구간

$$i_R(t) = \frac{\langle v_{cen} \rangle}{L} (t - t_0) - i_{pk} - I_{DC} \quad (7)$$

2) $t_2 \leq t < t_4$ 구간

$$i_R(t) = -\frac{\langle v_{SM} \rangle - \langle v_{cen} \rangle}{L} (t - t_2) + i_{pk} - I_{DC} \quad (8)$$

i_{cen} 은 i_I 와 i_R 의 합과 같으며 $t_0 \sim t_4$ 까지 4구간으로 나누어 해석할 수 있다.

1) $t_0 \leq t < t_1$ 구간

$$i_{cen}(t) = \frac{\langle v_{SM} \rangle - 2\langle v_{cen} \rangle}{L} t - 2\frac{\langle v_{SM} \rangle - \langle v_{cen} \rangle}{\langle v_{cen} \rangle} (i_{pk} + I_{DC}) + \frac{\langle v_{SM} \rangle - \langle v_{cen} \rangle}{L} T_g + \frac{\langle v_{cen} \rangle}{L} t_0 \quad (9)$$

2) $t_1 \leq t < t_2$ 구간

$$i_{cen}(t) = -\frac{\langle v_{cen} \rangle}{L} (2t - t_0) + 2(I_{DC} + i_{pk}) \quad (10)$$

3) $t_2 \leq t < t_3$ 구간

$$i_{cen}(t) = \frac{\langle v_{SM} \rangle}{L} t - 2\frac{\langle v_{SM} \rangle - \langle v_{cen} \rangle}{\langle v_{cen} \rangle} i_{pk} - 2I_{DC} \quad (11)$$

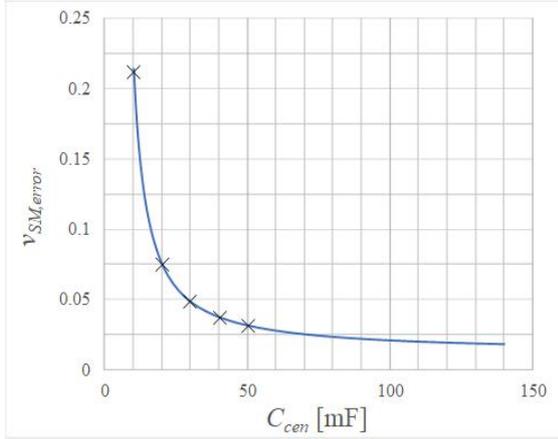


Fig. 5. Relation between C_{cen} and $v_{SMerror}$ with simulation parameter.

4) $t_3 \leq t < t_4$ 구간

$$i_{cen}(t) = \frac{2 \langle v_{SM} \rangle - \langle v_{cen} \rangle}{L} t - 2 \frac{\langle v_{SM} \rangle - \langle v_{cen} \rangle}{\langle v_{cen} \rangle} (2i_{pk} + I_{DC}) \quad (12)$$

이때 Δv_{cen} 은 $i_{cen}(t)$ 이 zero-crossing 하는 시간을 구하여 $i_{cen}(t)$ 이 양 또는 음인 구간을 적분하여 구할 수 있다. $i_{cen}(t)$ 의 zero-crossing은 각각 $t_1 \leq t < t_2$ 구간과 $t_3 \leq t < t_4$ 구간에서 생기며 식 (13)과 식 (14)로 나타낼 수 있다.

$$t_{z1} = \frac{L}{\langle v_{cen} \rangle} (i_{pk} + I_{DC}) + t_0 \quad (13)$$

$$t_{z2} = \left\{ i_{pk} + \frac{\langle v_{SM} \rangle - \langle v_{cen} \rangle}{\langle v_{cen} \rangle} (2i_{pk} + I_{DC}) \right\} \frac{L}{\langle v_{SM} \rangle - \langle v_{cen} \rangle} + t_0 \quad (14)$$

또한, C_{cen} 의 값은 식 (15)와 같이 나타낼 수 있으며, 서브모듈의 전압 v_{SM} 이 C_{cen} 값에 따라 변동하는 정도를 식 (16)과 같이 정의하고자 한다.

$$C_{cen} = \frac{\int_{t_{z1}}^{t_2} i_{cen}(t) dt + \int_{t_2}^{t_3} i_{cen}(t) dt + \int_{t_3}^{t_{z2}} i_{cen}(t) dt}{\Delta v_{cen,p.u.} \times \langle v_{cen} \rangle} \quad (15)$$

$$v_{SMerror} = \frac{\langle v_{SM} \rangle - \langle v_{SMideal} \rangle}{\langle v_{SMideal} \rangle} \quad (16)$$

4. 시뮬레이션 결과

본 논문에서 다루는 서브모듈 시험회로의 시뮬레이션 파라미터는 표 1과 같다.

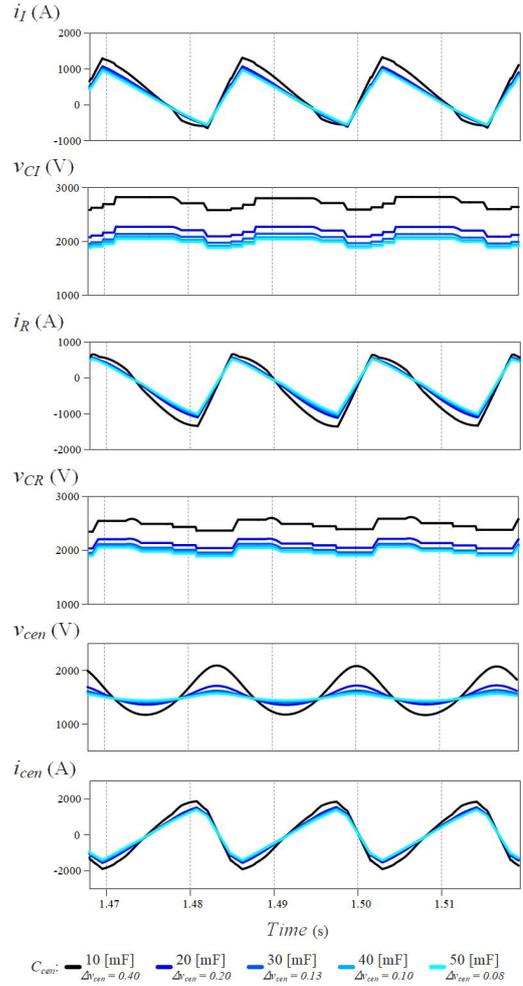


Fig. 6. Waveforms with the variation of C_{cen} .

TABLE I
SIMULATION PARAMETERS

Parameter	Value
$V_i, \langle v_{SM} \rangle, \langle v_{aux} \rangle$	2000 [V]
$\langle v_{cen} \rangle$	1500 [V]
f_g	60 [Hz]
L	4.17 [mH]
C_R, C_I	2 [mF]

표 1의 파라미터를 사용하여 식 (15)와 식(16)을 이용한 그래프를 그리면 그림 5와 같다. 그림 5는 C_{cen} 의 변동에 따른 $v_{SMerror}$ 의 변화를 나타낸 그래프이다. 가로축은 C_{cen} 의 변화 값을 나타낸 것이고, 세로축은 서브모듈 커패시터 전압의 이상적인 값과 시뮬레이션을 통해 C_{cen} 의 값을 변경하였을 때 오차를 나타내었다. 그림 5에서 알 수 있듯이 C_{cen} 이 작으면 v_{cen} 의 전압 리플이 증가하여 시험 전류에 오차가 발생하고 시험 전류의 오차는 시험할 서브모듈 커패시터의 전압 오차를 발생시켜 타당한 시험 결과를 얻기 힘들다. 따라서 적절한 C_{cen} 을 선정하는 것이

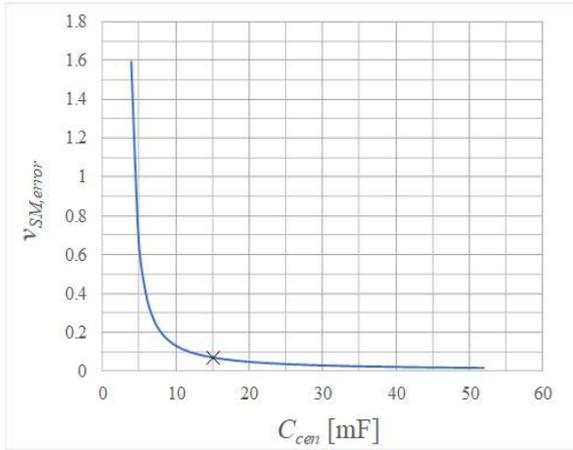


Fig. 7. Relation between C_{cen} and $v_{SM,error}$ with experimental parameter.

TABLE II
EXPERIMENTAL PARAMETERS

Parameter	Value
$V_i, \langle v_{SM} \rangle, \langle v_{aux} \rangle$	100 [V]
$\langle v_{cen} \rangle$	75 [V]
f_g	60 [Hz]
L	5.2 [mH]
C_{cen}	15 [mF]
C_R, C_I	2 [mF]
i_{pk}	30 [A]
I_{DC}	10 [A]

중요한데 그림 5에 나타난 것과 같이 C_{cen} 의 크기가 20 ~ 30 [mF] 이하로 줄어들면 서브모듈 커패시터 전압의 오차가 급격하게 증가함을 알 수 있다.

그림 6은 그림 5에 표시한 커패시터 C_{cen} 의 변화에 따른 시험회로 각 부분 파형의 전류의 변화를 시뮬레이션으로 나타낸 것이다. 그림 6에서 알 수 있듯이 C_{cen} 이 10 [mF]인 경우는 v_{cen} 의 전압에 리플 성분이 상당히 많은 것을 알 수 있고, 20 ~ 30 [mF] 이상이 되면 리플 성분의 크기가 거의 일정해짐을 알 수 있다.

5. 실험 결과

본 논문의 타당성을 검증하기 위하여 축소 모형을 통한 실험을 수행하였다. 표 2는 축소 모형의 실험 파라미터이다. 표 2의 축소 모형 파라미터를 식 (15)와 식 (16)에 대입하여 그래프를 그리면 그림 7과 같다.

그림 7에서 알 수 있듯이 C_{cen} 의 값을 10 [mF] 이하로 하면 서브모듈 커패시터 전압의 오차가 급증하여 실험에서는 그림 7에 표시한 대로 C_{cen} 을 15 [mF]으로 선정하였다.

TABLE III
EXPERIMENTAL RESULTS

Parameter	Value
$\langle v_{CI} \rangle$	105.8 [V]
$\langle v_{CR} \rangle$	104.6 [V]
$i_{I,max}$	42.3 [A]
$i_{I,min}$	-19.6 [A]
$i_{R,max}$	23.8 [A]
$i_{R,min}$	-36.3 [A]

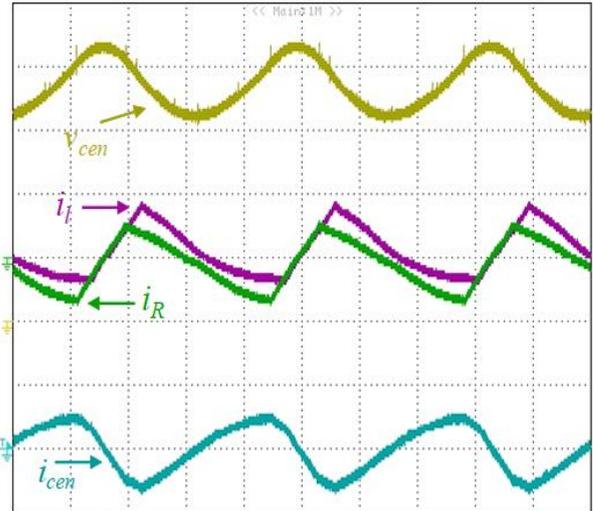


Fig. 8. Experimental waveforms of v_{cen} , i_I , i_R and i_{cen} (v_{cen} : 20 [V/div], i_I, i_R : 50 [A/div], i_{cen} : 100 [A/div]).

그림 8은 커패시터 C_{cen} 의 전압(v_{cen})과 전류(i_{cen})파형, 그리고 인버터 측과 정류기 측 서브모듈 입출력 전류파형(i_I, i_R)을 나타낸다. i_{cen} 은 그림 6에 나타낸 시뮬레이션 파형과 유사하며 i_I 와 i_R 이 더해져서 i_{cen} 이 되므로 i_{cen} 의 peak-to-peak가 시험 전류인 i_I 와 i_R 보다 더 큰 것을 확인할 수 있다. v_{cen} 의 평균값은 75 [V]로 서브모듈 커패시터 전압의 0.75배로 유지함을 확인하였다.

그림 9와 그림 10은 각각 인버터 및 정류기 모드에 대하여 위에서부터 아래로 서브모듈 커패시터 전압(v_{CI}, v_{CR}), 서브모듈의 upper 스위치에 흐르는 전류(i_{IU}, i_{RU}), 서브모듈의 lower 스위치에 흐르는 전류(i_{ID}, i_{RD}), 시험 전류(i_I, i_R)을 나타낸 것이다. 이 파형에서 볼 수 있듯이 서브모듈의 upper 스위치가 켜질 경우, 서브모듈 커패시터가 충전되거나 방전되며 lower 스위치가 켜질 경우에는 서브모듈 커패시터 전압에 변화가 없다.

표 3은 축소 실험의 결과이다. C_{cen} 을 15 [mF]으로 선정할 경우 그림 7에서와 같이 시뮬레이션 결과는 $v_{SM,error}$ 가 약 0.08이며, 실험결과는 표 3에서 알 수 있듯이 약 0.06이 되어 시뮬레이션 결과와 실험결과가 거의 일치함을 알 수 있다.

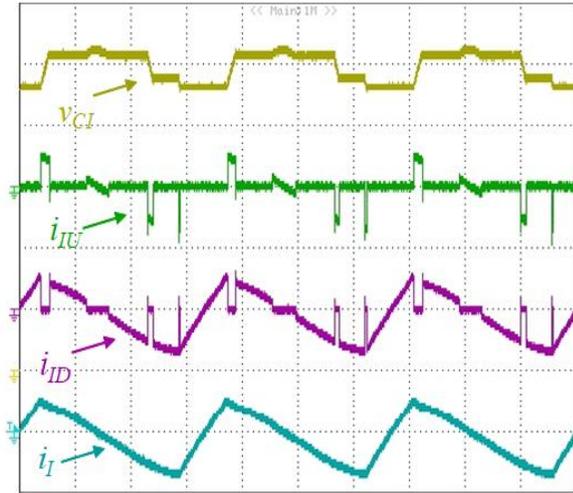


Fig. 9. Experimental waveforms of v_{CI} , i_{IU} , i_{ID} and i_I (v_{CI} : 20 [V/div], i_{IU} , i_{ID} , i_I : 50 [A/div]).

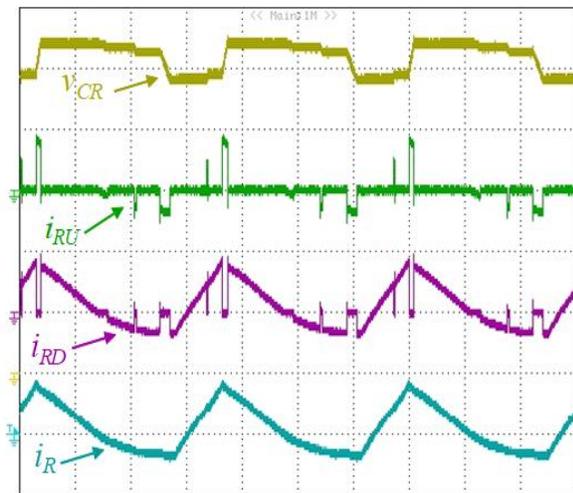


Fig. 10. Experimental waveforms of v_{CR} , i_{RU} , i_{RD} and i_R (v_{CR} : 20 [V/div], i_{RU} , i_{RD} , i_R : 50 [A/div]).

6. 결 론

본 논문에서는 MMC 기반 HVDC 시스템용 서브모듈 시험회로의 C_{cen} 설계기준을 제시하였다. 본 논문에서 다룬 서브모듈 시험회로는 한 주기 동안 전력반도체의 스위칭주파수가 120 ~ 200 [Hz] 정도로서 서브 모듈의 IGBT 스위칭 주파수와 유사하다. 이는 기존 방식에서의 스위칭 주파수가 수 kHz 이상인 것에 비해 상당히 낮은 값이므로 시험에 필요한 소모 전력이 아주 적어 경제적이다. 또한 구성이 간단하고 HVDC 시스템을 구성하는 인버터 부와 정류기 부의 서브모듈을 동시에 시험할 수 있다는 장점이 있다.

서브모듈 시험회로에 일정한 전압을 공급하는 적절한 커패시터의 선정을 통해 서브모듈 입력 전류의 오차를 최소화할 수 있고 이를 통해 시험 결과의 신뢰성을 향상

시킬 수 있다. 제안하는 시험회로 설계 방식을 시뮬레이션으로 증명하였으며 축소 모형 실험을 통해 타당성을 검증하였다.

제안하는 MMC 기반 HVDC 시스템은 서브모듈 시험회로 설계 방식은 최근 활발히 연구가 진행되고 있는 MMC HVDC 시스템의 밸브 및 서브모듈 시험회로에 유용하게 사용될 것으로 기대된다.

본 연구는 산업통상자원부(MOTIE)와 한국에너지기술평가원(KETEP)의 지원을 받아 수행한 연구 과제입니다. (No. 20171210201100)

References

- [1] J. W. Moon, D. W. Pae, J. W. Park, D. W. Kang, D. W. Yoo, and J. M. Kim, "Control of HVDC-MMC considering the switching device's current capacity and circulating current under unbalanced voltage conditions," *Transactions of the Korean Institute of Power Electronics*, Vol. 18, No. 3, pp. 270-278, Jun. 2013.
- [2] N. Flourentzou, V. G. Agelidis, and G. D. Demetriades, "VSC-based HVDC power transmission systems: An overview," *IEEE Transactions on Power Electronics*, Vol. 18, No. 3, pp. 592-602, Feb. 2009.
- [3] P. L. Francos, S. S. Verdugo, H. F. Alvarez, S. Guyomarch, and J. Loncle, "INELFE-Europ's first integrated onshore HVDC interconnection," *2012 IEEE Power and Energy Society General Meeting*, San Diego, USA, Jul. 2012.
- [4] IEC 62501, "Voltage sourced converter (VSC) valves for high-voltage direct current (HVDC) power transmission - electrical testing," 2009.
- [5] G. Tang, K. Zha, C. Gao, X. Luo, and Y. Yang, "Steady-state operation test method for flexible direct-current power transmission modular multilevel converter (MMC) high-voltage sub-module," China Patent, CN1 021 759 42(B), Jul. 2014.
- [6] T. Modeer, S. Norrga, and H. P. Nee, "Resonant test circuit for high-power cascaded converter submodules," *15th European Conf., Power Electronics and Applications (EPE)*, Lille, France, Sep. 2013.
- [7] J. H. Jung, E. C. Nho, Y. H. Chung, S. T. Baek, and J. H. Lee, "Test circuit for MMC-based VSC valves in HVDC power station," *Electronics Letters*, Vol. 53, No. 4, pp. 272-273, Feb. 2017.



서병준(徐秉駿)

1991년 10월 23일생. 2017년 부경대 전기공학과 졸업. 2017년~현재 동 대학원 전기공학과 석사과정.



박권식(朴權植)

1991년 11월 19일생. 2017년 부경대 전기공학과 졸업. 2017년~현재 동 대학원 전기공학과 석사과정.



조광래(趙廣來)

1993년 3월 17일생. 2018년 부경대 전기공학과 졸업. 2018년~현재 동 대학원 전기공학과 석사과정.



노의철(魯義哲)

1960년 8월 2일생. 1984년 서울대 전기공학과 졸업. 1986년 한국과학기술원 전기 및 전자공학과 졸업(석사). 1991년 동 대학원 졸업(공학). 1997년~1998년 미국 Univ. of Wisconsin-Madison 방문교수. 2005년~2006년 미국 University of California-Irvine 방문교수. 1995년~현재 부경대 전기공학과 교수. 당 학회 회장.



김흥근(金興根)

1956년 4월 24일생. 1980년 서울대 전기공학과 졸업. 1982년 동 대학원 전기공학과 졸업(석사). 1988년 동 대학원 전기공학과 졸업(공학). 1990년~1991년 미국 Univ. of Wisconsin-Madison 방문교수. 현재 경북대 IT대학 전기공학과 교수. 당 학회 명예회장.



전태원(全泰園)

1959년 1월 30일생. 1981년 부산대 전기공학과 졸업. 1983년 서울대 전기공학과 졸업(석사). 1987년 동 대학원 전기공학과 졸업(공학). 1996년~1997년 Tennessee 대학 방문교수. 2005년~2006년 미국 Virginia Tech. 방문교수. 현재 울산대 전기전자정보시스템공학부 교수.



김태진(金泰鎭)

1968년 8월 29일생. 1994년 부산대 전기공학과 졸업. 1997년 동 대학원 졸업(석사). 2007년 동 대학원 졸업(공학). 1994년~1995년 일본 오사카대 연구원. 2010년 미국 Virginia Tech 방문연구원. 2013년~2016년 당 학회 논문지 편집위원. 1997년~현재 한국전기연구원 책임연구원.



이종필(李鍾弼)

1972년 12월 28일생. 1997년 고려대 제어계측공학과 졸업. 1999년 동 대학원 전기공학과 졸업(석사). 2012년 동 대학원 전기공학과 졸업(박사). 1999년~2005년 현대중공업 기계전기연구소 선임연구원. 2005년~현재 한국전기연구원 전력변환연구센터 책임연구원. 2015년~현재 과학기술연합대학원(University of Science and Technology) 에너지변환공학 부교수.