

영전압스위칭의 위상천이방식 DC/DC 컨버터 설계

채용웅*

Design of ZVS DC / DC Converter with Phase-Shifting Topology

Yong-Yoong Chai*

요 약

UCC3895 드라이버를 이용하여 위상천이방식의 100Mhz로 운용되는 500W급 영전압스위칭(Zero voltage switching) DC/DC 컨버터를 설계하였다. UCC3895 드라이버의 데드타임은 풀브리지의 리딩래그와 레깅래그가 별도로 구동 가능하도록 설계되어 있어 두 래그간에 데드타임을 별도로 부여하는 것이 가능하며, 이것은 두 래그간에 비대칭관계인 데드타임으로 영전압스위칭의 구현을 가능하게 하였다. 또한 본 논문에서는 안정된 출력전압을 위한 부귀환회로 설계방식이 제안되었다. 시제품의 최대 효율은 500Ω의 부하에서 95.5% 정도를 나타냈다.

ABSTRACT

We designed a 500W zero voltage switching DC / DC converter operating at 100Mhz with phase shift topology using UCC3895 driver. The dead time of the UCC3895 driver is designed so that the leading and lagging leg of the full bridge can be driven separately. So, the dead time can be given between the two legs separately. The dead time, which is an asymmetrical relationship between the two legs, enables the implementation of zero voltage switching. This paper proposed a negative feedback circuit design method for stable output voltage. The maximum efficiency of the prototype was 95.5% at 500Ω load.

키워드

DC/DC, Converter, feedback, phase shift, power, ZVS
직류/직류, 컨버터, 귀환, 위상 천이, 전력, 영전압 스위칭

1. 서론

최근에 확산되고 있는 전기자동차 시장과 레이저인구의 급증에 따른 아웃도어 시장이 급성장하면서 배터리로 구동되는 전력변환 장치는 기존 산업용이나 가정용 전력변환 장치의 발전 속도보다 더욱 빠르게 발

전하고 있다[1-2]. 또한 강화되는 전력규제로 인해 고효율의 DC/DC 컨버터가 요구되고 있으며 이러한 점에서 위상천이방식의 풀브리지 컨버터(Phase Shift Full Bridge Converter)에 대해서 동작분석 및 최적설계에 대하여 연구하였다[3-5]. 위상천이 풀브리지 컨버터는 기존의 하드스위칭 방

* 계명대학교 전자공학전공

* 교신저자 : 계명대학교 전자공학전공

• 접수일 : 2018. 09. 06

• 수정완료일 : 2018. 10. 26

• 게재확정일 : 2018. 12. 15

• Received : Sep. 06, 2018, Revised : Oct. 26, 2018, Accepted : Dec. 15, 2018

• Corresponding Author : Yong-Yoong Chai

Dept. of Electronic Engineering, Keimyung University

Email : yychai@kmu.ac.kr

식과는 달리 소프트스위칭 방식 중 하나인 위상천이 방식을 적용하여 풀브리지 회로에 추가회로 없이 게이트 신호의 위상지연을 통하여 모든 스위치를 영전압 스위칭하는 것을 가능하게 한다[3-6]. 위상천이풀브리지 컨버터는 영전압 스위칭을 통하여 스위칭 손실을 줄여 효율을 높일 수 있고, 출력 LC 필터에 의한 낮은 출력 전류 리플 등의 장점을 갖고 있다[7].

II. 위상천이 방식의 SMPS

풀브리지 컨버터와 위상천이 풀브리지 컨버터의 기본적인 회로 구성은 그림 1과 같다. 두 토폴로지의 차이점은 기존의 풀브리지 컨버터의 경우에는 하드 스위칭 방식의 스위칭을 사용하며, 위상천이 풀브리지 컨버터의 경우는 소프트스위칭 방식이라는 점이다.

최근의 전원공급장치에서 90%이상의 효율을 요구하는 시장의 환경을 충족시키기 위해서는 위상천이 방식의 풀 브리지 DC/DC 컨버터를 사용할 필요가 있다. 이 토폴로지가 주목을 받는 이유는 기본 FET에서 영전압스위칭을 달성 할 수 있는 장점이 있기 때문이다.

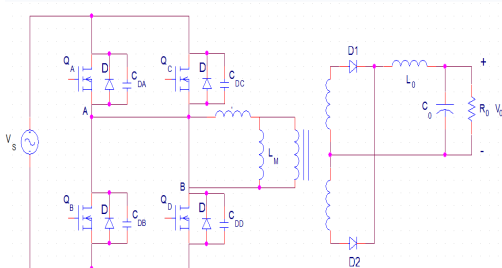


그림 1. 위상천이 방식의 풀브리지 컨버터 회로
Fig. 1 A full-bridge converter circuit with phase shift topology 1

그림 1은 위상 시프트 된 풀 브리지의 일반적인 회로 구성을 보여주며, MOSFET 스위치 Q_A, Q_B, Q_C, Q_D 는 트랜스포머의 일차측에서 풀브리지를 형성한다. 리딩래그 스위치(Leading-leg switch)인 Q_A, Q_B 는 서로 50 % 듀티와 180도 위상차를 가지며

이러한 관계는 레깅래그 스위치(Lagging-leg switch)인 Q_C, Q_D 역시 동일하다. 풀 브리지의 레깅래그에 대한 PWM 스위칭 신호는 리딩래그에 대해 위상이 천이된다. 이 위상 이동의 크기는 대각선 스위치 사이의 중첩 정도를 결정하며, 대각선 스위치는 전달된 에너지양을 결정하게 된다.

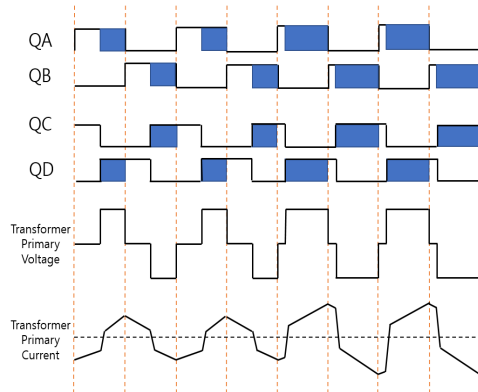


그림 2. 위상변화에 따른 MOSFET의 온, 어프 상태 및 위상의 변화에 따른 1차측 트랜스 양단의 전압과 전류

Fig. 2 The voltage and current at both ends of the primary transformer according to the change of the on/off state and phase of the MOSFET according to the phase change

그림 2의 (a) (b)에서 검게 표현되는 부분은 위상의 변화가 나타나는 것을 보여주고 있으며 그림 2의 (c)(d)는 트랜스 양단에서의 위상의 변화에 따른 전압과 전류의 변화를 나타낸다.

D1, D2로 구성된 이차측은 다이오드 전류더블러 정류를 제공하며 L_0 및 C_0 는 출력 필터를 형성한다. 일차단에 위치한 인덕터 L_p 은 공진 동작을 위해 트랜스포머 누설 인덕턴스를 지원하며, 이는 스위칭 시에 공진을 위한 자기적 에너지를 확장하도록 하여 영전압스위칭을 용이하게 한다.

본 논문에서는 위상천이의 구현을 위해 TI(Texas Instrument)사의 UCC3895를 사용하였다. 그림 3은 UCC3895의 블록도를 나타낸다.

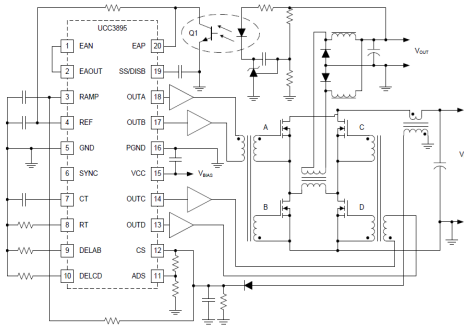


그림 3. 풀브리지 회로를 구동하는 UCC3895 드라이버 [www.ti.com/lit/ds/symlink/ucc2895.pdf]
Fig. 3 UCC3895 driving full-bridge circuit

위상천이 방식의 장점은 영전압스위칭을 하는데 있어서 고정주파수에 단지 위상의 변화를 통해 소프트 스위칭이 가능하다는 점이다. 소프트 스위칭의 경우 스위치를 온 시켜주기 전에 드레인-소스 양단에 걸리는 전압을 영전압으로 만든 후 스위치를 온 시켜 줌으로써 하드 스위칭에서 발생하던 스위치 드레인-소스 양단 전압과 드레인의 전류가 겹치면서 발생하던 스위칭 손실을 이론적으로는 0으로 만들어준다.

영전압스위칭을 달성하려면 그림 1의 MOSFET에서 Q_A, Q_B 그리고 Q_C, Q_D 간에 데드타임이 필요하다. 데드타임의 잘못된 설정은 프리휠링 기간 동안 동기식 정류기가 동시에 오프 상태가 되어 과도한 바디 다이오드 전도를 허용하고 시스템 효율을 감소시킬 수 있기 때문에 데드타임의 설정에 유의하여야 한다.

UCC3895의 ADS(11번 핀)는 최대 및 최소 프로그래밍 된 출력 지연 데드타임간의 비율을 설정한다. ADS 핀이 CS(12번 핀)에 직접 연결되면 지연 변조는 없으며, ADS가 접지면이면 최대 지연 변조가 발생한다. ADS는 DELAB 및 DELCD의 출력 전압을 식 (1)로 변경한다.

$$V_{DEL} = [0.75 * (V_{CS} - V_{ADS})] + 0.5V \quad (1)$$

여기에서 V_{ADS} 는 0V와 2.5V 사이로 제한되어야 하며 V_{CS} 보다 작거나 같아야 한다.

CS 입력은 전류 감지 비교기의 반전 입력, 과전류 비교기 및 ADS 증폭기에 연결되어, 사이클 별로 피

크전류모드 제어에서의 전류를 제한하고 모든 경우에 대해 보조 임계값이 넘는 전류를 차단한다.

DELAB는 OUTA와 OUTB의 전환 사이의 데드타임임, DELCD는 OUTC와 OUTD 간의 데드타임을 프로그래밍하며, 공진커패시터 충전전류에서의 차이를 수용하기 위해 별도의 지연이 가능하다. 각 단계에서의 지연은 식 (2)에 따라 설정된다.

$$f_{DEL} = \frac{(25 * 10^{-12}) * R_{DEL}}{V_{DEL}} + 25ns \quad (2)$$

데드타임이 지나치게 크거나 작게 설정되는 경우에는 출력파형에 왜곡이 발생하게 되고 이것은 결국 효율을 떨어뜨리게 된다. 데드타임을 설정하기에 앞서 레그레그가 영전압스위칭을 이루기 위한 조건이 식 (3)에 나타나 있다.

$$\frac{1}{2} L_p I_p^2(t_1) \geq \frac{1}{2} (C_2 + C_4) V_{in}^2 \quad (3)$$

그림 1에서 $L_p = 1.5uH$, $C_B = C_D = 1840pF$, $I_p = 6A$, $V_{in} = 45V$ 이다.

따라서 위의 조건을 만족하는 것을 알 수 있다. 다음에는 데드타임이 다음과 같이 되도록 R_{DEL} 을 결정해야 한다.

$$T_{dead} = T = \frac{1}{2\pi \sqrt{L_p C}} \quad (4)$$

여기에서 C는 레그브리지에 있는 MOSFET의 드레인-소스간의 기생커패시터의 크기를 나타낸다. 본고에서 사용되는 CDS18536 MOSFET의 경우에 C_{OSS} 는 1840pF이며, 따라서 $T_{dead} = 125nsec$ 이 된다. 상기 조건을 만족하기 위한 레그레그의 저항 $R_{CDEL} = 5K\Omega$ 이 된다.

데드타임만큼 주요한 위상천이 컨버터 토폴로지의 핵심 설계요소는 위상의 변화에 대한 시스템의 안정화 방안이다. 그림 4는 위상천이 컨버터의 출력이 입력에 포토키펠러에 의해 연결되는 부귀환 시스템을 보여준다.

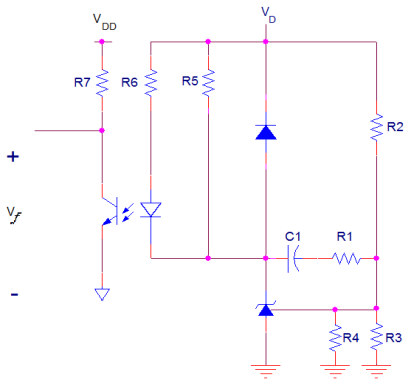


그림 4. 부귀환 회로
Fig. 4 Negative feedback circuit

상기 회로의 V_o 에서 V_f 까지의 전달 함수는

$$\frac{v_f(s)}{v_o(s)} = \frac{R_7 * CTR}{R_6(1 + \frac{s}{2\pi f_p})} * \frac{1 + sC_1(R_1 + R_2)}{sC_1R_2} \quad (5)$$

이다[8-10].

식 (5)를 보면 DC에 극점이 있고 저항($R_1 + R_2$)와 커패시터(C_1)에 조합에 의해 영점이 결정된다. 이 영점을 초과하는 주파수에서의 이득은 간단히 두 개의 저항 R6과 R7의 비율에 포토커플러의 전류 전달 비(CTR)를 곱한 값이다.

그림 5는 주파수에 따른 이득의 변화를 나타낸 것으로서 그림에서 f_p 는 포토커플러의 극점을 나타내며, 회로의 영점은 식 (6)이 된다.

$$f_z = \frac{1}{2\pi C_1(R_1 + R_2)} \quad (6)$$

이와 같이 C_1 을 저항 R_1 에 직렬로 연결하게 되면 이득 곡선의 전체 모양은 변경되지 않지만 R_2 는 영점의 위치에 영향을 준다. 또한, R_2 는 영점주파수 이상의 주파수에서 이득에도 영향을 미친다. 그림 5는 C_1 과 R_1 이 주파수에 대한 이득의 변화에 미치는 영향을 보여주고 있다. 이와 같은 영점과 이득의 변화는 페이즈마진을 높이는 데 기여하게 될 것이다.

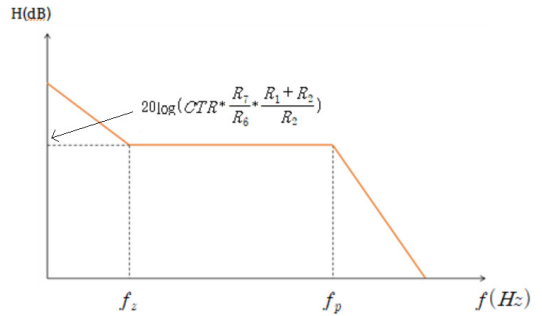


그림 5. 주파수에 따른 이득의 변화
Fig. 5 Gain change according to frequency

III. 시험결과

그림 6은 48V의 입력 전압에 대해 Q_A 와 Q_B 및 Q_C 와 Q_D 의 MOSFET 드레인 - 소스 및 게이트 - 소스 간의 출력파형을 나타낸다. Q_B 및 Q_D 는 각각 1차단의 접지를 가지므로 영전압스위칭 파형을 얻기에 편리한 테스트 포인트이다. Q_B 는 리딩레그의 하단 MOSFET이고 Q_D 는 레깅레그에 해당한다. 1A의 출력 부하에서 각 MOSFET의 드레인 전압은 게이트 전압이 상승하기 전에 0으로 완전히 떨어지며, 각 레그가 제로 전압에서 스위칭하고 있음을 명확하게 보여준다.

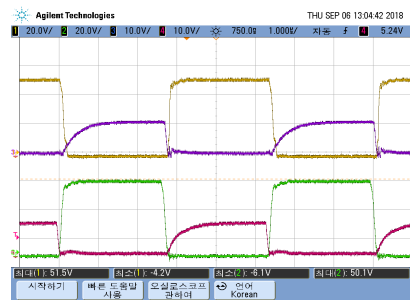
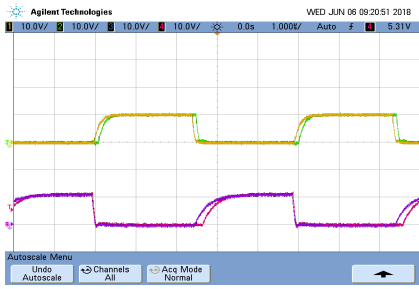
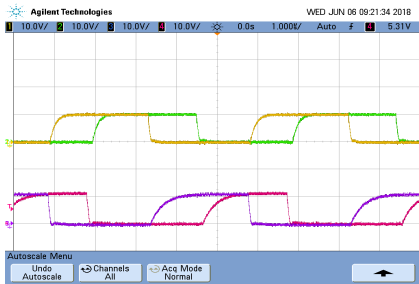


그림 6. Q_A 와 Q_B 및 Q_C 와 Q_D 의 MOSFET 드레인 - 소스 및 게이트 - 소스 간의 출력파형
Fig. 6 Output waveform of drain-source and gate-source between Q_A , Q_B and Q_C 와 Q_D

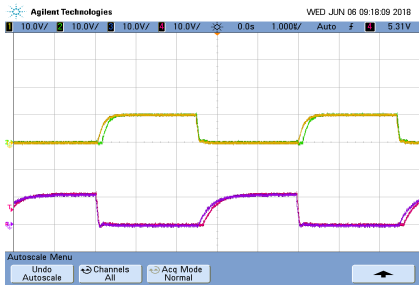
그림 7은 출력전압의 변화에 따른 위상의 변화를 나타낸다.



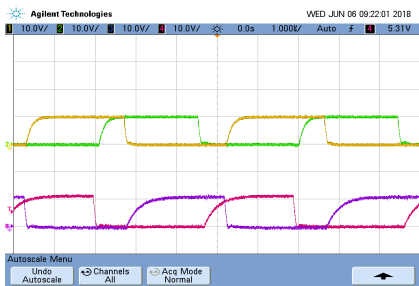
(a)



(b)



(c)



(d)

그림 7. 출력전압의 크기에 따른 MOSFET 게이트단자의 위상변화를 나타내는 파형

Fig. 7 Waveform at MOSFET's gate according to the output voltage

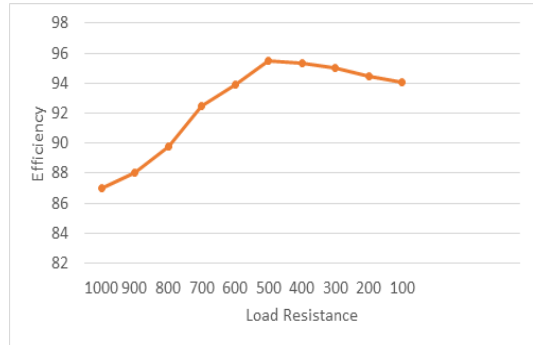


그림 8. 컨버터 효율
Fig. 8 Efficiency of converter

그림 8은 무부하에서 전부하로 변화시키면서 효율의 변화를 나타낸다. WT310을 인버터 출력에 WT500을 인버터 입력에 장치하여 효율을 측정하였으며 아래는 시제품의 효율을 구하기 위한 수식이다.

$$Efficiency = (P_{out}/P_{in}) * 100 \quad (7)$$

그림에 나타난 바와 같이 최대 효율은 500Ω의 부하에서 95.5% 정도를 나타냈다.

V. 결 론

본 논문을 통하여 위상천이 방식의 DC/DC컨버터를 설계하는데 있어서 중요한 요소가 되고 있는 데드타임 및 위상천이를 이루기 위한 피드백회로에 대해 살펴보았다.

위상천이 토폴로지에서 리딩래그와 레깅래그간 비대칭적인 관계가 존재하며 이를 위해 별도의 데드타임이 주어져야 한다. 리딩래그에 비해서는 레깅래그에서 영전압스위칭을 구현하는 것이 보다 어려운 것으로 알려져 왔다. 이를 위해 본 고에서는 풀브리지 컨버터의 레깅래그를 드라이버하는 UCC3895의 데드타임을 결정하는 것을 알아보았다. 시제품의 최대 효율은 500Ω의 부하에서 95.5% 정도를 나타냈다.

감사의 글

본 논문은 중소벤처기업부에서 지원하는 2017년도 산학연협력 기술개발사업(C0563714)의 연구수행으로 인한 결과물임을 밝힙니다.

synchronous buck DC-DC converter with ZVS logic circuit," *International J. of Research in Engineering and Science(IJRES)*, vol. 21, no. 8, Aug. 2014, pp. 1-9.

[10] P. E. Allen and D. R. Holberg, *CMOS Analog Circuit Design*. New York: Oxford University Press, 1987.

References

[1] Y. Chai, "Design and Implementation of PRA for a Power Supply of Electrical Vehicle," *J. of the Korea Institute of Electronic Communication Science*, vol. 11, no. 7, July 2016, pp. 653-658

[2] Y. Chai and W. do, "Development of 2KW Power Bidirectional LDC for Electrical Vehicle," *J. of the Korea Institute of Electronic Communication Science*, vol. 11, no. 1, Jan. 2016, pp. 65-72.

[3] K. Billings and T. Morey, *Switchmode Power Supply Handbook*. New York: McGraw-Hill, 2011.

[4] K. Lee, "Design and Implementation of a Current Controller for Boost Converters Using a DSP," *The Korean Institute of Power Electronics*, vol. 17, no. 3, 2012, pp. 259-255.

[5] W. Do and Y. Chai, "Design of DC-DC converter controller implemented with analog memory," *J. of the Korea Institute of Electronic Communication Science*, vol. 10, no. 3, 2015, pp. 357-364.

[6] Y. Chai and W. do, "Design of DC-DC converter controller implemented with analog memory," *J. of the Korea Institute of Electronic Communication Science*, vol. 10, no. 3, Mar. 2015, pp. 357-364.

[7] Y. Chai and W. do, "Development of a Programmable Multi-Output Adapter," *J. of the Korea Institute of Electronic Communication Science*, vol. 10, no. 6, June 2015, pp. 699-706.

[8] K. Liu and F. Lee, "Zero-voltage switching technique in DC/DC converters," *IEEE Trans. Power Electronics*, vol. 5, no. 3, July 1990, pp. 293-304,

[9] N. Golbon and G. Moschopoulos, "PID compensator control scheme of

저자 소개



채용웅(Yong-Yoong Chai)

1985년 8월 서강대학교 졸업 (공학사)
 1991년 4월 Oklahoma State Univ. 졸업(공학석사)
 1994년 12월 Oklahoma State Univ. 졸업(공학박사)
 계명대학교 전자공학과 교수
 ※ 주 관심분야 : DC-DC컨버터