

Terbium 중간층 적용을 통한 Ni Germanide/P-type Ge의 비접촉저항 감소 연구

신건호¹, 이 맹¹, 이정찬¹, 송형섭¹, 김소영¹, 이가원¹, 오정우², 이희덕^{1,a}

¹ 충남대학교 전자공학과

² 연세대학교 글로벌융합공학부

A Study on Specific Contact Resistance Reduction of Ni Germanide/P-type Ge Using Terbium Interlayer

Geon-Ho Shin¹, Meng Li¹, Jeongchan Lee¹, Hyeong-Sub Song¹, So-Yeong Kim¹, Ga-Won Lee¹, Jungwoo Oh², and Hi-Deok Lee^{1,a}

¹ Department of Electronics Engineering, Chungnam National University, Daejeon 34134, Korea

² School of Integrated Technology, Yonsei University, Incheon 21983, Korea

(Received October 24, 2017; Revised November 9, 2017; Accepted November 10, 2017)

Abstract: Ni germanide (NiGe) is a promising alloy material with small contact resistance at the source/drain (S/D) of Ge MOSFETs. However, it is necessary to reduce the specific contact resistance between NiGe and the doped Ge S/D region in high-performance MOSFETs. In this study, a novel method is proposed to reduce the specific contact resistance between NiGe and p-type Ge (p-Ge) using a Tb interlayer. The specific contact resistance between NiGe and p-Ge was successfully decreased with the introduction of the Tb interlayer. To investigate the mechanism behind the reduction in the specific contact resistance, the elemental distribution and crystalline structure of NiGe were analyzed using secondary ion mass spectroscopy and X-ray diffraction. It is likely that the reduction in specific contact resistance was caused by an increase in the concentration of boron in the space between NiGe and p-Ge due to the influence of the Tb interlayer.

Keywords: Tb, Interlayer, NiGe, Specific contact resistance, Dopant segregation

1. 서론

Ge는 Si와 같은 4족 물질이며 Si에 비해 2배 이상 높은 전자 이동도(electron mobility)와 4배 이상 높은 전공 이동도(hole mobility)를 가지고 있다. 또한, Ge

는 Si에 비해 작은 유효질량(effective mass)을 가지고 있어 MOSFETs에서 더 높은 동작전류 특성을 얻을 수 있다. 이러한 특성으로 인해 극도로 소형화된 소자에서 Si 기반의 소자를 Ge 기반의 소자로 대체하려는 연구가 활발히 진행 중이다 [1-3].

하지만 Si 기반의 소자와 마찬가지로 Ge 기반의 소자도 지속적으로 소형화되어 쇼트 채널 효과(short channel effect)를 억제하기 위해 매우 얇은 S/D가 필요하게 되었다 [4,5]. 그러나 매우 얇아진 접합 깊이(junction depth)에 의해 S/D 영역에서 직렬저항이

a. Corresponding author; hdlee@cnu.ac.kr

Copyright ©2018 KIEEME. All rights reserved.
 This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

크게 증가되어 소자의 성능 향상을 방해하는 문제가 되었다 [6]. 또한, MOSFETs의 소형화에 따라 전체적인 S/D의 직렬저항 성분은 감소하지만 NiGe와 S/D 영역 사이의 접촉저항 성분의 상대적인 비율은 증가하는 것으로 분석되고 있다 [7]. 그러므로 MOSFETs의 소형화에 따라 얇아지는 S/D 영역으로 인해 증가하는 직렬저항을 감소시키기 위해서는 접촉저항을 감소시키는 것이 매우 중요하다 [8,9].

NiGe는 다른 germanide에 비해서 낮은 형성 온도와 안정적인 NiGe의 결정상, 낮은 비저항의 장점을 가지고 있어 Ge MOSFETs의 S/D 영역에 적용하기에 적합한 물질로 주목을 받고 있다. 특히 NiGe는 전공(hole)에 대해서 매우 낮은 쇼트키 장벽 높이(schottky barrier height, SBH)를 보여주기 때문에 Ge pMOSFETs의 S/D 영역에 적용되기에 매우 적합한 특성을 보여주고 있다 [10,11]. 하지만 소자의 소형화에 의해서 S/D 영역의 접촉 면적이 감소하여 접촉저항이 증가하였다. 접촉저항 성분 중에 비접촉저항(specific contact resistance) 성분의 상대적 비율이 높다고 알려져 있다. 따라서 식 (1)에서와 같이 접촉면적 A_c 가 동일할 때 접촉저항 R_c 를 감소시키기 위해서 비접촉저항 ρ_c 의 감소는 필수적이다 [12].

$$R_c = \frac{\rho_c}{A_c} \quad (1)$$

비접촉저항을 감소시키는 방법으로는 NiGe의 일함수(work function) 조절, 도펀트 분리(dopant segregation)를 통한 도펀트의 농도 증가 등을 통해 SBH를 감소시키는 것이 있다 [13]. NiGe를 형성하는 물질의 일함수를 조절하여 SBH를 조절하는 방법이 있다. 일반적으로 n-Ge에서는 Yb, Er 등의 희토류 금속, p-Ge에서는 Pd, Pt 등의 금속을 중간층으로 적용하여 SBH를 감소시킨다 [14]. 다음은 쇼트키 장벽 높이(schottky barrier width) 감소를 통해 실질적인 SBH를 감소시키는 방법이 있다. 이는 NiGe와 Ge 사이의 도펀트의 농도를 높여 Ge의 공핍영역의 넓이(depletion width)를 줄여서 터널링(tunneling) 확률을 높임으로써 실질적인 SBH가 감소하게 된다 [15].

본 논문은 Tb 중간층을 적용하여 형성한 NiGe와 p-Ge 사이의 비접촉저항 감소에 대해서 연구하였다. 전류-전압(current-voltage, I-V) 특성 측정, Circular Transmission Line Method (CTLM) 측정, XRD, SIMS 분석을 통해서 Tb 중간층을 적용하여 형성한 NiGe의 특성에 대해서 분석을 진행하였다.

2. 실험 방법

Tb 중간층을 적용하여 형성한 NiGe의 전기적 분석을 위해 그림 1의 공정 순서에 따라 쇼트키 다이오드(schottky diode)와 CTLM 시료를 제작하였다. P-Ge 웨이퍼(100)를 사용하였으며, 희석한 불화수소산(HF : H₂O = 1 : 100)으로 30초 동안 클리닝을 통해 자연산화막(native oxide)을 제거하였다. 그리고 그림 2와 같은 구조처럼 포토리소그래피(photolithography) 공정을 통해 I-V 특

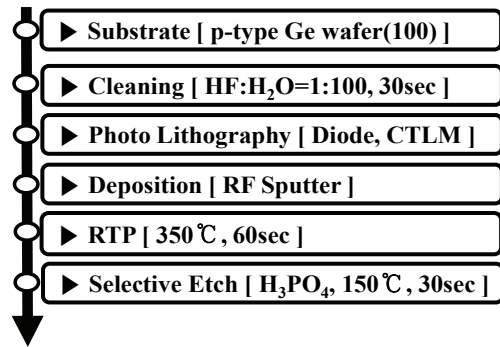


Fig. 1. Process flow for the experiments.

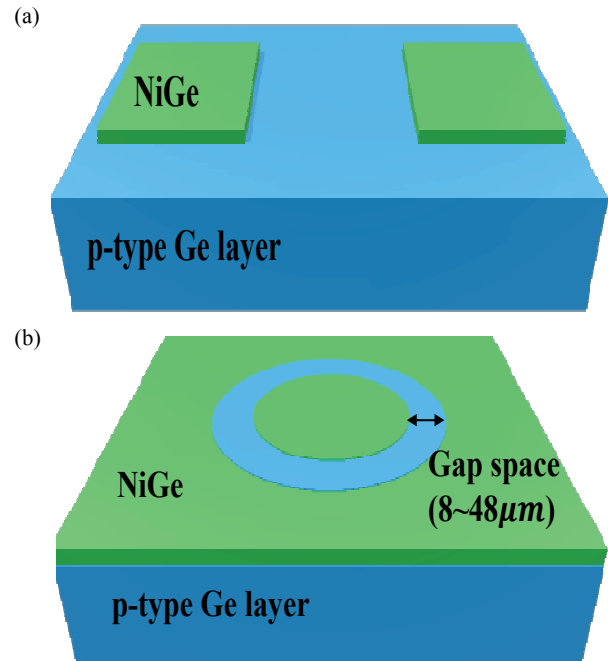


Fig. 2. (a) Schottky diode structure and (b) circular transmission line method (CTLM) structure.

성 측정을 위한 다이오드 패턴과 비접촉저항 측정을 위한 CTLM 패턴을 형성하였다. 다음으로 RF 스포터(sputter)를 사용하여 Tb/Ni/TiN 구조로 금속을 증착하였고, Tb 중간층은 2 nm, 5 nm, 8 nm의 두께로 증착하였다. 또한 전기적 특성을 비교하기 위한 표준 시료(reference sample)는 Ni/TiN 구조로 증착하였다. TiN 층은 NiGe 형성 중에 산화되는 것을 방지하기 위하여 캐핑층(capping layer)으로 사용되었다. 저마나이드화(germanidation)를 위해서 350°C에서 60초의 급속 열공정(rapid thermal process, RTP)을 통해 NiGe를 형성하였다. 그 후에 반응하지 않은 금속을 제거하기 위하여 150°C의 인산 용액에서 30초 동안 식각을 진행하였다.

XRD와 SIMS 분석을 통해 형성된 NiGe의 결정성과 원소의 분포에 대해서 분석하였다. 그리고 I-V 특성과 비접촉저항을 추출하기 위해서 반도체분석기(4155B, 미국)로 쇼트키 다이오드와 CTLM을 측정하였다.

3. 결과 및 고찰

그림 3은 그림 1의 공정 순서에 따라서 제작한 쇼트키 다이오드에서 I-V 특성을 측정한 것이다. 측정은 상온에서 $120 \times 120 \mu\text{m}^2$ 의 패턴에서 진행되었다. 우선은 모든 조건에서 NiGe와 p-Ge 사이에 오믹 접촉(ohmic contact)이 형성된 것을 알 수 있다. 하지만 2 nm와 5 nm 두께의 Tb 중간층이 적용된 시료에서는 표준 시료에 비해 보다 높은 전류가 측정되었다. 반면에 8 nm 두께의 Tb 중간층이 적용된 시료에서는 표준 시

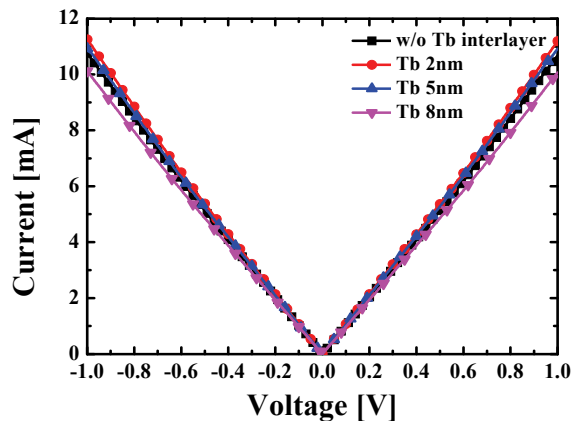


Fig. 3. Current-voltage characteristics of the fabricated Schottky diodes.

료보다 낮은 전류가 확인되었다. 이러한 결과를 통해 2 nm와 5 nm 두께의 Tb 중간층을 적용하여 형성한 NiGe에서 비접촉저항 감소의 가능성을 확인하였다. 정확한 비접촉저항 변화를 확인하기 위해서 CTLM 측정을 통해 비접촉저항 추출을 진행하였다.

그림 4는 비접촉저항을 추출하기 위해 CTLM 패턴의 공백 공간(gap space)에 따라 저항을 측정한 그래프이다 [12]. 2 nm와 5 nm 두께의 Tb 중간층이 적용된 시료에서는 표준 시료에서 추출된 비접촉저항인 $7.59 \times 10^{-6} \Omega\text{-cm}^2$ 보다 낮은 $4.56 \times 10^{-6} \Omega\text{-cm}^2$ 과 $5.15 \times 10^{-6} \Omega\text{-cm}^2$ 의 비접촉저항이 추출되었다. 하지만 8 nm 두께의 Tb 중간층이 적용된 시료에서는 표준 시료보다 높은 $4.22 \times 10^{-5} \Omega\text{-cm}^2$ 의 비접촉저항이 추출되

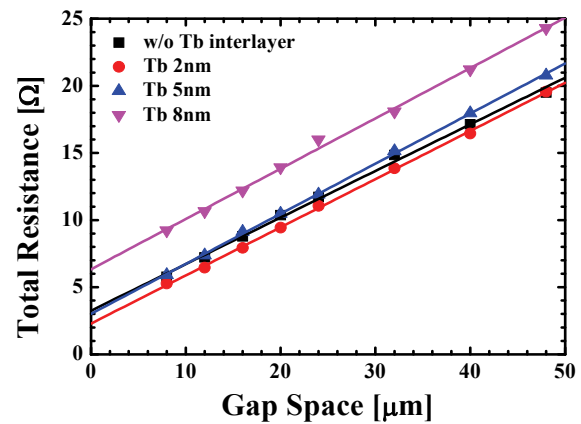


Fig. 4. CTLM measurement to extract specific contact resistance between NiGe and p-Ge.

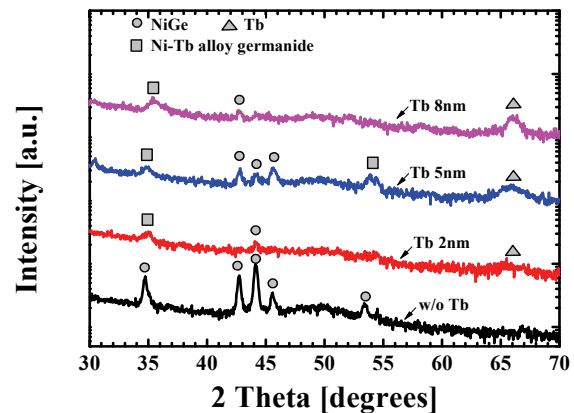


Fig. 5. XRD spectra of NiGe formed from Ni/TiN and Tb/Ni/TiN structures.

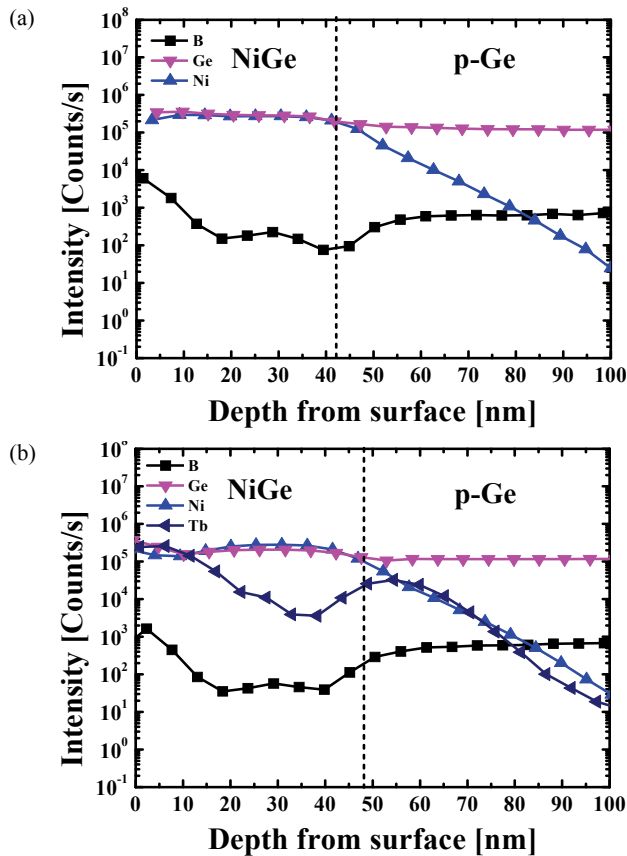


Fig. 6. SIMS depth profiles of NiGe (a) Ni/TiN structure without Tb and (b) Tb/Ni/TiN structure with Tb thickness of 2 nm.

었다. 이러한 결과는 I-V 특성 측정의 경향성과 일치하고 있다. 2 nm와 5 nm 두께의 Tb 중간층을 적용한 시료에서 비접촉저항이 감소한 원인을 파악하기 위해서 XRD와 SIMS 분석을 진행하였다.

그림 5는 저마나이드화를 통해 형성한 NiGe의 XRD 분석을 나타낸다. XRD 분석 결과 Tb 중간층을 적용한 NiGe의 결정구조에서 표준 시료와의 차이를 확인하였다. Tb에 의해서 NiGe 결정이 사라지고, Ni-Tb alloy germanide와 Tb 결정으로 판단되는 성분이 발생하였다 [14]. 이러한 결과를 통해서 Tb가 NiGe 형성에 영향을 주는 것을 확인하였다.

Ni-Tb alloy germanide의 조성비와 각 원소의 분포를 확인하기 위하여 SIMS 분석 진행을 하였다. 그림 6(a)와 (b)는 Ni/TiN 구조와 Tb 2 nm의 Tb/Ni/TiN 구조에서 형성된 NiGe의 SIMS depth profile을 나타낸다. 그림 6(a)와 그림 6(b)의 비교를 통해 도펀트인 B의 분포가 Tb의 영향을 받는 것인지 확인하였다. 비교 결과

Tb에 의해서 NiGe와 p-Ge 사이에서 B 피크의 세기가 Ni/TiN 구조의 84.2 Counts/s에서 보다 Tb/ Ni/TiN 구조의 191.7 Counts/s로 약 2.27배 증가하였다. 이러한 결과를 통해 Tb 중간층 적용에 의해서 도펀트 분리가 발생하여 증가한 NiGe와 p-Ge 사이의 도펀트로 인하여 실질적인 SBH 감소로 비접촉저항이 감소하였다고 판단된다.

4. 결론

본 논문에서는 Tb 중간층을 적용한 NiGe 형성 방법 제안을 통해 NiGe와 S/D 사이의 비접촉저항 감소에 대하여 연구를 하였다. 쇼트키 다이오드와 CTLM 측정을 통해 I-V 특성과 비접촉저항을 추출하였다. 이러한 결과를 통해 5 nm 이하의 Tb 중간층을 적용하면 비접촉저항이 감소하고, 8 nm의 Tb 중간층을 적용하면 비접촉저항이 증가하는 것으로 분석되었다.

XRD 분석 결과를 통해 Tb 중간층을 적용한 NiGe가 Ni-Tb alloy germanide로 형성된 것을 확인하였다. 또한 SIMS 분석으로 각 원소의 분포를 확인한 결과에서 Tb의 영향에 의해서 NiGe와 p-Ge 사이에서 B의 농도가 증가한 것을 확인하였다. 이를 통해 Tb의 영향으로 도펀트 분리가 발생하여 비접촉저항이 감소되었다고 판단된다. 따라서 5 nm 이하 두께의 Tb 중간층을 적용하여 NiGe를 형성하는 기술은 Ge MOSFETs의 S/D에 적용할 수 있는 매우 유용한 기술임을 확인하였다.

감사의 글

본 연구는 산업통상자원부(G01201406010774)와 KSRC 지원 사업인 미래반도체소자 원천기술 개발 산업의 지원 하에 수행된 결과임.

REFERENCES

- [1] H. Shang, M. M. Frank, E. P. Gusev, J. O. Chu, S. W. Bedell, K. W. Guarini, and M. Jeong, *IBM J. Res. Dev.*, **50**, 377 (2006). [DOI: <https://doi.org/10.1147/rd.504.0377>]
- [2] J. Oh, P. Majhi, H. Lee, O. Yoo, S. Banerjee, C. Y. Kang, J. W. Yang, R. Harris, H. H. Tseng, and R. Jammy,

- IEEE Electron Device Lett.*, **28**, 1044 (2007). [DOI: <https://doi.org/10.1109/LED.2007.908502>]
- [3] K. Saraswat, C. O. Chui, T. Krishnamohan, D. Kim, A. Nayfeh, and A. Pethe, *Mater. Sci. Eng., B*, **135**, 242 (2006). [DOI: <https://doi.org/10.1016/j.mseb.2006.08.014>]
- [4] W. Haensch, E. J. Nowak, R. H. Dennard, P. M. Solomon, A. Bryant, O. H. Dokumaci, A. Kumar, X. Wang, J. B. Johnson, and M. V. Fischetti, *IBM J. Res. Dev.*, **50**, 339 (2006). [DOI: <https://doi.org/10.1147/rd.504.0339>]
- [5] J. D. Plummer and P. B. Griffin, *Proc. IEEE*, **89**, 240 (2001). [DOI: <https://doi.org/10.1109/5.915373>]
- [6] T. J. Kang, H. Y. Lee, and Y. H. Kim, *J. Microelectromech. Syst.*, **16**, 279 (2007). [DOI: <https://doi.org/10.1109/JMEMS.2007.892898>]
- [7] S. D. Kim, C. M. Park, and J.C.S. Woo, *IEEE Trans. Electron Devices*, **49**, 467 (2002). [DOI: <https://doi.org/10.1109/16.987118>]
- [8] S. Matsumoto, M. Nishisaka, and T. Asano, *Jpn. J. Appl. Phys.*, **43**, 2170 (2004). [DOI: <https://doi.org/10.1143/JJAP.43.2170>]
- [9] R. K. Mishra, U. Ganguly, S. Ganguly, S. Lodha, A. Nainani, and M. C. Abraham, *Proc. 2013 IEEE International Conference of Electron Devices and Solid-State Circuits* (IEEE, Hong Kong, China, 2013) p. 1-2. [DOI: <https://doi.org/10.1109/EDSSC.2013.6628107>]
- [10] Q. Zhang, N. Wu, T. Osipowicz, L. K. Bera, and C. Zhu, *Jpn. J. Appl. Phys.*, **44**, L1389 (2005). [DOI: <https://doi.org/10.1143/JJAP.44.L1389>]
- [11] S. L. Hsu, C. H. Chien, M. J. Yang, R. H. Huang, C. C. Leu, S. W. Shen, and T. H. Yang, *Appl. Phys. Lett.*, **86**, 251906 (2005). [DOI: <https://doi.org/10.1063/1.1953880>]
- [12] D. K. Schroder, *Semiconductor Material and Device Characterization* (John Wiley & Sons, New Jersey, 2006) p. 142.
- [13] I. Ok, W. Y. Loh, K. W. Ang, C. D. Young, P. Y. Hung, T. Ngai, K. Akarvardar, C. Hobbs, and R. Jammy, *Proc. 11th International Workshop on Junction Technology (IWJT)* (IEEE, Kyoto, Japan, 2011) p. 50. [DOI: <https://doi.org/10.1109/IWJT.2011.5969998>]
- [14] Y. Y. Zhang, J. Oh, S. G. Li, S. Y. Jung, K. Y. Park, H. S. Shin, G. W. Lee, J. S. Wang, P. Majhi, H. H. Tseng, R. Jammy, T. S. Bae, and H. D. Lee, *Electrochem. Solid-State Lett.*, **12**, H18 (2009). [DOI: <https://doi.org/10.1149/1.3006319>]
- [15] J. Kim, M. Li, G. W. Lee, J. Oh, and H. D. Lee, *J. Semicond. Technol. Sci.*, **16**, 210 (2016). [DOI: <https://doi.org/10.5573/JSTS.2016.16.2.210>]