

두 배의 Rail-to-Rail 입력 범위를 갖는 NTV SAR ADC

Double Rail-to-Rail NTV SAR ADC

조 용 준*, 성 기 호*, 서 인 식**, 백 광 현*[★]

Yong-Jun Jo*, Kiho Seong*, In-Shik Seo**, Kwang-Hyun Baek*[★]

Abstract

This paper presents a low-power 0.6-V 10-bit 200-kS/s double rail-to-rail successive approximation register (SAR) analog-to-digital converter (ADC). The proposed scheme allows input signal with 4 times power which is compared with conventional one by applying proposed rail-to-rail scheme, and that improves signal-to-noise ratio(SNR) of NTV SAR ADCs. The prototype was designed using 65-nm CMOS technology. At a 0.6-V supply and $2.4 \cdot V_{pp}$ (differential) and 200-kS/s, the ADC achieves an SNDR of 59.87 dB and consumes 364.5-nW. The ADC core occupies an active area of only $84 \times 100 \mu\text{m}^2$.

요 약

본 논문은 두 배의 rail-to-rail 입력 전압 범위를 갖는 저-전력 0.6-V 10-bit 200-kS/s successive approximation register (SAR) analog-to-digital converter(ADC)를 제안한다. 제안된 near-threshold voltage(NTV)의 전원 전압을 갖는 회로는, 본질적인 입력 신호 전력 부족을 두 배의 rail-to-rail 입력 전압 범위를 구현함으로써 극복하였다. 이 회로는 일반적인 NTV 회로에 비해 4배의 입력 신호 전력을 갖게 되고, 그로써 SAR ADC의 신호 대 잡음비(signal-to-noise ratio, SNR)를 개선했다. 제안된 ADC는 65-nm CMOS 공정을 이용하여 제작되었다. 0.6-V 전원 전압과 $2.4 \cdot V_{pp}$ (차동쌍)의 입력 전압, 200-kS/s에서 ADC의 SNDR은 59.87 dB이며 전력 소모는 364.5-nW이다. ADC 코어가 차지하는 면적은 $84 \times 100 \mu\text{m}^2$ 이다.

Key words : Analog-to-digital converter, energy efficient, low-power, successive approximation register, double rail-to-rail

1. 서론

* Dept. of Electronics Engineering, Chung-Ang University

** Zaram Technology

★ Corresponding author

E-mail : kbaek@cau.ac.kr

※ Acknowledgment

This research was funded and conducted under 「the Competency Development Program for Industry Specialists」 of the Korean Ministry of Trade, Industry and Energy (MOTIE), operated by Korea Institute for Advancement of Technology (KIAT). (No. N0001883, HRD program for HRD Program for Intelligent semiconductor Industry). And it was also supported by the Technology Innovation Program (or Industrial Strategic Technology Development Program(10077381, Royalty Free Processor & Software Platform Development for Low Power IoT & Wearable Devices) funded By the Ministry of Trade, Industry & Energy(MOTIE, Korea)

Manuscript received Dec. 5, 2018; revised Dec. 10, 2018; accepted Dec. 19, 2018

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

Successive approximation register(SAR) analog-to-digital converters(ADCs)는 특성상 저-전력 어플리케이션에 적합한 구조이다. 그와 더불어 전원 전압의 크기를 줄이는 near-threshold voltage (NTV) 회로는 SAR ADC의 전력 소모를 획기적으로 줄일 수 있는 방법으로 각광받고 있다.

하지만 전원 전압의 크기를 낮추는 경우에 - 최대의 입력 전압 범위를 갖는 경우에도 - 입력 전압의 범위는 전원 전압의 크기를 넘어설 수 없기 때문에, 필연적으로 보통의 전원 전압을 갖는 ADC에 비해 입력 신호 전력이 줄어든다. 더욱이 입력 신호의 전력은 입력 신호 전압 크기의 제곱근의 형태로 줄어들기 때문에, 이는 ADC의 성능을 크게 제한하는 요소이다.

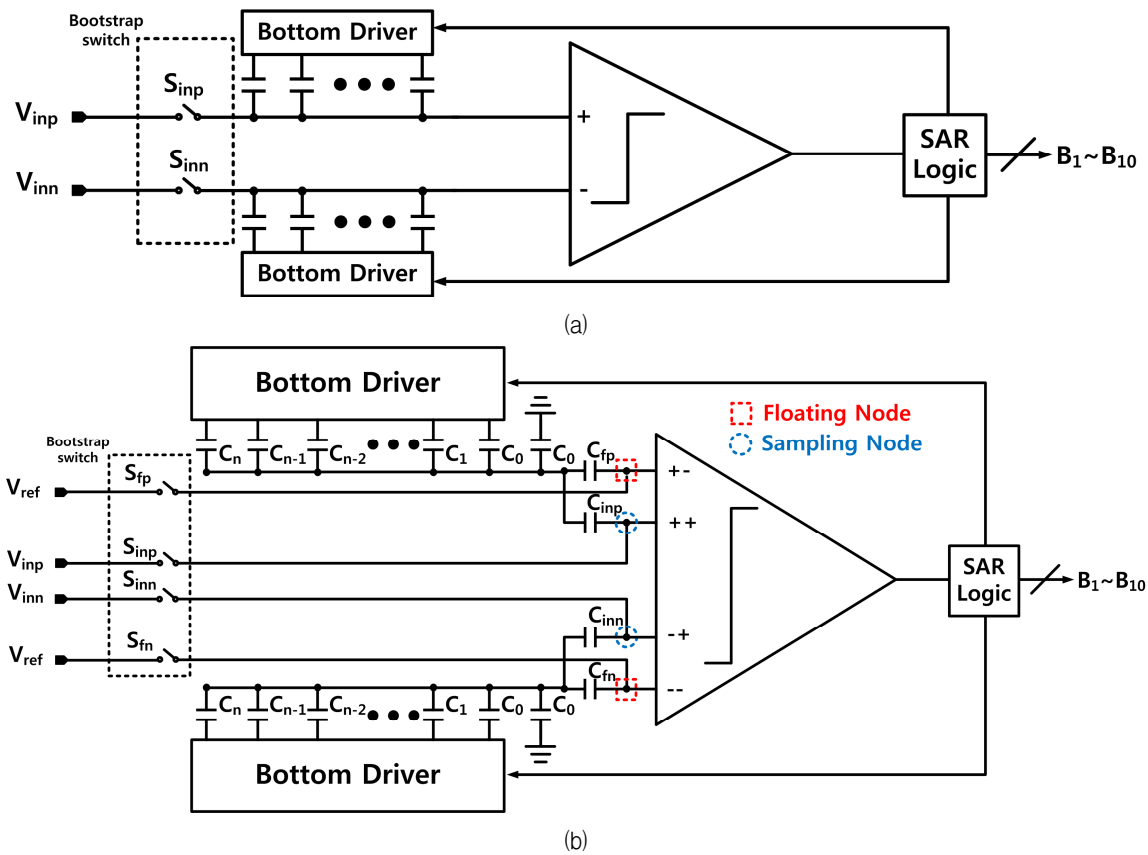


Fig. 1. Overall SAR ADC architecture (a) A conventional SAR ADC architecture (b) The proposed SAR ADC architecture.
 그림 1. 전체 SAR ADC의 구조 (a) 기존의 구조 (b) 제안된 구조

이 논문에서는 NTV SAR ADC의 단점인 입력 신호 전력의 부족을 개선하기 위해 두 배의 rail-to-rail 입력 전압 범위를 갖는 NTV SAR ADC를 제안한다. 두 배의 rail-to-rail 전압을 갖게 되면 보통의 rail-to-rail의 입력 전압을 갖는 ADC 보다 네 배의 신호 전력을 가지므로, 최대 6 dB의 signal-to-noise ratio(SNR) 개선을 기대할 수 있다.

이 논문은 65-nm CMOS 공정을 사용하여 0.6-V 전원 전압에 2.4- V_{PP} 의 입력 전압을 갖는 10-bit 200-kS/s SAR ADC를 제안한다.

후술할 섹션 II에서는 전체적인 개형도와 함께 스위칭 알고리즘과 부스트랩 스위치와 비교기 등, 본 동작을 구현하기 위한 주요 요소에 대해 설명할 것이다. 섹션 III에서는 전체 회로의 시뮬레이션 결과를 첨부하였고, 섹션 IV에서는 결론을 통해 마무리 짓는다.

II. 본론

1. ADC의 구조 및 알고리즘

보통의 SAR ADC가 비교할 수 있는 최대한의

전압은 capacitive digital-to-analog converter(C-DAC)의 스위칭을 통한 전하 재분배로써 전압이 변할 수 있는 최댓값이다.

$$\frac{1}{2} V_{ref} + \frac{1}{4} V_{ref} + \dots + \frac{1}{2^n} V_{ref} < V_{ref} = V_{DD} \quad (1)$$

식 (1)과 같이 단 방향으로 C-DAC 드라이버가 스위칭 할 때 C-DAC의 상단 판의 아날로그 전압의 변화량은 최대가 되며, 이 값은 $V_{ref} = V_{DD}$ 보다 작은 값이다. 따라서 전원 전압 이상의 입력 전압은 출력 전압의 최댓값으로 포화되며 비교할 수 없다.

제안된 구조에서는 두 배의 rail-to-rail 입력 전압 범위를 갖기 위해 그림 1-(b)와 같이 C_{fp}, C_{fn} 을 통한 플로팅 노드(Floating node)를 이용하였다.

샘플링 단계에서는 S_f 와 S_i 가 연결 되어 샘플링 노드에서는 샘플링이 진행되며, 동시에 플로팅 노드는 입력 전압의 변화에 영향을 받지 않고 V_{ref} 로 고정된다.

변환 단계에서는 S_i 와 S_f 가 연결이 끊겨 플로팅

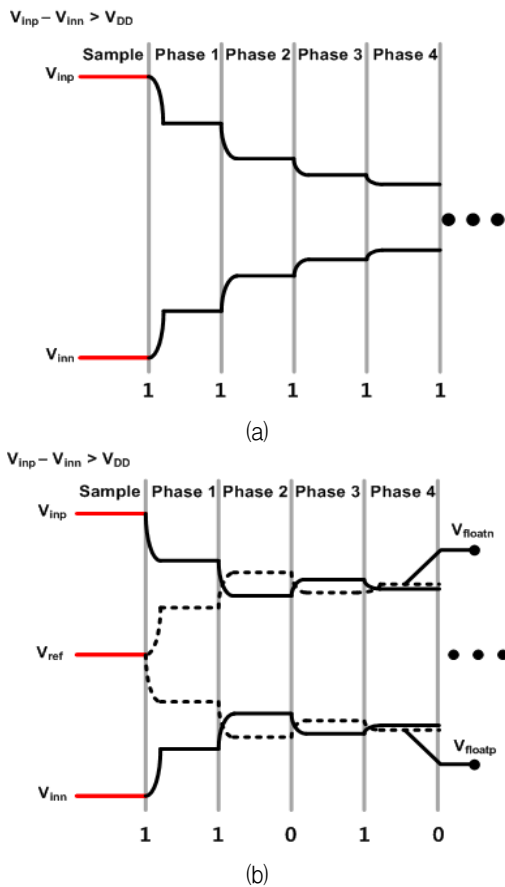


Fig. 2. Switching procedure of over supply voltage input
 (a) A conventional SAR ADC example
 (b) The proposed SAR ADC example.
 그림 2. 전원 전압을 초과하는 입력 전압 스위칭 예시
 (a) 기존의 SAR ADC (b) 제안된 SAR ADC

노드가 플로팅 상태가 되며, 이 상태에서는 C-DAC의 상단 판의 변화에 비례하여 플로팅 노드의 전압 값이 변하게 된다. 결과적으로 비교기의 측면에서 보면 입력 전압의 변화가 일반적인 경우와 비교하여 두 배가 되어, 두 배의 rail-to-rail 입력 전압을 변환 할 수 있게 된다.

C_{inp}, C_{inn} 의 경우 샘플링 단계에서 C-DAC의 커패시턴스를 작게 보이게 하는 감쇠 역할을 한다. 또한 $C_f = C_{in}$ 으로 설계하여 비교기의 입력 스위치에서 보이는 커패시턴스 값을 플로팅 노드에서와 같게 해주어 선형성을 보장하기 위해 사용된다.

그림 2는 전원 전압 이상의 입력 전압이 들어왔을 경우 발생하는 전압 변화의 예시이다. 그림 2-(a)와 같이 보통의 SAR ADC는 전원 전압을 초과하는 입력 전압은 비교가 불가능하며, 그 경우 출력 값은 최댓값으로 포화된다. 하지만 그림 2-(b)의 경우에는 그림과 같이 전원 전압의 이상의 입력

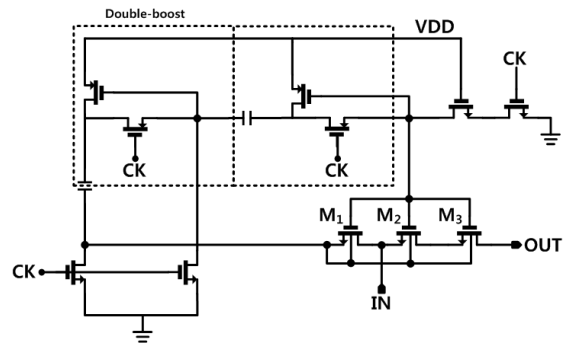


Fig. 3. Sample/hold switch schematic.
 그림 3. 샘플/홀드 스위치의 회로도

전압의 경우에도 비교가 가능하며, 차동 플로팅 노드는 각각 입력 전압과 $|V_{in} - V_{ref}|$ 의 차이를 두고 변화한다.

2. 주요 블록의 구현

두 배의 Rail-to-Rail 입력 전압을 갖는 SAR ADC를 설계하기 위해서 기존 구조와 다르게 설계해야 하는 회로는 샘플/홀드 회로, 비교기 등이 있다. 각각에 대해서 하위 항목으로 후술한다.

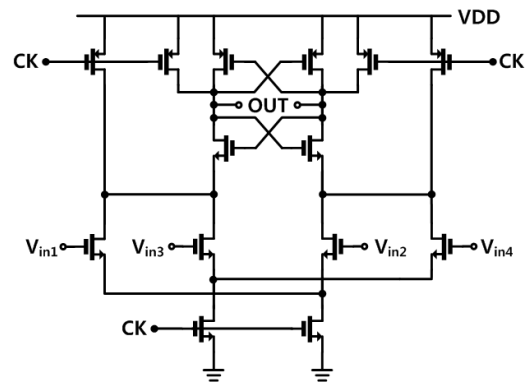


Fig. 4. Differential-difference comparator schematic.
 그림 4. 차이-차동 비교기의 회로도

가. 샘플/홀드 회로

NTV 전원 전압을 안정적으로 샘플링하기 위해서는 스위치의 R_{ON} 을 낮춰야 하며, 제안된 구조에서는 그림 3과 같이 더블-부스트 부트스트랩 스위치(double-boost bootstrap switch) 구조가 적용되었다. 또한 몸체 효과(body effect)에 의한 비선형성을 줄이기 위해 샘플링 시에는 입력 스위치의 body 전압을 M_1 을 통해 입력 전압에 연결되어 몸체 효과를 없앴다. 그리고 누설 전류를 줄이기 위해 $M_2 - M_3$ 적층 스위치 구조가 사용되었다[1].

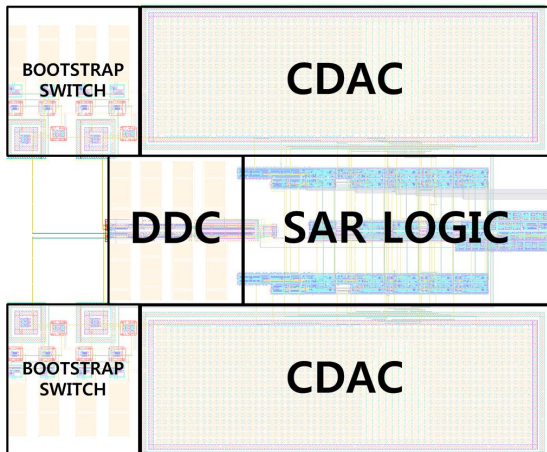


Fig. 5. ADC layout.

그림 5. 전체 회로의 레이아웃

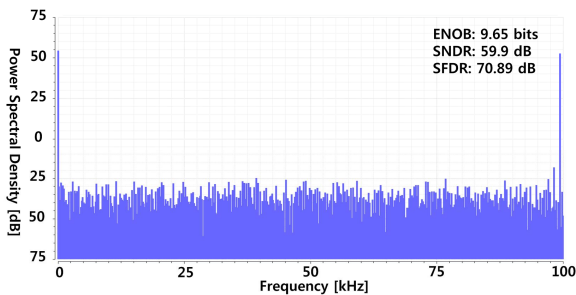


Fig. 6. Simulated 1,024-point FFT spectrum at 200kS/s.

그림 6. 200kS/s에서의 1,024-포인트 FFT 스펙트럼

나. 비교기

비교기는 차이-차동 증폭기[2]를 기반으로 한 차이-차동비교기(Differential-Difference Comparator, DDC)[3]가 사용되었다. 비교기의 출력은 수식(2)를 통해 결정된다.

$$v_o = k[f_P(v_{in1} - v_{in2}) - f_N(v_{in3} - v_{in4})] \text{ with } k \rightarrow \infty \quad (2)$$

이 식에서 k 는 비교기 전체의 이득, f_P, f_N 은 비교기 각각 차동쌍의 이득을 나타내며, $f_P = f_N$ 을 보장해주어야 올바른 출력을 얻을 수 있다.

III. 모의실험

제안된 회로는 65-nm CMOS 공정을 사용하여 제작되었다. 총 ADC 레이아웃의 면적은 $84 \times 100 \mu\text{m}^2$ 이다. 회로의 전원전압은 0.6-V이며 해상도는 10-bits, 샘플링 속도는 200-kS/s이다. 또한 최대 입력 전압의 범위는 $2.4 - V_{PP}$ (차동 전압 기준)이다.

가. 동적 성능

그림 6은 입력 신호 주파수가 100-kS/s이고 클록 주파수는 200-kS/s, 전원 전압은 0.6-V이며 입력 전압은 $2.4 - V_{PP}$ 인 조건에서의 FFT 스펙트럼이다. SNDR와 SFDR은 각각 59.9 dB와 70.89 dB이다. ENOB은 9.65-bit이다.

나. 전력 소모

0.6-V 전원전압과 200-kS/s에서 샘플/홀드 회로와 비교기를 포함한 아날로그 부분은 72.36-nW의 전력을 소모하며 전체의 19.9%를 차지한다. 디지털 부분은 292.14-nW의 전력을 소모하며 나머지 80.1%를 차지한다. 전체 전력 소모는 364.5-nW이다.

IV. 결론

이 논문에서는 입력 전압의 최대 범위가 전원 전압의 크기의 두 배를 갖는 SAR ADC가 제안되었다. 입력 전압 범위의 확대를 통해 신호 전력을 개선하여 ADC의 잡음 성능을 개선하였다. 또한 이를 위해 사용한 샘플/홀드 회로와 비교기를 서술하였다. 설계된 회로는 200-kS/s에서 364.5-nW의 전력 소모를 달성하였고, 레이아웃 면적은 0.0084 mm^2 이다.

References

- [1] Jin-Yi Lin and Chih-Cheng Hsieh, "A 0.3 V 10-bit 1.17 f SAR ADC With Merge and Split Switching in 90 nm CMOS," in *IEEE Trans. Circuits Syst. I, Reg. Papers*, Vol.62, no.1, pp.70-79, 2015. DOI:10.1109/TCSI.2014.2349571
- [2] Eduard Säcker and Walter Guggenbühl, "A Versatile Building Block: The CMOS Differential Difference Amplifier," *IEEE J. Solid-State Circuit*, vol.22, no.2, pp.287-294, 1987. DOI:10.1109/JSSC.1987.1052715
- [3] Helmy Eltoukhy, Khaled Salama and Abbas El Gamal, "A 0.18- μm CMOS Bioluminescence Detection Lab-on-Chip," *IEEE J. Solid-State Circuit*, Vol.41, no.3, pp.651-662, 2006. DOI:10.1109/JSSC.2006.869785