

# 4H-SiC MOSFET기반 ESD보호회로에 관한 연구

## A study on ESD Protection circuit based on 4H-SiC MOSFET

서정주\*, 도경일\*, 서정윤\*, 권상욱\*, 구용서\*

Jeong-Ju Seo\*, Kyoung-Il Do\*, Jeong-Ju Seo\*, Sang-Wook Kwon\*, Yong-Seo Koo\*

### Abstract

In this paper, we proposed ggNMOS based on 4H-SiC material and analyzed its electrical characteristics. 4H-SiC is a wide band-gap material, which is superior in area contrast and high voltage characteristics to Si material, and is attracting attention in the power semiconductor field. The proposed device has high robustness and strong snapback characteristics. The process consisted of SiC process and electrical characteristics were analyzed by TLP measurement equipment.

### 요약

본 논문에서는 4H-SiC물질 기반으로 제작된 ggNMOS를 제안하고 전기적 특성을 분석하였다. 4H-SiC는 Wide Band-gap 물질로 Si 물질 보다 면적대비 특성과 고전압 특성이 뛰어나 전력반도체 분야에 주목받고 있다. 제안된 소자는 높은 감내 특성과 Strong snapback 특성을 가진다. 공정은 SiC 공정으로 이루어 졌으며 TLP 측정 장비를 통해 전기적 특성을 분석하였다.

*Key words* : ESD, ggNMOS, 4H-SiC, Wide Band-gap

### 1. 서론

현대 산업 구조에서 전자제품의 집적화 및 소형화 이슈가 이어지는 가운데 Si 기반 소자들은 물성적으로 한계점에 도달하고 있다. 구조적인 개선을 통해 성능개선을 이루어 낸다 하더라도 한계가 명확하여 대체 방안이 검토되고 있다. 따라서 보다 고전압 특성이 뛰어나고 면적 대비 특성이 월등히 좋은 WBG(Wide Band-gap) 물질이 연구되고 있

다[1], [2]. 그중에서도 SiC물질이 주목받고 있으며 특히나 고온동작에서의 성능이 매우 뛰어나고 차량, 항공등 다양한 분야에 영역이 확대되고 있다. 하지만 SiC기반 반도체는 Si반도체에 비해 기술적 난이도가 높고 산업적 측면에서의 위험도 또한 높다. 특히 외부의 surge 나 noise 등으로부터 소자를 안정적으로 보호할 수 있는 ESD 보호회로 개발은 더욱더 미흡한 실정이다. 이는 고 신뢰성을 요구하는 자동차, 항공 등의 분야의 제품개발과 직결되는

\* Dept. of Electronics Engineering, DanKook University

★ Corresponding author

E-mail : poer0202@naver.com, Tel : +82-31-8005-3625

※ Acknowledgment

This work was supported by the Ministry of Trade, Industry & Energy(10080364, "Development of a High Efficient Energy Hub System for IoT Devices") and the MSIT(Ministry of Science and ICT), Korea, under the ITRC(Information Technology Research Center) support program(IITP-2018-0-01421) supervised by the IITP(Institute for Information & communications Technology Promotion)"

Manuscript received Dec. 10, 2018; revised Dec. 21, 2018; accepted Dec. 24, 2018

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited

문제이다[3], [4]. 따라서 본 논문에서는 4H-SiC 기반 ESD 보호회로를 제안하고, SiC 공정을 통하여 설계 및 제작하여 전기적 특성을 검증하였다.

## II. 본론

### 1. 4H-SiC ggNMOS 제작

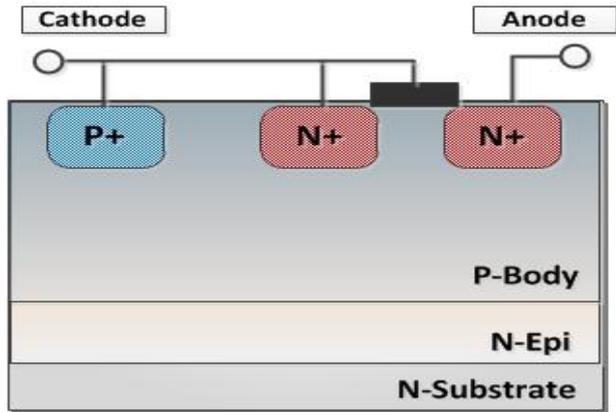


Fig. 1. Cross sectional view of 4H-SiC ggNMOS.  
그림 1. 4H-SiC ggNMOS의 단면도

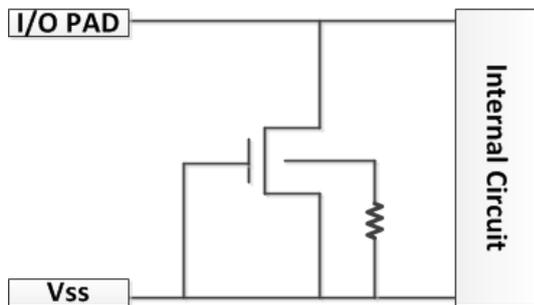


Fig. 2. Equivalent circuit of 4H-SiC ggNMOS.  
그림 2. 4H-SiC ggNMOS의 등가회로

그림 1은 4H-SiC기반 ggNMOS(gate-grounded NMOS)의 구조이고 그림 2은 등가 회로도 이다. 기판은 N-epi층으로 형성되어 있으며 P-body layer 층에 MOSFET구조를 형성하였다. N+ 및 P+ 영역은 일반적으로 각각 질소 및 알루미늄을 주입함으로써 형성되며, 4H-SiC에서 N-type을 형성하기 위해서는 이온화 에너지가 높고 원자량이 낮은 질소를 사용한다. P+층의 두께 및 도핑농도는 약 0.2um 및  $3 \times 10^{18} \text{cm}^{-3}$ 이고 N+층은 약 0.2um 및  $5 \times 10^{18} \text{cm}^{-3}$  이다. P-body layer의 두께 및 도핑 농도는 0.7um 및  $1 \times 10^{18} \text{cm}^{-3}$ 이다. N+/P+ 임플란트의 공정단계는 각각 질소 및 알루미늄 공급원을 사용하여 650°C에서 수행되었다. P-body 영역은 알루

미늄을 사용하여 650°C에서 수행되었다. P-body의 농도는 epi층과의 펀치스루 현상이 일어나지 않도록 충분히 높게 제작한다.

4H-ggNMOS의 동작은 Si기반 ggNMOS와 동일하다. Anode 단으로 ESD surge가 인가되면 drain 영역과 Body영역 간의 Avalanche Breakdown이 발생한다. 생성된 EHP(Electron-Hole pair)중 Hole은 P-body의 potential을 높여주고 그로인해 Body영역과 Source영역 간의 다이오드가 동작하게 되면서 최종적으로 NPN 기생 바이폴라 트랜지스터가 동작하여 ESD 전류를 방전시켜준다.

### 2. 전기적 특성 분석

그림 3은 TLP 장비로 측정한 4H-SiC ggNMOS의 I-V 특성이다. 트리거 전압과 홀딩 전압은 각각 210V, 65V로 높은 전압에서 트리거 되고 strong snapback 특성을 나타낸다. 4H-SiC 물질의 우수한 dynamic저항 특성에 따라 뛰어난 on-resistance 특성을 가지며 높은 감내 특성을 가진다.

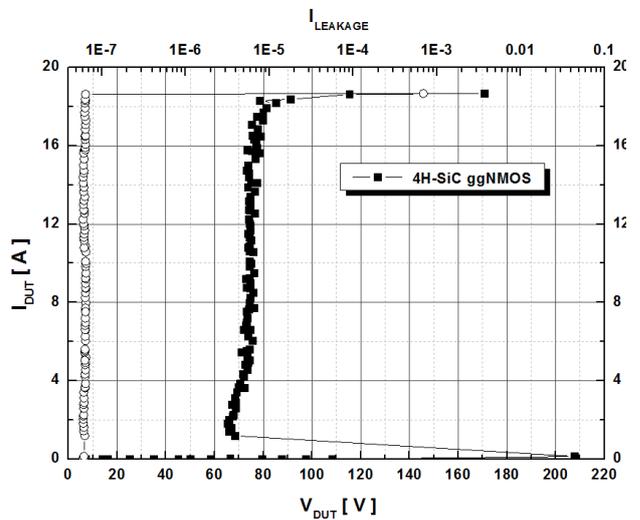


Fig. 3. I-V Curve of 4H-SiC ggNMOS.  
그림 3. 4H-SiC ggNMOS의 I-V 특성

그림 4은 설계변수 DCGS(drain contact gate spacing)와 Gate length이다. 일반적으로 DCGS의 변화는 ESD performance 향상에 잘 알려져 있다. DCGS의 간격이 늘어나게 되면 drain과 gate간의 저항성분이 작용하여 채널 근처의 drain 부근에 전계가 집중되는 hot-spot 현상을 감소 시켜 높은 ESD level을 견딜 수 있도록 해 준다. Gate Length의 변화는 홀딩 전압의 변화에 유효하다. Gate Length

가 증가하면 기생 NPN 바이폴라 트랜지스터의 Base 영역이 증가하는 효과를 가져 온다. 따라서 Base 영역의 증가는 이미터 주입효율 및 전류이득 Beta를 감소시켜 홀딩전압 증가의 효과를 가져 온다.

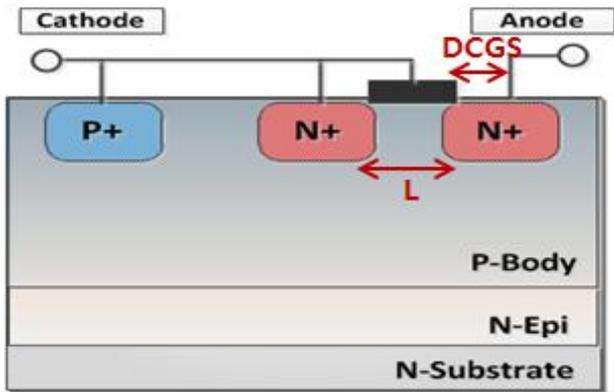


Fig. 4. Variation of 4H-SiC ggNMOS.  
그림 4. 4H-SiC ggNMOS의 설계변수

그림 5은 설계변수 DCGS의 변화에 따른 I-V 특성이다. 변수를 각각 150um, 200um, 250um로 설계하였고 측정결과 길이가 늘어날수록 감내 특성이 향상되는 것을 확인할 수 있다.

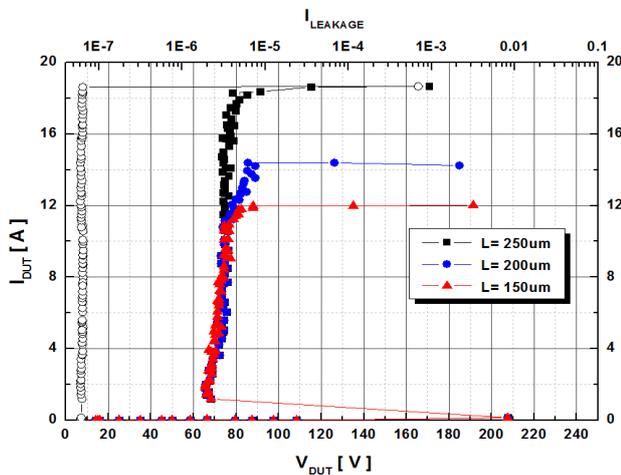


Fig. 5. I-V Curve of 4H-SiC ggNMOS with DCGS variation.  
그림 5. 설계변수 DCGS에 따른 4H-SiC ggNMOS의 I-V 특성

그림 6은 설계변수 Gate Length의 변화에 따른 I-V특성이다. 변수를 각각 5um, 11um, 17um로 설계하였고 측정결과 길이가 늘어날수록 홀딩 전압이 높아지는 것을 확인할 수 있다. 따라서 어플리케이션의 요구전압에 따라 설계변수가 적용된 소자를 사용할 수 있다.

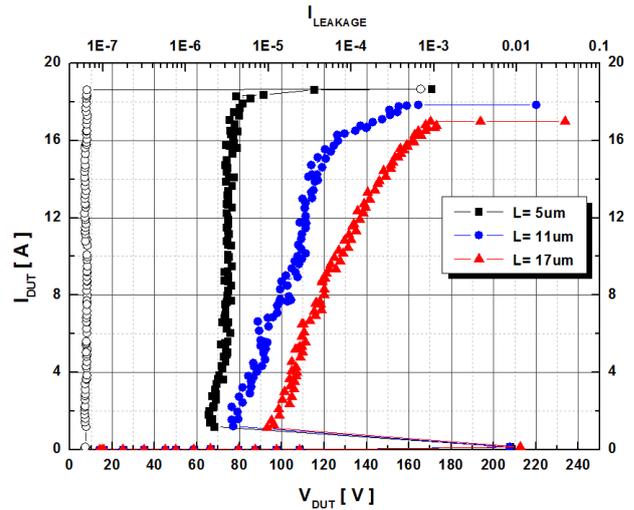


Fig. 6. I-V Curve of 4H-SiC ggNMOS with Gate Length variation.  
그림 6. 설계변수 Gate Length에 따른 4H-SiC ggNMOS의 I-V 특성

Table 1. Electrical characteristic with DCGS variation.  
표 1. DCGS 변수에 따른 전기적 특성

DCGS	Trigger Voltage	Holding Voltage	It2
5um	210V	65V	12A
11um	210V	65V	14.2A
17um	210V	65V	18.4A

Table 2. Electrical characteristic with Gate Length variation.  
표 2. Gate Length 변수에 따른 전기적 특성

Gate Length	Trigger Voltage	Holding Voltage	It2
150um	212V	66V	18.2A
200um	210V	78V	17.9A
250um	208V	94V	17.2A

### III. 결론

본 논문에서는 전력반도체에 적합한 4H-SiC 물질을 기반으로 한 ESD보호소자인 ggNMOS를 제작 및 특성을 검증하였다. 4H-SiC는 Wide Band-gap 물질로 고온 동작에 유리하며 Si물질에 비하여 동일 면적 대비 저항특성이 좋아 감내 특성을 향상시켜 준다. TLP 측정결과 210V의 높은 트리거 전압과 65V 홀딩 전압으로 Strong snapback 특성을 가진다. 반면에 뛰어난 온도 특성과 on-resistance로 높은 감내 특성을 지닌다. 감내 특성의 변화를 확인

하기 위해 DCGS(drain contact gate spacing)을 설계변수로 설정하여 각각 150um, 200um, 250um로 길이가 늘어남에 따라 감내 특성이 향상됨을 볼 수 있다. 또한 어플리케이션의 요구전압에 대한 최적화를 위해 Gate Length를 설계변수로 설정하여 각각 5um, 11um, 17um로 길이가 늘어남에 따라 홀딩 전압이 높아짐을 볼 수 있다. 따라서 특정 어플리케이션에 대해 ESD보호 소자를 최적화 하여 적절하게 사용할 수 있다.

## References

- [1] S. Tiwari, T. Undeland, S. Basu, and W. Robbins, "Silicon carbide power transistors, characterization for smart grid applications," in *Power Electronics and Motion Control Conference(EPE/PEMC)*, 2012 15th International, 2012, pp. LS6d.2-1-LS6d.2-8. DOI:10.1109/EPEPEMC.2012.6397497
- [2] R. Kaplar, M. J. Marinella, S. DasGupta, M. A. Smith, S. Atcitty, M. Sun, and T. Palacios, "Characterization and reliability of sic-and ganbased power transistors for renewable energy applications," in *Energytech, 2012 IEEE*, 2012, pp.1-6. *EOS/ESD Symp*, pp.77-86, 2006, DOI:10.1109/EOSESD.2006.5256797
- [3] T. Phulpin, D. Trémouilles, K. Isoird, D. Tournier, P. Godignon, P.Austin, Analysis of an ESD failure mechanism on a SiC MESFET, *Microelectronics Reliability*, Volume 54, Issues-10, Pages 2217-2221, 2014.
- [4] Fayyaz A, Castellazzi A. Performance and robustness testing of SiC power devices. In: 6th IET international conference on power electronics, machines and drives (PEMD 2012), pp.1-5, 2012.