

## 고속-락킹 디지털 주파수 증배기

# A Fast-Locking All-Digital Frequency Multiplier

이 창준\*, 김 종선\*

Chang-Jun Lee\*, Jong-Sun Kim\*

### Abstract

A fast-lock multiplying delay-locked loop (MDLL)-based digital clock frequency multiplier with an anti-harmonic lock capability is presented. The proposed digital frequency multiplier utilizes a new most-significant bit (MSB)-interval search algorithm to achieve fast-locking time without harmonic lock problems. The proposed digital MDLL frequency multiplier is designed in a 65nm CMOS process, and the operating output frequency range is from 1 GHz to 3 GHz. The digital MDLL provides a programmable fractional-ratio frequency multiplication ratios of  $N/M$ , where  $N = 1, 4, 5, 8, 10$  and  $M = 1, 2, 3$ , respectively. The proposed MDLL consumes 3.52 mW at 1GHz and achieves a peak-to-peak (p-p) output clock jitter of 14.07 ps.

### 요약

안티-하모닉락 기능을 가지는 고속-락킹 MDLL 기반의 디지털 클럭 주파수 증배기를 소개한다. 제안하는 디지털 주파수 증배기는 하모닉락 문제 없이 빠른 락킹 시간을 구현하기 위하여 새로운 MSB-구간 검색 알고리즘을 사용한다. 제안하는 디지털 MDLL 주파수 증배기는 65nm CMOS 공정으로 설계되었으며, 1 GHz ~ 3 GHz의 출력 동작주파수 영역을 가진다. 제안하는 디지털 MDLL은 프로그래머블한  $N/M$  ( $N=1, 4, 5, 8, 10, M=1, 2, 3$ )의 분수배 주파수 증배 기능을 제공한다. 제안하는 MDLL은 1GHz에서 3.52 mW의 전력을 소모하고, 14.07 ps의 피크-투-피크 (p-p) 지터를 갖는다.

*Key words* : Multiplying delay-locked loop, MDLL, Frequency Multiplier, Digital MDLL, Harmonic Lock

### 1. 서론

집적회로 IC에 필요한 주기적인 온-칩 클럭신호의 생성을 위하여 CMOS 주파수 생성기와 증배기 혹은 합성기들이 디지털 및 RF IC 설계에 널리 적용되고 있다. 이들 주파수 증배기 및 합성기들은 일반적으로 phase locked-loop (PLL)을 기반으로 한

다 [1, 2]. 그러나 일반적인 PLL은 2차 이상의 피드백 시스템으로 구성되어 안정성 문제를 갖는다. 또한 공정, 전압, 온도 (process, voltage, temperature : PVT) 변화에 민감하고, 설계하기가 어려우며 큰 면적을 차지한다.

비교적 최근에 소개된 multiplying delay-locked loop(MDLL) 기반의 주파수 증배기들은 일부 응용

\* Dept. of Electronic & Electrical Engineering, Hongik University

★ Corresponding author

E-mail : js.kim@honik.kr, Tel : +82-2-320-3014

※ Acknowledgment

This research was funded and conducted under “the Competency Development Program for Industry Specialists” of the Korean Ministry of Trade, Industry and Energy (MOTIE), operated by Korea Institute for Advancement of Technology (KIAT). (No. N0001883, HRD program for N0001883). The EDA tools were supported by IDEC.

Manuscript received Dec. 9, 2018; revised Dec. 19, 2018; accepted Dec. 21, 2018

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

분야에서 PLL을 대체할 수 있는 새로운 주파수 증배기로 소개되어 졌다 [3, 4]. MDLL은 1차 피드백 시스템으로 구성되어 안정성 면에서 PLL보다 우수하며, 설계의 용이성을 장점으로 들 수 있다. 또한, MDLL은 깨끗한 외부 입력 클럭이 주기적으로 출력 클럭의 jitter를 리셋할 수 있는 장점으로 인해 일반적으로 PLL보다 좋은 jitter 특성을 가질 수 있다.

종래의 MDLL [3, 4]은 정수배의 주파수 증배만 가능하였으나, [5]에서 분수배 주파수 증배를 가능하게 하는 구조가 제시되었다. 그러나 [1]의 MDLL 구조는 아날로그로 구성되어 락킹 속도가 빠르지 않다는 한계를 갖는다. 고속-락킹의 구현을 위하여 successive approximation register(SAR)를 이용한 이진 검색방식을 사용할 수 있으나, SAR 기반의 이진검색 방식은 MDLL의 출력 주파수를 변경시킬 수 있는 하모닉 락(harmonic lock) 문제를 야기할 수 있다 [6, R].

본 논문에서는 하모닉 락을 방지하면서 락킹 시간의 감소를 위하여 새로운 most significant bit(MSB) 구간 검색(MSB interval search) 알고리즘을 적용한 분수배 주파수 증배기능의 디지털 MDLL을 제안한다. 제안하는 MDLL의 동작 모드는 MSB 구간

모드(MSB interval mode), 이진 검색 모드(binary search mode), 순차 검색 모드(sequential search mode)로 구성된다. 제안하는 디지털 MDLL은 65-nm 1-V CMOS 공정으로 설계되어 1.0-3.0 GHz의 동작 주파수 범위를 갖는다. 제안하는 주파수 증배기는 N/M의 분수배 주파수 증배기능을 가지며, 이때 N=1, 4, 5, 8, 10 이고 M=1, 2, 3 이다. 제안하는 MDLL은 최대 64 클럭 사이클의 락킹-타임을 가지며, 1GHz에서 3.52 mW의 전력을 소모한다. 출력 클럭의 p-p jitter는 1GHz에서 약 14.07 ps이다.

## II. 본론

그림 1은 본 논문에서 제안하는 디지털 MDLL 기반 클럭 주파수 증배기의 블록도를 보여준다. 제안하는 MDLL의 주요 블록은 3-to-1 MUX, 디지털 조정 지연라인(digitally controlled delay line : DCDL), DCDL Controller, 위상검출기(phase detector : PD), select logic, 입력 클럭 디바이더(/M), 피드백 클럭 디바이더(/N), 1/4의 출력 주파수 신호 CLK\_Ctrl를 만드는 1/4 디바이더로 구성된다. DCDL Controller는 11-bit 멀티 모드 레지스터(MMR),

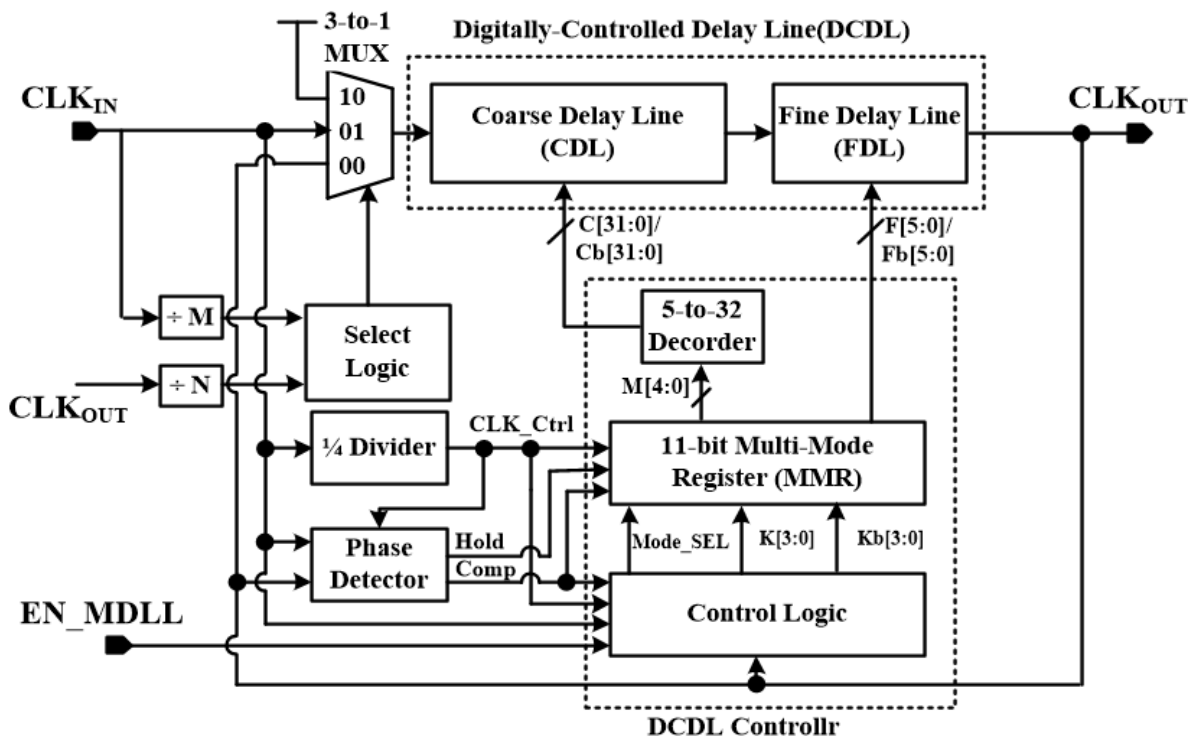


Fig. 1. Proposed MDLL-based Clock Frequency Multiplier.  
그림 1. 제안하는 MDLL-기반 클럭 주파수 증배기

5-to-32 디코더, 모드 제어 로직(mode control logic)으로 구성된다. 또한, DCDL은 코스-딜레이 라인(CDL)과 파인-딜레이 라인(FDL)로 구성된다. CDL은 32개의 Coarse Delay Unit(CDU)로 구성되며, FDL의 가변 지연시간의 최대값은 1 CDU delay (=  $t_{cdu}$ )와 같고, FDL의 지연 분해 능력인 delay resolution은  $t_{cdu}/64$ 이다.

본 논문에서는 종래의 SAR-기반 이진검색 방식에서 발생할 수 있는 하모닉 락 문제를 방지하기 위하여 CDL의 지연시간을 조절하는 제어신호 M[4:0] 중에서 MSB 상위 3-비트인 M[4:2]만을 이용하여 DCDL의 지연시간을 일정한 간격으로 증가시키는 새로운 MSB-interval 알고리즘을 적용하였다. 종래 이진검색 방식에서 동작 초기에 50%의 지연시간을 한 번에 증가시키는 방식에 비해 지연시간을 일정한 간격으로 증가시킴으로써 하모닉 락의 문제없이도 빠른 락킹 시간을 구현할 수 있다.

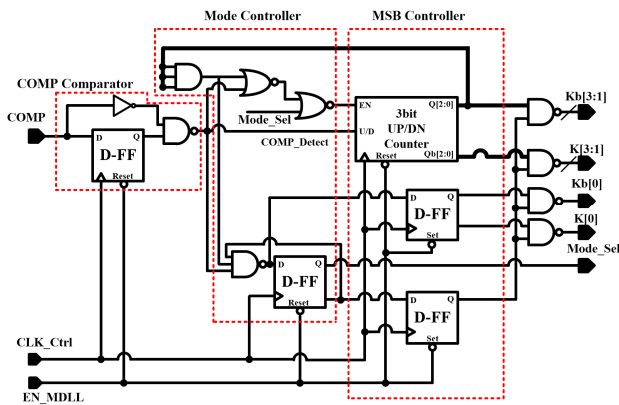
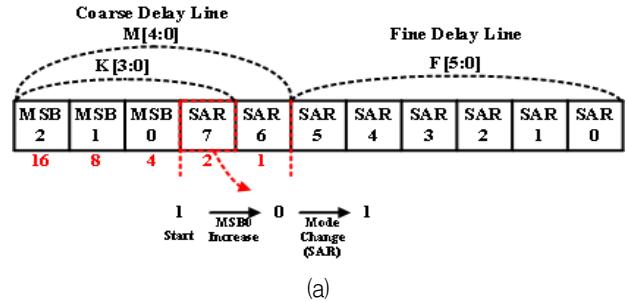


Fig. 2. Proposed mode control logic.  
그림 2. 제안하는 모드제어 로직 회로

그림 2는 제안하는 모드 제어 로직의 회로를 보여준다. 모드 제어 로직은 COMP 비교기(comp comparator), 모드 제어기(mode controller), MSB 제어기(MSB controller)로 구성된다. COMP 비교기는 PD의 출력인 COMP신호의 현재값과 이전 값을 비교하여 COMP\_Detect 신호를 출력한다. MSB 제어기는 3-비트 업/다운 카운터와 두 개의 D flip-flop(D-FF)으로 구성되며, 11-비트 MMR의 제어를 위한 K[3:0], Kb[3:0], Mode\_Sel 신호를 출력한다.

COMP 값의 변화가 없을 경우, 3-비트 업/다운 카운터의 MSB 값인 K[3:1] 신호가 증가되어 지연시간을 일정하게 증가시킨다. COMP 값의 변화가

있을 경우, COMP\_Detect의 값이 변화하면서 MSB K[3:1]의 값은 유지된 상태로 SAR를 이용한 Binary Search mode로 전환된다.



	Start	1st	2nd	3th	4th	5th	6th	7th
K[3:0]	0001	0010	0100	0110	1000	1010	1100	1110
M[4:0]	00010	00100	01000	01100	10000	10100	11000	11100
# of Using CDU	2	4	8	12	16	20	24	28

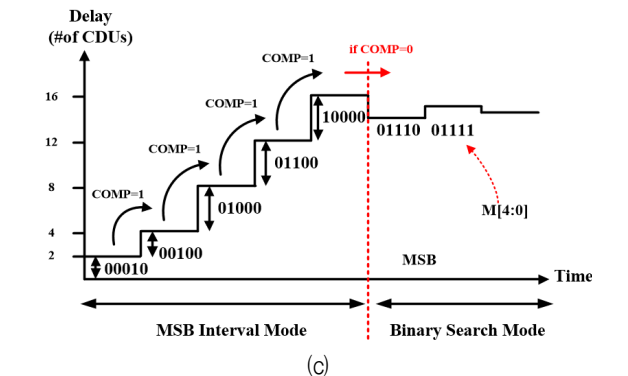


Fig. 3. (a) 11-bit Multi-Mode Register (MMR)  
(b) Truth table in the MSB mode  
(c) Detailed initial locking process.

그림 3. (a) 11-비트 멀티 모드 레지스터 (MMR)  
(b) MSB 모드 진리표  
(c) 자세한 초기 락킹 프로세스

그림 3. (a)는 11-비트 MMR의 제어 비트를 보여준다. 하모닉-락 문제없이 빠른 락킹을 구현하기 위하여 먼저 MSB 구간 모드에서는 MSB 3-비트만을 먼저 변화시키며, 이 구간동안 하나의 제어 비트가 증가함에 따라  $4 \times t_{cdu}$  씩 DCDL의 지연시간이 증가하며, COMP의 변화가 없을 경우, 최대  $32 \times t_{cdu}$ 의 지연시간이 증가한다. MSB 구간 모드가 완료된 이후에는 이진 검색 모드를 진행하여 LSB 8-비트를 SAR를 이용하여 DCDL을 제어한다. M[4:0]는 CDL 제어에 사용되며, F[5:0]는 FDL 제어에 사용된다. 그림 3. (b)는 M[4:0]와 K[3:0]의 관계와 MSB 구간 모드에서 MMR의 제어 비트가

변함에 따라 사용되는 CDU의 숫자를 보여준다. 지연시간을 조절하는 MMR 11-비트 중 3개의 MSB 인 M[4:2]와 K[3:1]은 동일하며, M[1:0], K[0]를 포함한 나머지 비트는 이진 검색 모드에 이용된다.

그림 3(c)는 제안하는 DLL의 자세한 초기 락킹 과정을 보여준다. MSB 구간 모드에서 최대 8번의 CLK\_Ctrl 사이클 동안 MSB[4:0]의 값을  $4 \times t_{cdu}$  씩 변화시키며 일정하게 DCDL의 지연시간을 증가시키다가 COMP 값의 변화를 감지하여 MSB 구간 모드를 종료하고 이진 검색 모드로 전환된다. 이진 검색 모드 구간에는 8-비트 SAR를 사용하므로 최대 8번의 CLK\_Ctrl 사이클이 소요된다. 이진 검색이 완료된 이후에는 공정, 진압, 온도(process, voltage, temperature : PVT) 변화에 상관없이 위상 락킹 상태를 유지하기 위하여 순차 검색 모드로 전환되어 폐-루프(closed loop)을 유지한다.

제안하는 디지털 MDLL의 최대 락킹 시간은  $(8 + 8) \times CLK\_Ctrl$  사이클 = 64 입력 클럭 사이클이 된다.

### III. 시뮬레이션 결과

그림 6은 0.6 GHz의 입력 클럭 주파수에서  $N/M = 10/2$ 로 2.0 GHz의 출력 클럭 주파수를 생성하는 시뮬레이션 결과를 보여준다. 그림 6(a)의 Point A 부분에서 MSB 구간 모드가 진행되며 DCDL의 지연시간이 점차적으로 증가하는 것을 확인할 수 있다. 이후 Point B 부분에서 이진 검색 모드로 전환되고 있으며, 이후 순차 검색 모드에서 출력 클럭의 주파수가  $N/M = 10/2$ 로 5배 증배되면서, 입력 클럭과 출력 클럭의 위상이 스큐(skew) 없이 일치하고 있음을 확인할 수 있다. 그림 7은  $N/M=10/2$ , 1 GHz에서 출력 클럭의 peak-to-peak (p-p) jitter 특성을 보여주고 있다.

제안하는 MDLL은 65nm CMOS공정을 사용하여 설계되었고,  $M = 1, 2, 3, N = 1, 4, 5, 8, 10$ 의 프로그래머블한  $N/M$ 배 분수배 주파수 증배능력을 가진다. 1.0 GHz에서 3.0 GHz의 출력 클럭 주파수 범위를 가지며, 출력 주파수가 1.0 GHz일 때, 3.52 mW의 전력을 소모하고, 14.07 ps의 peak-to-peak 지터 특성을 가진다.

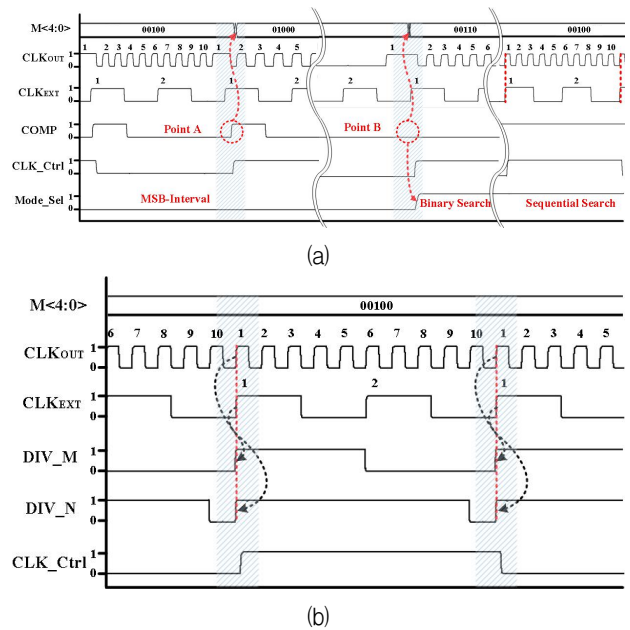


Fig. 6. Simulated Locking Process (@  $N/M=10/2$ , 2GHz)  
(a) Initial (b) After Locking.

그림 6. 락킹 과정 시뮬레이션 (@  $N/M=10/2$ , 2GHz)  
(a) 초기 (b) 락킹 이후

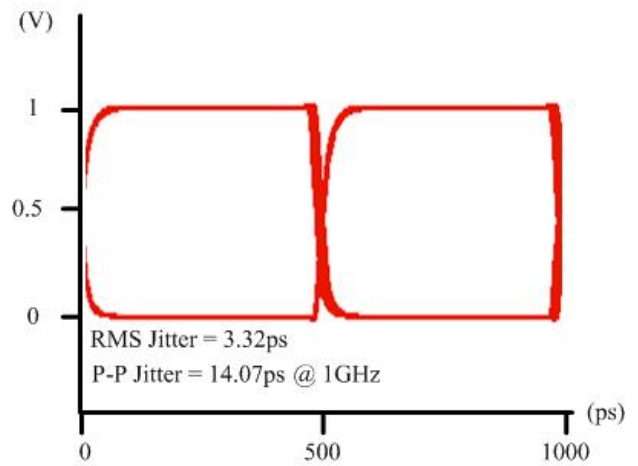


Fig. 7. p-p Jitter Simulation Result.(@ $N/M = 10/2$ , Input Freq=200MHz, Output Freq= 1GHz)

그림 7. p-p Jitter 시뮬레이션 결과(@ $N/M = 10/2$ , 입력 주파수=200MHz, 출력 주파수 = 1GHz)

표 1은 제안하는 디지털 MDLL 주파수 합성기와 종래의 MDLL 주파수 합성기의 특성을 비교하였다. 본 논문에서 제안하는 MSB 구간 검색 모드를 채택한 디지털 MDLL 주파수 합성기는 종래 기술들 보다 매우 적은 전력 소모를 가지며, 하모닉-락의 문제를 제거하면서도 최대 64 입력 클럭 싸이클의 빠른 락킹타임을 가진다.

Table 1. Performance Comparison Table.

표 1. 성능 비교 표

	[5]	[3]	[7]	This Work
Process	0.13mm	0.18mm	0.18mm	65nm
Supply	1.2V	1.8V	1.8V	1V
Frequency range (GHz)	0.85 - 1.8	0.2-2	0.08-1.2	1 - 3
Fractional-ratio frequency multiplication	N=4, 5, 8, 10 M=1, 2, 3	N=4, 5, 8, 10	N=4, 5, 8, 10, 16, 20	N=1, 4, 5, 8, 10 M=1, 2, 3
Anti Harmonic	No.	No.	Yes.	Yes.
p-p jitter (pS)	27.5 @1.5GHz	13.11 @2GHz	20.0 @1.2GHz	14.07 @1GHz
Power (mW)	9 @1.5GHz	12 @2GHz	12.8 @1.2GHz	3.52 @1GHz

#### IV. 결론

본 논문에서는 빠른 락킹 시간과 안티-하모닉 락 기능을 가지는 MDLL 기반의 디지털 클락 주파수 증배기를 소개하였다. 설계된 디지털 주파수 증배기는 하모닉 락 문제 없이 빠른 락킹 시간을 구현하기 위하여 MSB-구간 검색 알고리즘을 사용하며, 이후에 이진 검색과 순차검색을 통해 락킹 상태를 유지한다. 제안하는 디지털 MDLL 주파수 증배기는 65nm CMOS 공정으로 설계되었다. 제안하는 주파수 합성기는 1.0-3.0 GHz의 출력 동작주파수 영역을 가지며, 프로그래머블한 N/M (N=1, 4, 5, 8, 10, M=1, 2, 3)의 분수배 주파수 증배 기능을 제공하고, 1.0 GHz에서 3.52mW의 전력 소모와 14.07 ps의 p-p 지터 특성을 갖는다.

#### References

- [1] S. Tam, S. Rusu, U. N. Desai, R. Kim, J. Zhang, and I. Young, "Clock generation and distribution for the first IA-64 microprocessor," *IEEE J. Solid-State Circuits*, Vol.35, pp.1545-1552, 2000. DOI:10.1109/ISSCC.2000.839738
- [2] B. Kim, et al., "PLL/DLL system noise analysis for low jitter clock synthesizer design," in *Proc. Int. Symp. Circuits and Systems*, 1994. DOI:10.1109/ISCAS.1994.409189
- [3] Ramin Farjad-Rad, William Dally, Hiok-Tiaq

Ng, Ramesh Senthinathan, M.-J. Edward Lee, "A low-power multiplying DLL for low jitter multigigahertz clock generation in highly integrated digital chips," *IEEE J. Solid-State Circuits*, vol.37, pp.1804-1812, 2002. DOI:10.1109/JSSC.2002.804340

[4] R. Farjad-Rad, A. Nguyen, J. M. Tran, J. Poulton, W. Dally, J. Edmondson, R. Senthinathan, R. Rathi, M. Lee, and N. Hiok-Tiaq, "A 33-mW 8-Gb/s CMOS clock multiplier and CDR for highly integrated I/Os," *IEEE J. Solid-State Circuits*, vol.39, pp.1553-1561, 2004.

[5] S. Han, and Jongsun Kim, "Programmable fractional-ratio frequency multiplying clock generator," *IET Electronics Letters*, Vol.50, no.3, pp.163-165, 2014. DOI:10.1049/el.2013.2857

[6] Jongsun Kim, "A fast-locking all-digital multiplying DLL for fractional-ratio dynamic frequency scaling," *IEEE Transactions on Circuits and Systems II (TCAS-II)*, Vol.65, No.3, pp.276-280, 2018. DOI:10.1109/TCSII.2017.2688369

[7] Jongsun Kim, et al, "An anti-harmonic MDLL for phase aligned on-chip clock multiplication," *IEICE Electronics Express*, Vol.15, No.5, pp.1-11, 2018. DOI:10.1587/elex.15.20180042

[7] G. Park, H. Kim, and Jongsun Kim, "A reset-free anti-harmonic programmable MDLL-based frequency multiplier," *J. Semiconductor Technology and Science*, Vol.13, no.5, pp.459-464, 2013. DOI:10.5573/JSTS.2013.13.5.459