

상위 6비트를 공유하는 12 비트 SAR A/D 변환기

12-bit SAR A/D Converter with 6MSB sharing

이 호 용*, 윤 광 섭*

Ho-Yong Lee*, Kwang-Sub Yoon*

Abstract

In this paper, CMOS SAR (Successive Approximation Register) A/D converter with 1.8V supply voltage is designed for IoT sensor processing. This paper proposes design of a 12-bit SAR A/D converter with two A / D converters in parallel to improve the sampling rate. A/D converter₁ of the two A/D converters determines all the 12-bit bits, and another A/D converter₂ uses the upper six bits of the other A/D converters to minimize power consumption and switching energy. Since the second A/D converter₂ does not determine the upper 6 bits, the control circuits and SAR Logic are not needed and the area is minimized. In addition, the switching energy increases as the large capacitor capacity and the large voltage change in the C-DAC, and the second A/D converter does not determine the upper 6 bits, thereby reducing the switching energy. It is also possible to reduce the process variation in the C-DAC by proposed structure by the split capacitor capacity in the C-DAC equals the unit capacitor capacity. The proposed SAR A/D converter was designed using 0.18um CMOS process, and the supply voltage of 1.8V, the conversion speed of 10MS/s, and the Effective Number of Bit (ENOB) of 10.2 bits were measured. The area of core block is $600 \times 900 \mu m^2$, the total power consumption is $79.58 \mu W$, and the FOM (Figure of Merit) is $6.716 fJ / step$.

요 약

본 논문에서는 IoT 센서 처리를 위한 1.8V 공급전압의 CMOS SAR(Successive Approximation Register) A/D 변환기를 설계하였다. 본 논문에서 2개의 A/D 변환기를 병렬로 사용하여 샘플링 속도를 향상시킨 12비트 SAR A/D 변환기를 제안한다. 2개의 A/D 변환기 중 1개의 A/D 변환기는 12자리 비트를 모두 결정하고, 또 다른 A/D 변환기는 다른 A/D 변환기의 상위 6비트를 그대로 사용하여 전력소모와 스위칭 에너지를 최소화하였다. 두 번째 A/D 변환기는 상위 6비트를 결정하지 않기 때문에 컨트롤 회로와 SAR 로직이 필요하지 않아 면적을 최소화하였다. 또한 스위칭 에너지는 커패시터 용량과 C-DAC 내 전압 변화가 클수록 값이 커지는데 두 번째 A/D 변환기는 상위 6비트를 결정하지 않아 스위칭 에너지를 줄일 수 있다. 또한 커패시터 내 스플릿 커패시터 용량을 유닛 커패시터 용량과 동일하게 회로를 구성하여 C-DAC 내 공정오차를 줄일 수 있다. 제안하는 SAR A/D 변환기는 180nm CMOS 공정을 이용하여 설계하였고, 1.8V의 공급전압, 10MS/s의 변환속도, 10.2비트의 ENOB(Effective Number of Bit)이 측정되었다. 핵심 블록의 면적은 $600 \times 900 \mu m^2$, 총 전력소모는 $79.58 \mu W$, FoM(Figure of Merit)는 $6.716 fJ/step$ 로 확인할 수 있다.

Key words : CMOS, ADC, SAR ADC, C-DAC, Parallel

* Dept. of Electronics Engineering, INHA University

★ Corresponding author

E-mail : ghdyd1801@naver.com, Tel : +82-32-876-5780

※ Acknowledgment

This work was supported by the National Research Foundation of Korea(NRF) grant funded by the Korea government (Ministry of Education)(2010-0020163).

Manuscript received Dec. 6, 2018; revised Dec. 18, 2018; accepted Dec. 20, 2018

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서론

4차 혁명으로 많은 양의 데이터를 처리해 일상생활의 편리함과 산업에서의 효율성을 향상시키는 사물인터넷(Internet on Things, IoT)기술이 개발되고 있다^[1]. 이러한 사물 인터넷의 핵심은 센서를 통해 각종 정보를 빠르면서도 정확하게 디지털화하는 것이다. 이러한 센서에 주로 사용되는 ADC(Analog to Digital converter)는 낮은 전력으로 구동 가능하고 생체신호와 같은 각종 신호 처리에 적합한 샘플링 속도의 SAR(Successive Approximation Resister) ADC이다. 그러나 SAR ADC는 나이퀴스트 방식으로 상대적으로 다른 ADC에 비해 샘플링 속도에 한계가 존재한다. 이러한 문제를 해결하기 위해 최근에는 스텝마다 2개의 비트를 결정하는 구조의 ADC나^[2] ADC를 병렬로 여러 개 배치하는 시간분할 방식의 ADC에 대해 연구가 진행되고 있다.^[3]

스텝마다 2개의 비트를 결정하는 구조의 SAR ADC는 기존 SAR ADC처럼 클럭이 한번 발생할 때, 1개의 비트를 결정하는 구조가 아니라 클럭이 한번 발생 할 때 2개의 비트를 결정한다. 따라서 기존 방식에 비해 샘플링 속도를 2배 빠르게 할 수 있는 장점이 존재한다. 하지만 기존처럼 1개의 C-DAC과 1개의 비교기로 동작하는 것이 아닌 3개의 C-DAC과 3개의 비교기로 동작하여 전력과 칩 면적, 스위칭 에너지가 크게 증가한다.

ADC를 병렬로 여러 개 배치하는 구조의 ADC는 기존처럼 클럭이 한번 발생할 때 1개의 비트를 결정하지만 여러 개의 ADC가 일정한 시간 간격으로 동작하여 샘플링 속도를 빠르게 하는 구조이다. 그렇기 때문에 주파수 대역이 수십 GHz로 넓다. 하지만 이 구조는 전력, 칩 면적, 스위칭 에너지가 크게 증가하는 단점이 존재한다.

본 논문에서는 샘플링 속도를 향상시키기 위해 2개의 ADC를 병렬로 사용하는 시간 분할 방식을 사용하였다. 하지만 기존 시간 분할 방식의 단점을 해결하고자 상위 6비트를 공유하는 방식을 사용하여 칩 면적과 전력소모 스위칭 에너지를 줄이는 회로를 구현하였다.

II장에서는 제안하는 상위 6비트를 공유하는 ADC의 동작원리에 대해 설명하고 III장은 제안한 ADC의 측정결과를 기술하였고, IV장에서는 결론을 맺었다.

II. 제안하는 회로 설계

1. 제안한 상위 6비트를 공유하는 구조

본 논문에서 제안한 상위 6비트를 공유하는 SAR A/D 변환기는 전력소모가 적은 커패시터로 구성된 C-DAC을 사용하였고 샘플링 속도를 향상시키기 위해 2개의 ADC를 병렬로 사용하였다.

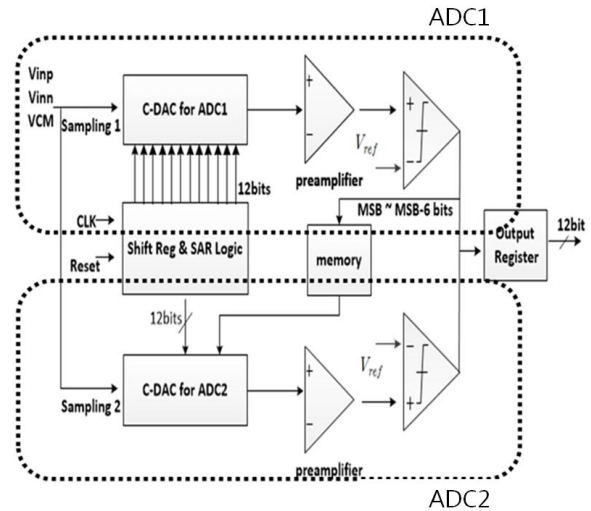


Fig. 1. Diagram of proposed 12-bit SAR A/D converter. 그림 1. 제안한 12비트 SAR A/D 변환기의 다이어그램

그림 1은 제안하는 12비트 SAR A/D 변환기의 다이어그램이다. 2개의 A/D 변환기가 병렬로 구성되어 있으며, 각각은 전압 비교를 위한 C-DAC, 비교기의 오프셋 전압과 클럭 신호의 킥백 잡음을 제거해주는 전단 증폭기, 2개의 C-DAC 전압을 비교하는 비교기, 회로를 구동시키는 컨트롤 회로, 리셋 생성기로 구성되고, 2개의 ADC는 1개의 시프트 레지스터를 공유하여 사용하고, ADC1은 12비트 SAR 로직이 사용되고, ADC2는 6비트 SAR 로직이 사용된다.

2. 제안한 상위 6비트를 공유하는 구조의 원리

제안한 상위 6비트를 공유하는 구조는 2개의 ADC를 사용하여 1개의 ADC보다 샘플링 속도가 2배 빠르도록 설계하였다.^[4] 각각의 ADC는 12비트 ADC로 ADC1은 12자리 비트를 순차적으로 결정하고 ADC2는 ADC1이 6자리 비트를 결정할 때 입력신호를 샘플링하고, ADC1의 상위 6비트를 저장한다. 저장된 후 C-DAC을 저장된 비트에 맞춰 변경한 후 나머지 하위 6비트를 결정한다.

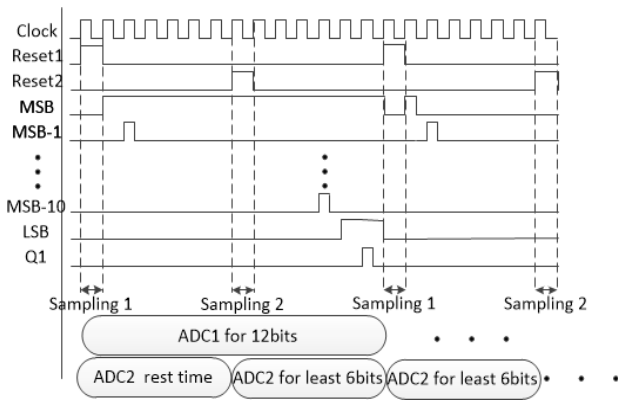


Fig. 2. Proposed architecture timing and operation.

그림 2. 제안한 구조의 타이밍 및 동작

그림 2는 2개의 ADC가 동작하는 클럭 타이밍 및 ADC1과 ADC2의 동작을 나타낸다. 아래 그림에서 ADC1은 리셋 신호1이 '1'이 될 때 입력신호를 샘플링하고 클럭이 '1'이 될 때마다 12자리 비트를 순차적으로 결정한다. 12자리 비트는 리셋 신호1이 '1'이 되기 직전에 출력 레지스터에 저장된다. 그리고 ADC2는 리셋 신호2가 '1'이 될 때 입력신호를 샘플링하고 동시에 ADC1의 상위 6비트를 공유하여 사용한다. 따라서 ADC1이 샘플링하고 나서 클럭이 6번 더 발생하면 ADC2가 샘플링을 하고 ADC2는 하위 6비트만 결정하는 방식이다. ADC2는 하위 6비트를 다 결정하고 나면 다음 리셋 신호2가 '1'이 되기 직전에 출력 레지스터에 12자리 비트를 저장한다. ADC2는 하위 6비트만 결정하므로 6자리 SAR 로직이 필요해 전력과 칩 면적을 줄일 수 있다.

그림 3은 스플릿 커패시터를 사용한 12비트 SAR A/D 변환기의 C-DAC 구조이다. 일반적인 구조의 C-DAC은 유닛 커패시터의 크기보다 2배씩 커지는 커패시터가 12개가 병렬로 배치되어 MSB(most significant bits) 커패시터 용량이 유닛 커패시터의 2^{12} 배이다. 이러한 커패시터 어레이의 용량을 줄이기 위해 스플릿 커패시터를 사용한다. 스플릿 커패시터의 용량은 식 1을 통해 계산할 수 있다.

$$C_{Unit} = C_{Split} // C_{LSB} = \frac{32C_{Unit} * C_{Split}}{32C_{Unit} + C_{Split}} \quad (1)$$

이때 스플릿 커패시터 용량은 유닛 커패시터의 $\frac{64}{63}$ 배이다. 이 스플릿 커패시터는 유닛 커패시터의 정수배가 아니라 레이아웃 배치에 어려움이 있다.

따라서 그림 4와 같이 제안한다. 7번째 비트를 결정하는 커패시터의 용량을 기존 유닛커패시터와 동일한 용량이 아닌 유닛 커패시터의 2배로 키우고 인가되는 전압을 $\frac{1}{2}$ 배 하게 되면 스플릿 커패시터의 용량이 유닛 커패시터와 동일하게 된다. 따라서 C-DAC의 커패시터 배치가 규칙적이라 공정오차를 줄일 수 있다.

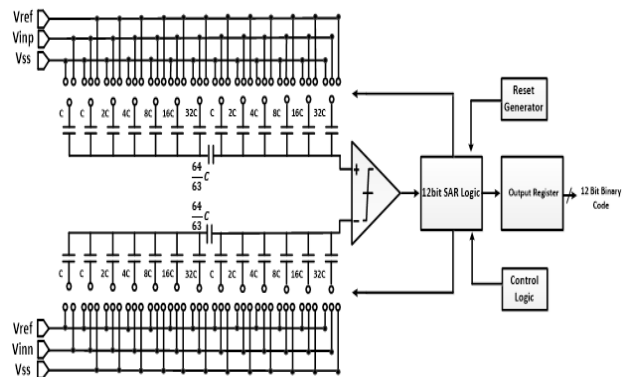


Fig. 3. Diagram of split capacitor 12-bit SAR A/D converter C-DAC.

그림 3. 스플릿 커패시터를 사용한 12비트 SAR A/D 변환기의 C-DAC 구성 다이어그램

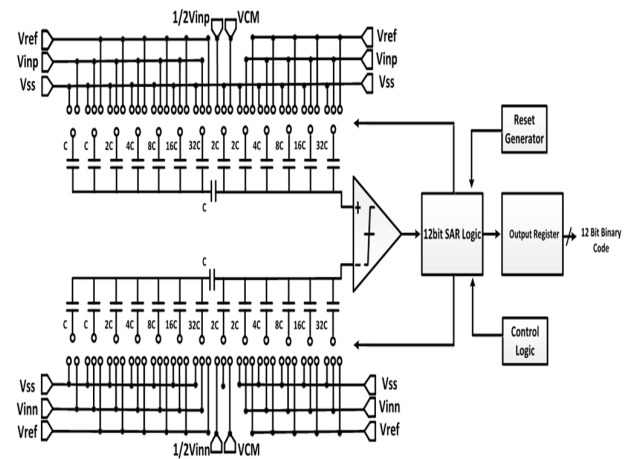


Fig. 4. Diagram of proposed 12-bit SAR A/D converter C-DAC.

그림 4. 제안하는 구조의 12비트 SAR A/D 변환기의 C-DAC 구성 다이어그램

3. 커패시터 어레이의 스위칭 에너지

커패시터로 구성된 C-DAC은 양단의 전압이 바뀔 때마다 스위칭 에너지가 발생한다. 이 에너지는 전압의 변화가 클수록, 커패시터 용량이 클수록 그 크기가 커진다. 일반적인 SAR A/D 변환기의 스위

칭 에너지는 다음의 식 2와 같이 나타낼 수 있다.^[5]

$$E_{Conventional} = f * \sum_{i=1}^{n-1} (2^{n-2-i}) CV_{ref}^2 \quad (2)$$

그리고 스플릿 커패시터를 사용하는 경우의 스위칭 에너지는 다음과 같다.^[6]

$$E_{Split} = f * \left(\frac{1}{2^{n_f-1}} \sum_{i=1}^{n_c} 2^{n-2-i} + \sum_{i=n_c+1}^{n-1} 2^{n-2-i} \right) CV_{ref}^2 \quad (3)$$

본 논문처럼 2개의 ADC를 병렬로 사용하는 경우 스위칭 에너지를 비교하면 다음 표 1과 같다.

Table 1. Switching energy of each architecture.

표 1. 각 구조의 스위칭 에너지

	conventional C-DAC	split C-DAC	proposed C-DAC
Switching energy	4045C V_{ref}^2	2548.35C V_{ref}^2	1289.675C V_{ref}^2
Normalize	1	0.63	0.318

다른 구조와 비교하였을 때 본 논문이 제안하는 구조의 SAR A/D 변환기의 스위칭 에너지가 일반적인 구조를 1이라고 하였을 때 0.318로 작아진 것을 확인할 수 있다.

III. 실험

제안하는 12비트 SAR A/D 변환기는 샘플링 속도를 향상시키면서 전력소모와 칩 면적, 스위칭 에너지를 줄이도록 구현하고 성능 및 분석하였다.

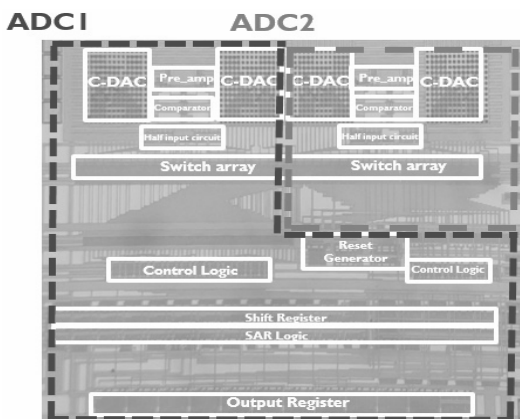


Fig. 5. Photography of proposed SAR A/D converter. 그림 5. 제안하는 SAR A/D 변환기의 칩 사진

그림 5는 180nm 1.8V CMOS 1-Poly 6-Metal 공정으로 제작한 제안하는 12비트 SAR A/D 변환기의 칩 사진이다. 제작된 칩의 코어사이즈는 600um² X 900um²이다. ADC1이 차지하는 면적은 450um² X 675um²로 전체면적의 3/4이고 ADC2가 차지하는 면적은 150um² X 225um²이다.

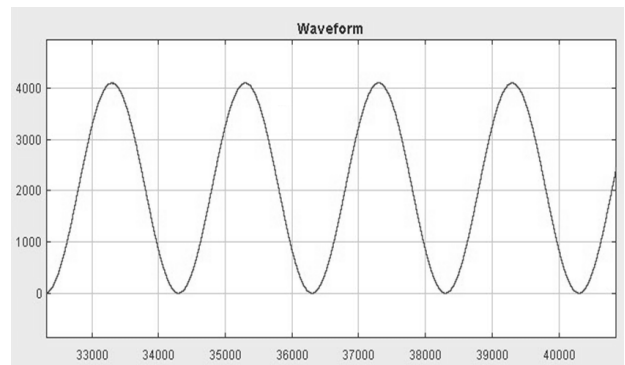


Fig. 6. Restoration waveform by logic analyzer. 그림 6. 로직 분석기를 통해 복원한 입력신호

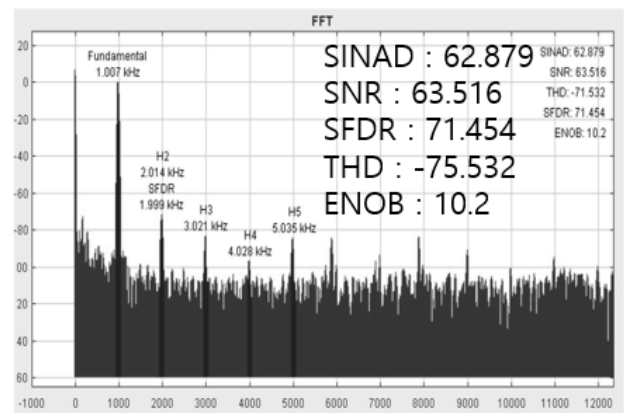


Fig. 7. FFT result ($f_{in} : 1KHz, f_{CLK} : 5MHz$). 그림 7. FFT 측정 결과 ($f_{in} : 1KHz, f_{CLK} : 5MHz$)

제안하는 SAR A/D 변환기는 해상도가 12비트이다. 따라서 측정에 사용되는 입력신호는 해상도가 16비트, 클럭 신호는 해상도가 12비트인 신호 발생기를 사용하였다. 그림 6은 1KHz의 사인파형을 인가하고 클럭 신호는 5MHz의 펄스파형을 제안하는 A/D 변환기에 인가한 후 로직 분석기를 통해 복원한 파형이다. 그림 7은 웨이브 비전 프로그램을 통해 FFT한 스펙트럼으로 변환한 결과이다.

스펙트럼 분석은 해닝 윈도우를 사용하였고 SINAD는 62.879dB SFDR은 71.454dB 그리고 유효비트

수는 10.2비트로 확인하였다.

제안하는 A/D 변환기는 클럭이 7번 발생할 때마다 12자리의 비트가 결정된다. 따라서 인가된 클럭 신호가 5MHz일 때 샘플링 주파수는 357.142KHz이다. 일반적으로 나이퀴스트 이론을 따르는 A/D 변환기는 샘플링 주파수의 1/2배 지점까지 변환이 가능하다. 일반적으로 유효비트수가 유지되는 입력 주파수는 샘플링 주파수의 1/10인 지점이다. 그림8은 샘플링 주파수의 약 1/10배인 50KHz의 입력신호를 인가하였을 때의 FFT 스펙트럼 변환 결과이다. 유효비트수가 10.1로 그림 7과 유사한 유효비트수가 나온 것을 확인할 수 있다.

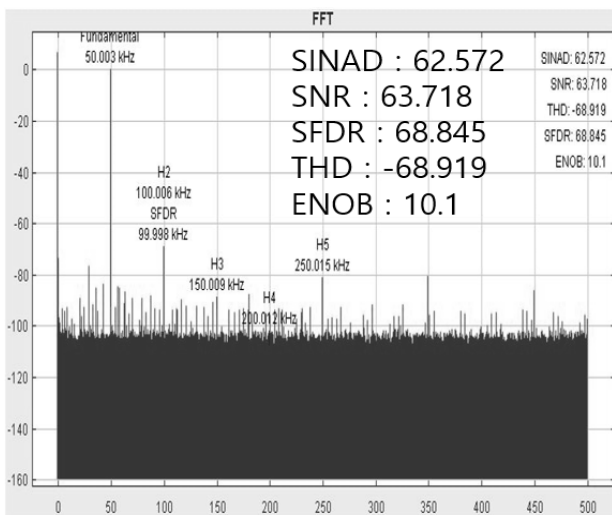


Fig. 8. FFT result($f_{in} : 1KHz, f_{CLK} : 5MHz$).
그림 8. FFT 측정 결과 ($f_{in} : 1KHz, f_{CLK} : 5MHz$)

그림 9는 제안하는 ADC의 리셋파형을 보여준다. 리셋 1의 경우 ADC1이 샘플링 하는 신호로 클럭이 14번 발생할 때마다 ‘1’이 되고, 리셋 2의 경우 ADC2가 샘플링 하는 신호로 클럭이 14번 발생할 때마다 ‘1’이 된다.

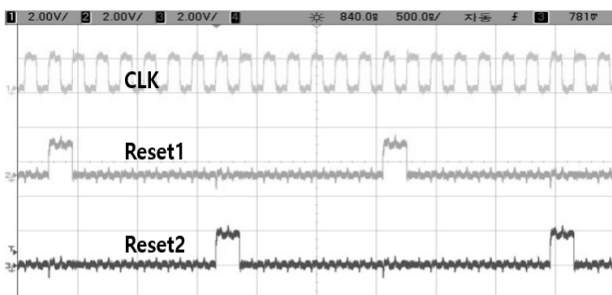


Fig. 9. Measured internal clock signal.
그림 9. 내부 클럭 신호 파형

그림 10은 클럭 신호가 5MHz일 때 입력신호의 주파수를 가변시키며 FFT 스펙트럼 분석을 통해 유효비트수를 확인한 것이다.

입력신호의 주파수가 70KHz일 때까지는 대체로 유효비트수가 10으로 유지된 것을 확인할 수 있다. 그림 11은 입력신호를 1KHz로 고정시키고 클럭 신호의 주파수를 가변시키며 FFT 스펙트럼 분석을 통해 유효 비트 수를 확인한 것이다. 이때 클럭 신호가 500KHz일 때 10.3의 유효비트수가 나왔다.

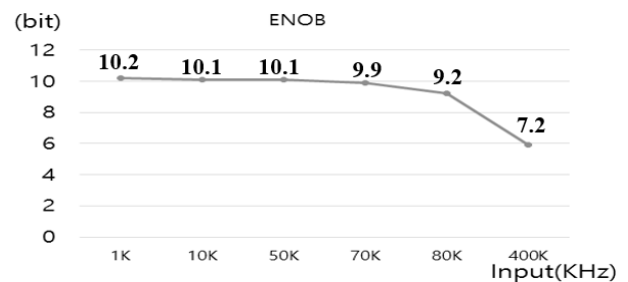


Fig. 10. Variation of ENOB versus input frequency.
그림 10. 입력신호 가변에 따른 유효비트수

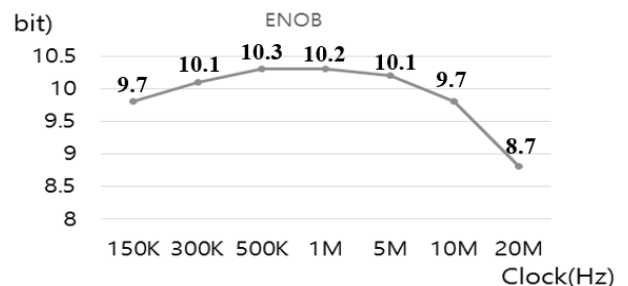


Fig. 11. Variation of ENOB versus clock frequency.
그림 11. 클럭 신호 가변에 따른 유효비트수

Table 2. Comparison of performance.

표 2 성능비교

Parameters	[4]	[7]	This work
Architecture	two way interleaved	2bit/step	two way interleaved
Technology	65nm	180nm	180nm
Resolution	12	10	12
Supply voltage	0.6V	1.8V	1.8V
Speed	10MS/s	100MS/s	10MS/s
SNDR	65dB	52.3dB	62.87dB
ENOB	10.5bits	8.39bits	10.2bits
Power consumption	83μW	6.45mW	79μW
FoM(fJ/step)	6.2fJ/step	191fJ/step	6.716fJ/step

표 2는 기존 논문에서 샘플링 속도를 향상시킨 시간분할 방식의 ADC^[7]와, 스텝 당 2개 비트를 결정하는 방식의 ADC^[8]를 제안하는 회로와 비교한 표이다. 제안하는 회로의 전력소모는 79 μ W로 비슷한 구조에 비해 전력을 줄인 것을 확인할 수 있다.

IV. 결론

본 논문은 시간 분할 방식을 통해 샘플링 속도를 향상시킨 상위 6비트를 공유하는 구조의 SAR A/D 변환기이다. 기존에는 동일한 ADC를 병렬로 배치하여 샘플링 속도를 향상시켰으나 칩 면적과, 전력, 스위칭 에너지가 증가하는 단점이 존재하였다. 따라서 ADC1과 ADC2를 병렬로 사용하되 ADC1은 12자리 비트를 모두 결정하고 ADC2는 상위 6비트를 결정하지 않고, ADC1의 상위 6비트를 그대로 사용한다. 이 비트를 토대로 ADC2의 C-DAC 전압을 변화시킨 후 하위 6비트를 결정하는 방법을 사용하여 ADC2의 경우 SAR 로직과 컨트롤 회로를 줄일 수 있다. 또한 커패시터 어레이로 구성된 DAC은 양단의 전압이 변할 때 스위칭 에너지가 손실 되는데 ADC2의 경우 상위 6비트를 결정하지 않아 기존 방식에 비해 30%의 손실이 발생한다. 제안하는 C-DAC의 경우 스플릿 커패시터 용량을 유닛 커패시터와 동일하게 바꾸는 회로를 통해 커패시터 어레이의 레이아웃이 용이하도록 하였다.

제안하는 SAR A/D 변환기는 TSMC 180 μ m CMOS 1-Poly 6-Metal 공정으로 제작되었다. 공급전압은 1.8V로 10MS/s 변환속도에서 1KHz의 정현파 입력에 대해 10.2비트의 유효비트수가 측정되었다. 제작된 SAR A/D 변환기의 칩 면적은 900X700 μ m²이며, 전력소모는 79 μ W이다. 회로의 FOM은 6.716fJ/step이다.

References

[1] Takamoto Watanabe, Hideaki Ishihara, Tomoyasu Ito, "Sensor/RF digitization for IoT applications using all digital very scalable ADC TAD," *Mixed Design of Integrated Circuits and Systems, 2017 MIXDES-24th International Conference*, pp.22-24, Bydgoszcz, Poland, 2017.

DOI:10.23919/MIXDES.2017.8004590

[2] Qing Liu, Wei Shu, and Joseph S. Chan, "A 400-MS/s 10-b 2-b/Step SAR ADC With 52-dB SNDR and 5.61-mW Power Dissipation in 65-nm CMOS," *IEEE TRANSACTIONS ON VERY LARGE SCALE INTEGRATION (VLSI) SYSTEMS*, pp.3444-3454, VOL.25, NO.12, 2017.

DOI:10.1109/TVLSI.2017.2747132

[3] Chi-Hang Chan, Yan Zhu, Wai-Hong Zhang, Seng-Pan U, Rui Paulo Martins, "A Two-Way Interleaved 7-b 2.4-GS/s 1-Then-2 b/Cycle SAR ADC With Background Offset Calibration," *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, pp. 850-860, VOL.53, NO.3, 2018.

DOI:10.1109/JSSC.2017.2785349

[4] Wan Kim, Hyeok-Ki Hong, Yi-Ju Roh, Hyun-Wook Kang, Sun-Il Hwang, Dong-Shin Jo, Dong-Jin Chang, Min-Jae Seo, and Seung-Tak Ryu, "A 0.6 V 12b 10 MS/s Low-Noise Asynchronous SAR-Assisted Time-Interleaved SAR (SATI-SAR) ADC," *IEEE Journal of Solid State Circuits*, VOL.51, pp.1826-1839, 2016.

DOI:10.1109/JSSC.2016.2563780

[5] Chun-Cheng Liu, Soon-Jyh Chang, Guan-Ying Huang, Ying-Zu Lin, "A 10-bit 50-MS/s SAR ADC With a Monotonic Capacitor Switching Procedure," *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, VOL.45, pp.731-740, NO.4, 2010.

DOI:10.1109/JSSC.2010.2042254

[6] Wei Tung, Shu-Chuan Huang, "An Energy-Efficient 11-bit 10-MS/s SAR ADC with Monotonic Switching Split Capacitor Array," *2018 IEEE International Symposium on Circuits and Systems (ISCAS)*, pp.1-5, 2018. DOI:10.1109/ISCAS.2018.8351306

[7] Yung-Hui Chung and Hua-Wei Tseng "A 10-bit 100-MS/s 2b/cycle-assisted SAR ADC in 180nm CMOS," *2017 International Conference on Electron Devices and Solid-State Circuits (EDSSC)*, pp.1-2, Hsinchu, Taiwan, 2017.

DOI:10.1109/EDSSC.2017.8126418

BIOGRAPHY

Ho-Yong Lee (Member)

2017 : BS degree in Electrical Engineering, Inha University.
2018 : Study for MS degree in Electrical Engineering, Inha University.

His main interests are mixed signal analog circuit design. Especially highly efficient, low power SAR ADC.

Gwang-Sub Yoon (Member)

1981 : BS degree in Electrical Engineering, Inha University.
1983 : Study for MS degree in Electrical Engineering, Inha University.
1989 : PhD degree in Electrical Engineering, Inha University.

1989~1992 : Senior Design Engineer, Silicon System Inc, Tustin Calif, U.S.A.

1992~ : Professor, INHA University