

멀티비트 플라잉 커패시터의 전압제어를 이용한 3-레벨 벅 변환기

Three Level Buck Converter Utilizing Multi-bit Flying Capacitor Voltage Control

소진우*, 윤광섭*

Jin-Woo So*, Kwang-Sub Yoon*

Abstract

This paper proposes a three level buck converter utilizing multi-bit flying capacitor voltage control. The conventional three-level buck converter can not control the flying capacitor voltage, so that the operation is unstable or the circuit for controlling the flying capacitor voltage can not be applied to the PWM mode. Also when the load current is increased, an error occurs in the inductor voltage. The proposed structure can control the flying capacitor voltage in PWM mode by using differential difference amplifier and common mode feedback circuit. In addition, this paper proposes a 3bit flying capacitor voltage control circuit to optimize the operation of the three level buck converter depending on the load current, and a triangular wave generation circuit using the schmitt trigger circuit. The proposed 3-level buck converter is designed in 0.18 μ m CMOS process and has an input voltage range of 2.7V~3.6V and an output voltage range of 0.7V~2.4V. The operating frequency is 2MHz, the load current range is 30mA to 500mA, and the output voltage ripple is measured up to 32.5mV. The measurement results show a maximum power conversion efficiency of 85% at a load current of 130 mA.

요약

본 논문은 멀티비트 플라잉 커패시터의 전압제어를 이용한 3-레벨 벅 변환기를 제안한다. 기존의 3-레벨 벅 변환기는 플라잉 커패시터 전압을 제어하지 못하여 동작이 불안정하거나 플라잉 커패시터 전압을 제어하는 회로가 PWM방식에 적용되지 못하는 문제가 있었다. 또한 부하전류에 증가할 때 인덕터 전압에 오차가 발생하였다. 본 논문에서 제안하는 구조는 입력이 4개인 차동증폭기와 공통모드 피드백 회로를 이용하여 PWM모드에서 플라잉 커패시터 전압을 제어할 수 있다. 또한 3비트 플라잉 커패시터 전압 제어회로를 제안하여 부하전류에 따른 3-레벨 벅 변환기의 동작을 최적화할 수 있으며 슈미트 트리거 회로를 이용한 삼각파 생성 회로를 제안하였다. 제안하는 3-레벨 벅 변환기는 0.18 μ m CMOS 공정으로 설계되었으며 2.7~3.6V의 공급 전압 범위와 0.7V~2.4V의 출력 전압 범위를 갖는다. 동작 주파수는 2MHz, 부하전류 범위는 30mA~500mA이며 출력 전압 리플은 최대 32.5mV로 측정되었다. 측정 결과 130mA의 부하전류에서 약 85%의 최대 전력변환 효율을 보인다.

Key words : CMOS, PMIC, 3-level, Buck, Flying capacitor

* Dept. of Electronics Engineering, INHA University,

★ Corresponding author

E-mail : woo92542@naver.com, Tel : +82-32-876-5780

※ Acknowledgment

This work was supported by the National Research Foundation of Korea(NRF) grant funded by the Korea government(Ministry of Education)(2010-0020163).

Manuscript received Dec. 6, 2018; revised Dec, 20, 2018; accepted Dec. 20, 2018

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

1. 플라잉 커패시터 전압 제어 회로

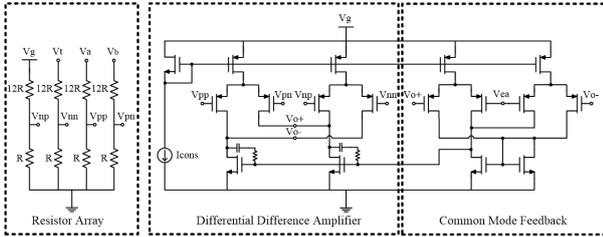


Fig. 2. Proposed flying capacitor voltage control circuit.
그림 2. 제안하는 플라잉 커패시터 전압 제어 회로

그림 2는 플라잉 커패시터 전압 제어 회로의 회로도 를 보여주며 차동차이 증폭기(Differential difference amplifier), 공통모드 피드백(Common mode feedback) 회로 그리고 4개의 저항 배열로 구성되어 있다. 차 동 차이 증폭기와 공통모드 피드백 회로가 충분한 루프이득을 갖는 부채환을 이룰 때 다음의 식이 성 립된다.

$$V_{pp} - V_{pn} = V_{np} - V_{nn} \tag{1}$$

이때 3-레벨 벅 변환기 특성상 플라잉 커패시터 양단 노드 V_a , V_b 와 공급전압 V_g , V_t 가 V_{pp} , V_{pn} , V_{np} , V_{nn} 에 적용될 경우 아래의 식과 같다.

$$V_a - V_b = V_g - V_t \tag{2}$$

V_t 가 V_g 의 50%일 경우 플라잉 커패시터의 양단 의 전압은 공급전압의 50%으로 유지되어 3-레벨 벅 변환기의 안정적인 동작을 유도한다. 하지만 공 급전압이 1V이상일 경우 차동차이 증폭기의 입력 전압 차가 증가하여 드라이버 트랜지스터가 포화 되지 않는다. 이를 해결하기 위해 저항배열을 사용 하여 V_a , V_b , V_g , V_t 를 동일한 비율로 감소시켜 차 동차이 증폭기의 드라이버 트랜지스터를 포화영역 에서 동작시킨다.

$$\frac{V_a - V_b}{X} = \frac{V_g - V_t}{X} \quad (X=\text{저항비율}) \tag{3}$$

모의실험결과 3.3V의 공급전압에서 차동차이 증 폭기의 입력전압차이가 150mV이하일 때 드라이버 트랜지스터가 포화된다. 따라서 저항 비율을 13으 로 설계하여 입력전압 차이를 137.5mV로 제한하였 다. 또한 커먼 센트로이드 기법을 적용하여 공정오 차를 최소화하였다.

2. 멀티비트 플라잉 커패시터 전압 제어 회로

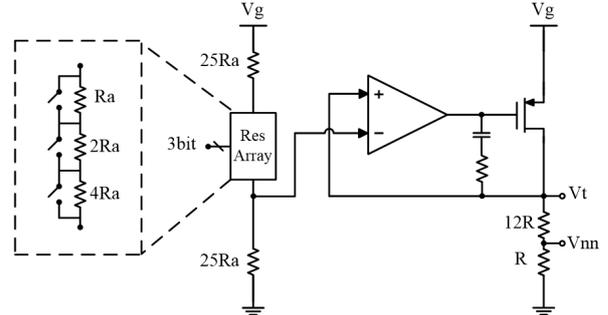


Fig. 3. Proposed multi-bit flying capacitor voltage control circuit.

그림 3. 제안하는 멀티비트 플라잉 커패시터 전압 제어 회로

3-레벨 벅 변환기는 부하 전류가 증가할 때 플라 잉 커패시터에서 충전, 방전되는 전하의 양이 증가 하면서 플라잉 커패시터의 전압이 변동된다. 이로 인해 인덕터에 인가되는 전압에 오차가 발생하여 인 덕터 전류의 균형이 무너지는 문제가 발생한다. 이 러한 문제를 보완하기 위해 그림 3의 멀티비트 플라 이 커패시터 전압 제어회로를 이용하여 부하 전류의 크기에 따라 V_t 를 조절한다. M비트 플라잉 커패시 터 전압 제어 회로의 경우 V_t 는 최소 $\frac{25 V_g}{2^M + 49}$, 최 대 $\frac{1}{2} V_g$ 로 제어된다. 포스트 모의실험 결과 부하 전류가 500mA일 때 플라이 커패시터의 전압오차 가 200mV로 나타난다. 따라서 3비트 플라잉 커패 시터 전압 제어 회로를 통해 공급전압이 3.3V일 때 V_t 는 최소 1.45V, 최대 1.65V까지 조절 가능하여 식 (2)에 의해 플라잉 커패시터의 전압이 최소 1.65V, 최대 1.85V까지 조절된다. 따라서 500mA의 부하전 류범위까지의 플라잉 커패시터의 전압오차를 보상 하여 인덕터에 인가되는 전압의 오차를 제거, 3-레 벨 벅 변환기의 동작을 안정화할 수 있다.

3. 슈미트트리거를 이용한 삼각파 생성 회로

3-레벨 벅 변환기에는 클럭에 동기화된 2개의 삼 각파 생성회로가 필요하다. 기존의 삼각파 생성회 로는 2개의 비교기를 사용하기 때문에 2개의 삼각 파 생성회로에 4개의 비교기가 사용되어 전력소모 와 칩 면적이 증가하는 단점이 있다. 따라서 슈미 트 트리거 회로를 이용하여 2개의 비교기를 대체하 는 삼각파 생성회로를 그림 4에서 제안한다.

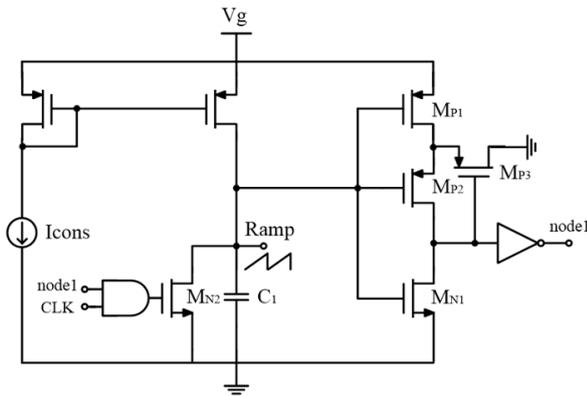


Fig. 4. Proposed triangular wave generation circuit using schmitt trigger.
그림 4. 제안하는 슈미트 트리거를 이용한 삼각파 생성 회로

커패시터 C_1 이 방전되어있을 때 node1은 0V가 되어 M_{N2} 가 차단, 커패시터가 충전된다. 커패시터가 충전되면서 Ramp의 전압이 $\frac{I_{cons}}{C_1}$ 을 기울기로 증가하며 M_{N1} 이 도통, M_{P1}, M_{P2}, M_{P3} 가 차단될 때 node1의 전압은 공급전압을 갖는다. 그 후 클럭이 도통될 때 M_{N2} 가 도통되면서 커패시터가 방전된다. 커패시터가 급격하게 방전되는 과정에서 Ramp의 전압이 $\frac{1}{2}V_g - V_{TH,MP2}$ 보다 작아질 때 node1의 전압은 0V로 전환되어 M_{N2} 가 차단, 커패시터가 충전, Ramp의 전압이 다시 증가하기 시작한다. 따라서 제안하는 회로에서 슈미트 트리거 회로를 이용하여 클럭에 동기화된 삼각파를 생성할 수 있으며 V_L, V_H 는 아래 식과 같다.

$$V_L = \frac{1}{2}V_g - V_{TH,MP2} \tag{4}$$

$$V_H = V_L + \frac{I_{cons}T_S}{C_1} \quad (T_S = \text{주기}) \tag{5}$$

III. 실험

제안하는 3-레벨 벅 변환기는 0.18 μm CMOS 1-Poly 6-Metal 공정으로 설계되었다. 그림 5는 칩의 현미경 사진을 보인다. 게이트 드라이버와 파워 스위치를 제외한 컨트롤 회로의 유효 크기는 790 $\mu\text{m} \times 1140\mu\text{m}$ 이다.

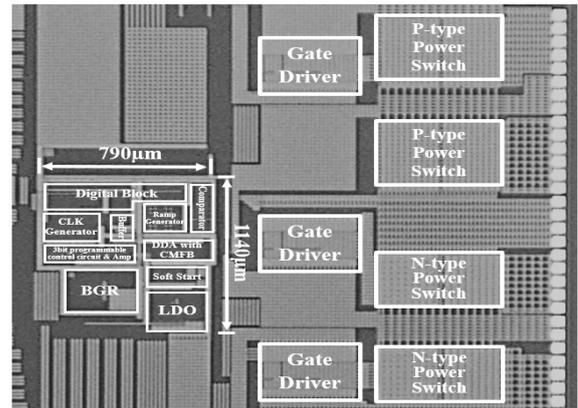


Fig. 5. Die photograph of the fabricated 3-level buck converter.
그림 5. 제작된 3-레벨 벅 변환기의 칩 사진

그림 6, 7은 입력 전압 3.3V일 때 3-레벨 벅 변환기의 출력전압 V_{out} , 인덕터 전류, 파워 스위치 제어 신호 D, D_s , 플라잉 커패시터 양단의 전압 V_a, V_b , 플라잉 커패시터 전압 V_{CF} , 인덕터 전압 V_X 의 측정 파형을 나타낸다.

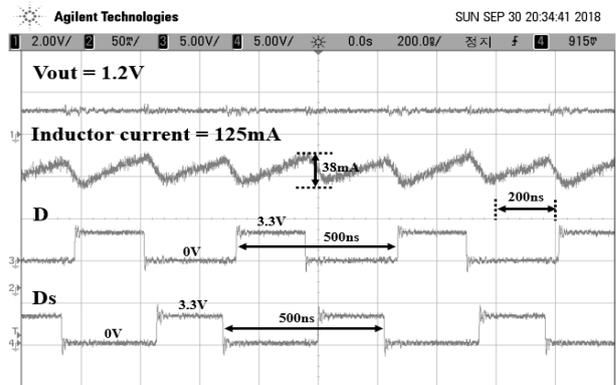


Fig. 6. V_{out} , Inductor current, D, D_s measurement waveform.
그림 6. V_{out} , 인덕터 전류, D, D_s 측정 파형

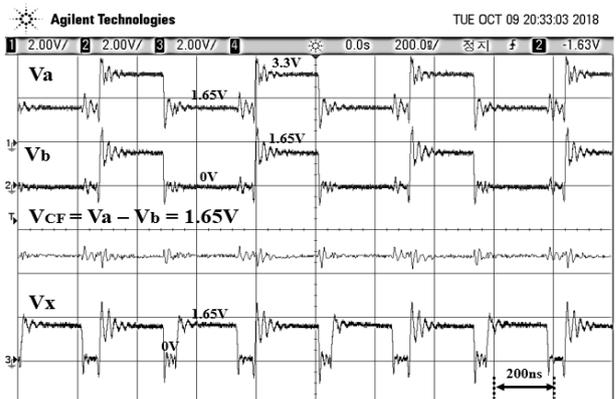


Fig. 7. V_a, V_b, V_{CF}, V_X measurement waveform.
그림 7. V_a, V_b, V_{CF}, V_X 측정 파형

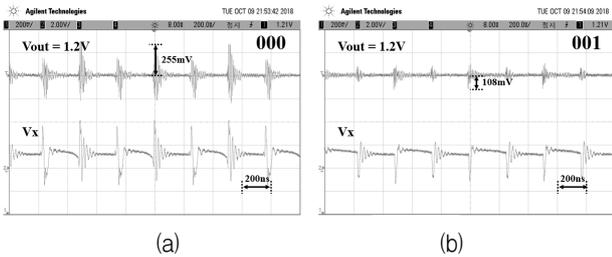


Fig. 8. V_{out} , V_X measurement waveform according to 3bit flying capacitor voltage control with load current 300mA.

그림 8. 300mA의 부하전류에서의 3비트 플라잉 커패시터 전압제어에 따른 V_{out} , V_X 측정 파형

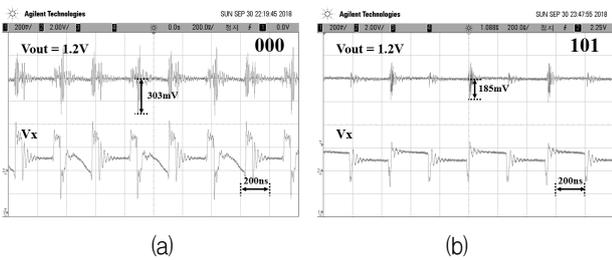


Fig. 9. V_{out} , V_X measurement waveform according to 3bit flying capacitor voltage control with load current 300mA.

그림 9. 300mA의 부하전류에서의 3비트 플라잉 커패시터 전압제어에 따른 V_{out} , V_X 측정 파형

그림 8은 부하전류가 300mA, 그림 9는 부하전류가 400mA일 때 3비트 플라잉 커패시터 전압제어에 따른 V_{out} , V_X 측정파형을 나타낸다. 그림 8(a)는 부하전류가 300mA일 때 3비트 플라잉 커패시터 전압제어 로직이 '000'으로 플라잉 커패시터 전압제어가 적용되지 않는 파형이다. 높은 부하전류에 따른 플라잉 커패시터 전압의 변동, 파워 스위치의 기생저항에 의해 V_X 의 전압이 0V 혹은 1.65V가 아닌 오차가 나타난다. 이러한 V_X 의 오차로 인해 V_{out} 에 최대 255mV의 잡음이 발생된다. 그림 8(b)는 부하전류가 300mA일 때 3비트 로직이 '001'로 플라잉 커패시터 전압제어가 적용되는 파형으로 V_X 의 파형에 오차가 발생하지 않아 그림 8(a) 대비 V_{out} 의 잡음이 약 58%감소한다. 또한 그림 9(a)는 부하전류가 400mA일 때 3비트 로직이 '000'으로 플라잉 커패시터 전압제어가 적용되지 않는 파형이다. 높은 부하전류에 따른 V_X 의 오차로 V_{out} 에 최대 303mV의 잡음이 발생된다. 그림 9(b)는

부하전류가 400mA일 때 3비트 로직이 '101'로 플라잉 커패시터 전압제어가 적용되는 파형이다. V_X 의 오차가 감소하여 그림 9(a) 대비 V_{out} 의 잡음이 약 39%감소한다. 따라서 300mA이상의 높은 부하전류일 경우 플라잉 커패시터 전압제어로 인해 V_X 의 오차를 제거하여 V_{out} 의 잡음이 감소된다.

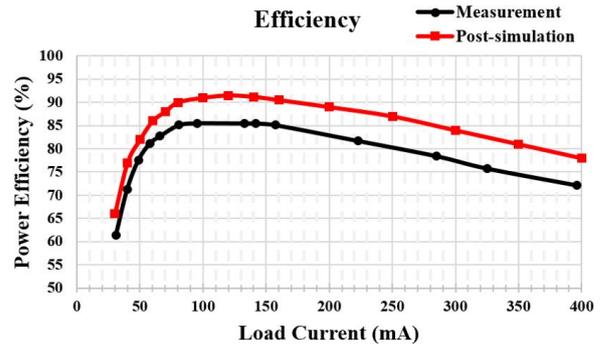


Fig. 10. Power efficiency according to load current.

그림 10. 부하전류에 따른 전력 효율

그림 10은 제안하는 3-레벨 벡 변환기의 부하전류에 따른 전력효율 그래프이다. 30mA부터 400mA의 부하전류범위에서 130mA일 때 85%의 최대 전력 효율이 나타난다. 모의실험과 다르게 측정된 전력 효율이 90%이하로 나타나는 것은 PCB와 COB 본딩 와이어의 기생저항 성분때 기인된다.

Table 1. Comparison of performance.

표 1. 성능 비교

Parameters	[7]	[8]	This work
Technology	350nm	350nm	180nm
Input voltage	2.6 ~ 4.0V	3.3 ~ 5.5V	2.7 ~ 3.6V
Output voltage	1 ~ 2V	1.8V	0.7 ~ 2.4V
Inductor	4.7μH	2.2μH	2.2μH
Capacitor	10μF	10μF	10μF
Frequency	1MHz	2.6MHz	2MHz
Voltage ripple	90mV	89mV	32.5mV
Load range	~ 600mA	~ 600mA	30 ~ 400mA
Efficiency(max)	90%	83%	85%

표 1은 기존 논문에 대한 성능 비교표이다. 기존 논문 [7], [8]의 경우 제안하는 회로대비 같거나 큰 외부소자를 갖는 벡 변환기로 출력전압 리플이 약 90mV이다. 제안하는 회로는 동일한 외부소자를 가

지고 기존 논문대비 약 64% 감소된 출력전압 리플을 갖는다.

IV. 결론

본 논문은 멀티비트 플라잉 커패시터의 전압제어를 이용한 3-레벨 벡 변환기를 설명하였다. 플라잉 커패시터의 전압 제어 회로는 플라잉 커패시터의 전압을 공급전압의 50%로 제어하여 안정적인 3-레벨 벡 변환기의 동작을 유도한다. 부하전류가 증가할 때 인덕터 전압에 오차가 발생하는 문제를 해결하기 위해 멀티비트를 이용하여 플라잉 커패시터 전압을 제어, 인덕터 전압의 오차를 보상한다. 또한 슈미트 트리거 회로를 응용하여 기존 방식보다 전력소모가 적은 삼각파 생성 회로를 제안하였다. 제안하는 3-레벨 벡 변환기는 매그나 0.18 μ m CMOS 1Poly 6Metal 공정으로 제작되었다. 입력전압 범위는 2.7V에서 3.6V까지이며 0.7V~2.4V의 전압을 출력한다. 부하 전류 범위는 30mA~400mA이며, 출력전압 리플은 32.5mV이다. 측정 결과 부하전류 130mA에서 최대 85%의 전력 변환 효율을 나타내었다.

References

- [1] Shivayogi Hiremath, Geng Yang, Kunal Mankodiya, "Wearable internet of things: Concept, architectural components and promises for person-centered healthcare," *2014 4th International Conference on Wireless Mobile Communication and Healthcare*, pp.304-307. 2014.
- [2] Uming Ko, "Ultra-low power SoC for wearable & IoT," *VLSI Technology, Systems and Application (VLSI-TSA), International Symposium on*, Hsinchu, Taiwan, 2016. DOI:10.1109/VLSI-TSA.2016.7480477
- [3] Seung Wook Yoon, Boris Petrov, Kai Liu, "Advanced wafer level technology: Enabling innovations in mobile, IoT and wearable electronics," *Electronics Packaging and Technology Conference (EPTC)*, pp.1-5 Singapore, Singapore, 2015. DOI:10.1109/EPTC.2015.7412320
- [4] W. Kim, D. Brooks, and G.-Y. Wei, "A fully-integrated 3-level DC-DC converter for nanosecond-scale DVFS," *IEEE J. Solid-State*

Circuits, vol.47, no.1, pp.206-219, 2012.

DOI:10.1109/JSSC.2011.2169309

[5] J. Xue and H. Lee, "A 2 MHz 12-100 V 90% efficiency self balancing ZVS reconfigurable three-level DC-DC regulator with constant-frequency adaptive-on-time V^2 control and nanosecond-scale ZVS turn-on delay," *IEEE J. Solid-State Circuits*, vol.51, no.12, pp.2854 - 2866, 2016.

DOI:10.1109/JSSC.2016.2606581

[6] X. Liu, C. Huang, and P. K. T. Mok, "A high-frequency three-level buck converter with real-time calibration and wide output range for fast-DVS," *IEEE J. Solid-State Circuits*, vol.53, no.2, pp.582 - 595, 2018. DOI:10.1109/JSSC.2017.2755683

[7] J. J. Chen, Y. S. Hwang, J. H. Chen, Y. T. Ku and C. C. Yu, "A new fast-response current-mode buck converter with improved I^2 -controlled techniques," *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, vol.26, no.5, pp.903-911, 2018. DOI:10.1109/VLSI-DAT.2018.8373259

[8] C. Tao and A. A. Fayed, "A buck converter with reduced output spurs using asynchronous frequency hopping," *IEEE Trans. Circuits Syst. II*, vol.58, no.11, pp.709-713, 2011.

DOI:10.1109/TCSII.2011.2164959

BIOGRAPHY

Jin-Woo So (Member)



Jin-Woo So has received his BS and MS degrees from Inha University on 2016 and 2018, respectively. He joined Samsung electronics. His research interests include CMOS low power circuit and system designs.

Kwang Sub Yoon (Member)



Kwang Sub Yoon has received his BS degree from Inha University, MS, and PhD degrees from Georgia Tech. Since 1992, he joined Inha University and conducted research in the area of low power mixed-signal circuit and system design.