

3.3kV 항복 전압을 갖는 4H-SiC Curvature VDMOSFET

4H-SiC Curvature VDMOSFET with 3.3kV Breakdown Voltage

김 태 홍*, 정 충 부*, 고 진 영*, 김 광 수*[★]

Tae-Hong Kim*, Chung-Bu Jeong*, Jin-Young Goh*, Kwang-Soo Kim*[★]

Abstract

In this paper, we analyzed the power MOSFET devices for high voltage and high current operation. 4H-SiC was used instead of Si to improve the static characteristics of the device. Since 4H-SiC has a high critical electric field due to wide band gap, 4H-SiC is more advantageous than Si in high voltage and high current operation. In the conventional VDMOSFET structure using 4H-SiC, the breakdown voltage is limited due to the electric field crowding at the edge of the p-base region. Therefore, in this paper, we propose a Curvature VDMOSFET structure that improves the breakdown voltage and the static characteristics by reducing the electric field crowding by giving curvature to the edge of the p-base region. The static characteristics of conventional VDMOSFET and curvature VDMOSFET are compared and analyzed through TCAD simulation. The Curvature VDMOSFET has a breakdown voltage of 68.6% higher than that of the conventional structure without increasing on-resistance.

요 약

본 논문에서는 고전압, 고전류 동작을 위한 전력 MOSFET 소자에 대한 전기적 특성을 시뮬레이션을 통해 분석하였다. 소자의 정적 특성을 향상시키기 위해 기존의 Si대신 4H-SiC를 이용했다. 4H-SiC는 넓은 에너지 밴드 갭에 의한 높은 한계전계를 갖기 때문에 고전압, 고전류 동작에서 Si보다 유리한 특성을 갖는다. 4H-SiC를 사용한 기존 VDMOSFET 구조는 p-base 영역 모서리에 전계가 집중되는 현상으로 인해 항복 전압이 제한된다. 따라서 본 논문에서는 p-base 영역의 모서리에 곡률을 주어 전계의 집중을 완화시켜 항복 전압을 높이고, 정적 특성을 개선한 곡률 VDMOSFET 구조를 제안하였다. TCAD 시뮬레이션을 통해 기존 VDMOSFET과 곡률 VDMOSFET의 정적 특성을 비교, 분석 하였다. 곡률 VDMOSFET은 기존 구조에 비해 온저항의 증가 없이 68.6% 향상 된 항복 전압을 갖는다.

Key words : 4H-SiC, VDMOSFET, breakdown voltage, electric field crowding, reach-through

* Dept. of Electronics Engineering, Sogang University

★ Corresponding author

E-mail : kimks@gmail.com, tkdlzhwkd3@naver.com, chaos1657@gmail.com, kaisy0346@naver.com, Tel : +82-2-705-8913

※ Acknowledgment

This research was supported by the MSIT(Ministry of Science and ICT), Korea, under the ITRC(Information Technology Research Center) support program(IITP-2018-0-01421) supervised by the IITP(Institute for Information & communications Technology Promotion)

This research was supported by the KIAT(Korea Institute for the Advancement of Technology), supervised by MOTIE (Ministry of Trade, Industry and Energy)(N0001594)

Manuscript received Oct. 18, 2018; revised Nov. 26, 2018; accepted Nov 28, 2018

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서론

현재 전기자동차가 각광받고 있으며, 전기자동차의 개발 및 시판이 가속화되고 있다. 전기자동차의 성능 향상과 전력소모를 줄이기 위해 전력 모듈의 크기를 줄여야하고 안정성을 높이기 위해서는 열전도 안정성이 확보되어야 한다. 에너지 효율 증대를 통한 주행거리 확보의 측면을 고려할 때 현재 사용되고 있는 배터리 전압인 400V보다 높은 배터리 전압이 요구되고 이에 따라, 3300V의 높은 항복 전압을 갖는 소자의 개발이 필요하고[1], 이를 구현하기 위해선 넓은 에너지 밴드 갭 반도체의 개발이 필요하다.

따라서 현재 실리콘 기반의 IGBT 소자가 전기자동차의 인버터 및 컨버터에 활용되고 있지만 스위칭 손실을 고려하면 4H-SiC MOSFET의 연구 및 개발이 필요하다. 4H-SiC는 넓은 에너지 밴드 갭에 의한 높은 한계전계(2.2MV/cm) 및 낮은 진성 캐리어 농도 등 전력 반도체 소자로서 적합한 물성을 갖고 있으며, 활용 범위가 넓어 차세대 전력 반도체 물질로 각광받고 있다[2]. 따라서 4H-SiC를 이용한 연구가 필요하다.

4H-SiC를 이용한 전력 반도체 소자로 VDMOSFET 구조가 널리 사용되고 있다[3]. 고전압 및 고전류 동작을 위해 수직 구조를 갖고 있으나 그림 1. (a)의 p-base 모서리에서 전계가 집중되는 현상이 발생된다. 결과적으로 낮은 전압에서 항복이 일어나고, 소자의 정적 특성을 저해하는 요인이 된다[4]. 이를 개선하기 위해 본 논문에서는 그림 1. (b)와 같이 p-base 모서리에 곡률을 주는 곡률 VDMOSFET 구조를 제안한다. 곡률로 인해 전계의 집중을 완화시킬 수 있으며, 이로 인해 높은 항복 전압을 갖는 소자 구조가 될 수 있다.

본 논문에서는 본론에서 VDMOSFET의 기본 정적 특성과 전계 집중 현상에 대해 설명하였고, 실험에서 TCAD 시뮬레이션을 통해 기존의 소자 구조와 곡률 VDMOSFET의 정적 특성을 비교하였으며, 시뮬레이션 결과를 종합하여 결론을 맺는다.

II. 본론

1. Curvature VDMOSFET 구조

고전압, 고전류 동작을 위한 소자를 만들기 위해 Si 대신 4H-SiC를 사용하여 설계한 VDMOSFET

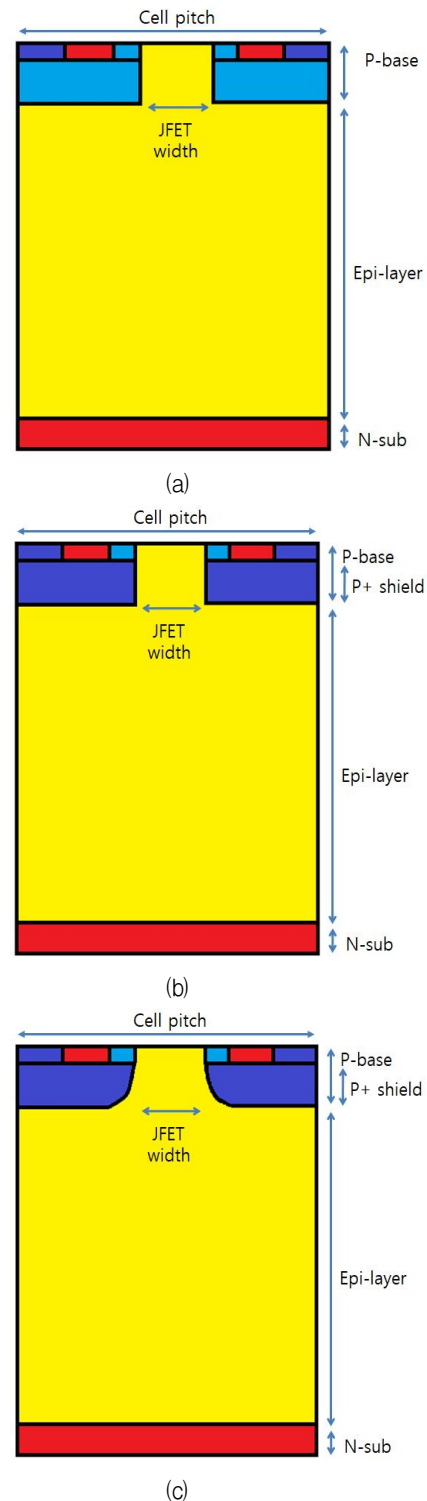


Fig. 1. (a) 기존, (b) 실드 (c) 곡률 VDMOSFET structure. 그림 1. (a) Conventional, (b) Shielded (c) Curvature VDMOSFET 구조

구조는 그림 1.과 같다. 높은 항복 전압을 견디기 위해서는 넓은 공핍영역이 필요하고, 기존의 수평 구조로 이를 만족시키기 위해서는 채널 길이가 매우 길어져 소자의 집적도가 떨어질 수밖에 없다. 따라

서 기존과는 다르게 VDMOSFET은 수직 구조를 갖고 있다. 드레인을 N-sub 영역에 형성하여 전류는 epi-layer를 따라 수직방향으로 흐르게 한다.

기존 VDMOSFET 구조는 그림 1. (a)와 같다. 기존 구조의 항복 전압을 제한하는 요인은 크게 리치스루 현상과 전계 집중 현상 두 가지이다.

항복이 일어나는 경우 epi-layer와 P-base 영역 사이에서 공핍 영역이 형성되고, 드레인 전압에 의한 전계를 분산시킨다. 이때 전계의 세기가 한계전계를 넘으면 애벌랜치 항복이 일어난다. P-base 영역의 도핑 농도가 epi-layer에 비해 높게 설계하기 때문에 공핍 영역은 epi-layer로 확장된다. P-base의 도핑 농도가 epi-layer에 비해 충분히 높지 않다면 p-base 영역 전체로 공핍영역이 확장된다. 이런 경우 전계의 세기가 한계전계를 넘지 않아도 소스-p-base의 공핍영역-드레인으로 전류가 흐르는 현상이 발생하고, 이로 인해 항복이 일어나게 된다. 이와 같은 현상을 리치스루 현상라고 하며 기존 VDMOSFET의 항복 전압을 제한하는 요인이 된다.

그림 1. (a) p-base 모서리는 epi-layer로 돌출된 형태를 띠고 있다. 전계는 돌출된 부분에 집중되는 성질을 갖는다. 그 결과 평균 전계의 세기는 높지 않지만 특정 위치(p-base 모서리)에서 전계의 세기가 한계전계를 초과하게 된다. 이로 인해 비교적 낮은 드레인 전압에서도 항복이 발생하고, 이는 기존 VDMOSFET의 항복 전압을 제한하는 요인이 된다.

이러한 기존 VDMOSFET의 항복 전압을 제한하는 요인을 개선하기 위해 본 논문에서는 그림 1. (c) 곡률 VDMOSFET 구조를 제안한다. 채널 영역을 제외한 p-base 영역의 도핑 농도를 높게 형성하여 (p+셴드) 리치스루 현상을 억제시키고[5], P-base 모서리 부분에 곡률을 주어 전계 집중 현상을 완화시킨다. 곡률 구조를 사용하여 동일한 조건에서 기존 구조에 비해 높은 항복 전압을 갖는다면 고전압, 고전류 동작에서 유리한 소자 구조가 될 것이라고 예상한다.

리치스루, 전계 집중 현상의 영향을 각각 분석하기 위해 그림 1. (b) 셴드 구조를 추가하여 시뮬레이션을 진행하였다. 셴드 구조는 기존 구조의 채널 영역을 제외한 p-base 영역의 도핑 농도를 높게 형성한(p+셴드) 구조로 리치스루 현상을 억제할 수 있다. 기존, 셴드, 곡률 구조를 순서대로 시뮬레이

션 하여 리치스루, 전계 집중 현상을 차례로 개선하며 그 효과를 분석하였다.

Table 1. Curvature VDMOSFET parameter

표 1. 곡률 VDMOSFET 파라미터

Parameters	Value	Unit
channel length	0.5	μm
p-base length	3.5	
JFET width	2.5	
gate oxide thickness	0.025	
source thickness	0.2	
p-base thickness	0.8	
epi-layer thickness	26	
source doping concentration	1×10^{19}	cm^{-3}
p-base doping concentration	1×10^{17}	
p+shield doping concentration	5×10^{18}	
epi-layer doping concentration	1.3×10^{15}	

2. 시뮬레이션 결과 및 분석

기존, 셴드, 곡률 VDMOSFET 세 가지 구조에 대한 전계의 분포와 항복 전압을 시뮬레이션을 통해 측정하였고, 각 구조의 파라미터는 표 1.과 같다. 셴드 구조는 기존 구조의 p-base 아래 영역에 p+셴드를 추가하였고(그림 1 (b) 참고), 곡률 구조는 p-base (p+셴드) 모서리에 곡률을 주었으며, 나머지 변수는 동일하게 설정하였다. 리치스루와 전계 집중 현상을 차례로 개선하는 과정을 나타내기 위해 기존 구조와 곡률 구조의 중간 단계인 셴드 구조를 추가하여 시뮬레이션 하였다. 그림 2. 그림 3. 그림 4.는 세 가지 구조에 대한 시뮬레이션 결과로 각각 전계 분포, 깊이에 따른 전계 그래프, 항복 전압을 비교한다.

그림 2.는 항복 전압에서의 전계 분포를 p-base 모서리 위치에서 보여준다. 그림 3.은 깊이에 따른 전계의 세기를 그래프로 나타낸 것이다. 그림 4.는 게이트 전압을 인가하지 않은 상태로 드레인 전압을 높여가며 항복 전압을 측정한 그래프이다.

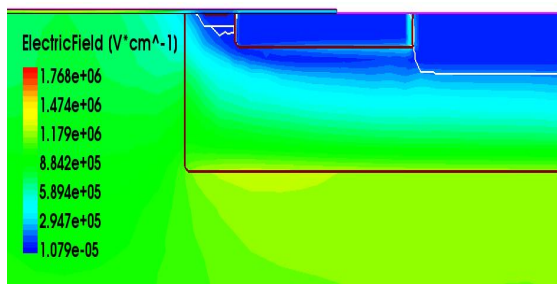
그림 2.의 전계 분포를 보면 기존 구조의 경우 p-base 영역 전체가 공핍영역이 된 것을 볼 수 있다. 이는 리치스루 현상으로, 그림 3. (a)에서 볼 수 있듯이 항복이 일어날 때 최대 전계 값이 4H-SiC의 한계 전계보다 작다. 그 결과 그림 4. (a)와 같이 다른 구

조에 비해 매우 낮은 항복 전압(1983V)을 갖는다.

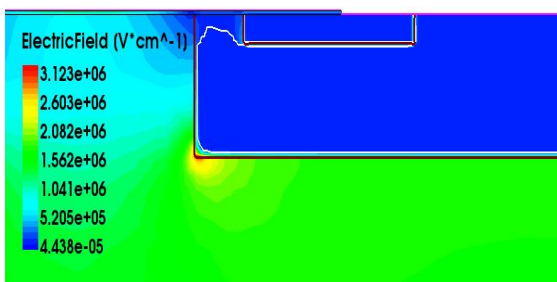
리치스루를 개선한 쉴드 구조의 경우 최대 전계 값이 4H-SiC의 한계전계와 일치한다. 즉, 애벌랜치 항복에 의해 항복이 발생했음을 의미한다. 그림 2. (b) 전계 분포와 그림 3. (b) 그래프를 보면 p-base 모서리에 전계가 집중되어있는 모습을 보인다. 이로 인해 비교적 낮은 드레인 전압에서 항복이 발생하게 된다(3240V).

곡률 구조의 경우 그림 2. (c)에서와 같이 넓은 영역에 전계가 분산되어 있는 형태를 보인다. P-base 모서리에 집중되는 전계를 곡률을 줌으로써 분산시켰다. 그 결과 그림 4. (c)와 같이 가장 높은 항복 전압을 갖는다(3344V). 곡률 구조는 기존 구조에 비해 68.6%, 쉴드 구조에 비해 3.2% 개선된 역방향 특성을 갖는다.

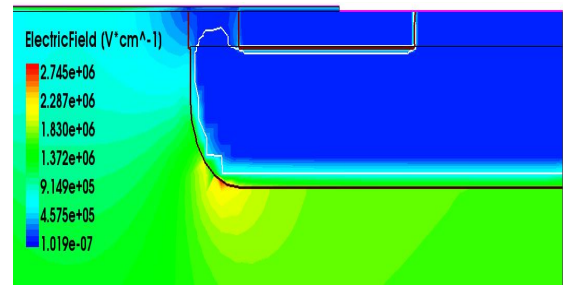
세 가지 구조의 output 특성은 그림 5.에 나타나 있다. 게이트에 5V의 전압을 인가하여 드레인 전압을 증가시키며 드레인 전류를 측정하였다. Output 특성에서 확인할 수 있는 온저항은 기존 구조는 $25m\Omega cm^2$, 쉴드 구조는 $27m\Omega cm^2$, 곡률 구조는 $26m\Omega cm^2$ 이다. 세 가지 구조 모두 온저항 측면에서는 경미한 차이를 보였다. 즉, 제안한 곡률 VDMOSFET 구조는 기존 VDMOSFET 구조에 비해 항복 전압은 68.6% 증가한 특성을 보이지만 온저항은 동일하게 유지되었다.



(a)

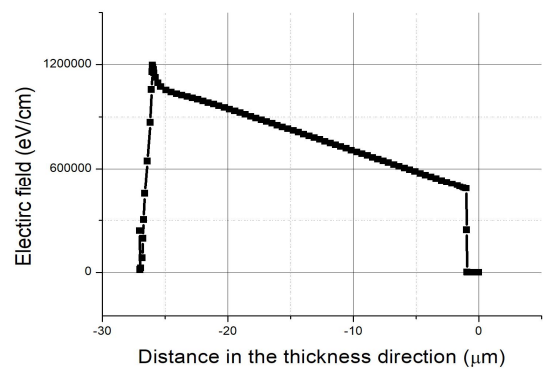


(b)

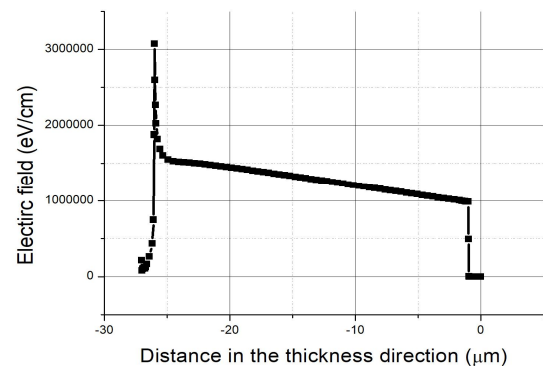


(c)

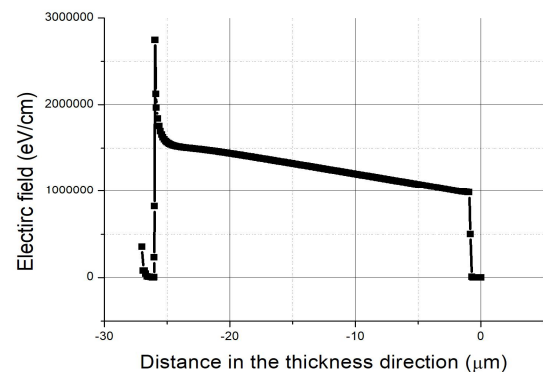
Fig. 2. (a) Conventional, (b) Shielded, (c) Curvature VDMOSFET electric field distribution. 그림 2. (a) 기존, (b) 쉴드, (c) 곡률 VDMOSFET 전계 분포



(a)



(b)



(c)

Fig. 3. (a) Conventional, (b) Shielded, (c) Curvature VDMOSFET strength of electric field according to depth. 그림 3. (a) 기존, (b) 쉴드, (c) 곡률 VDMOSFET 깊이 따른 전계의 세기

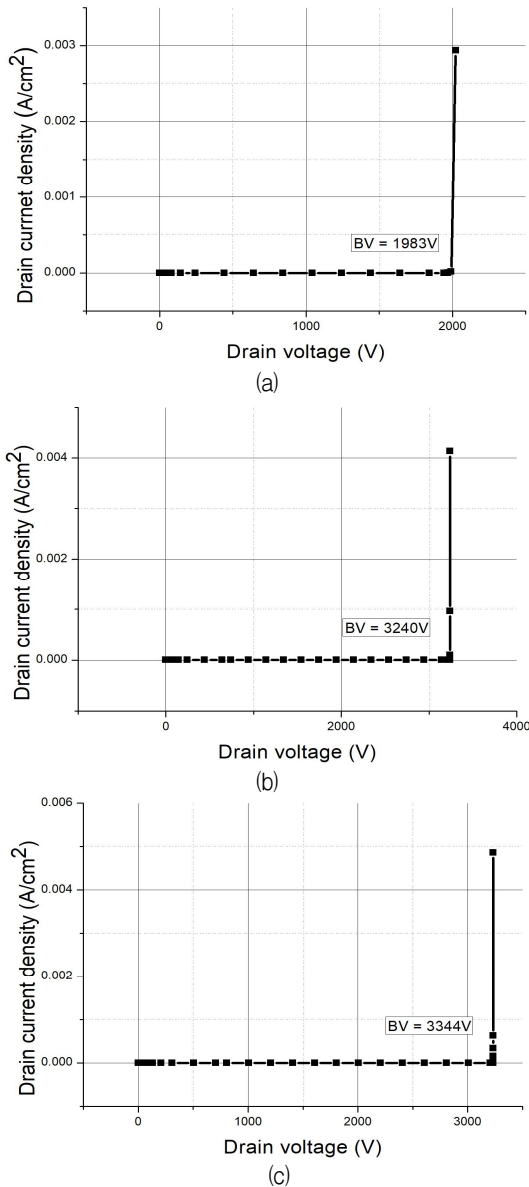


Fig. 4. (a) Conventional, (b) Shielded, (c) Curvature VDMOSFET breakdown voltage.
 그림 4. (a) 기존, (b) 실드, (c) 곡률 VDMOSFET 항복 전압

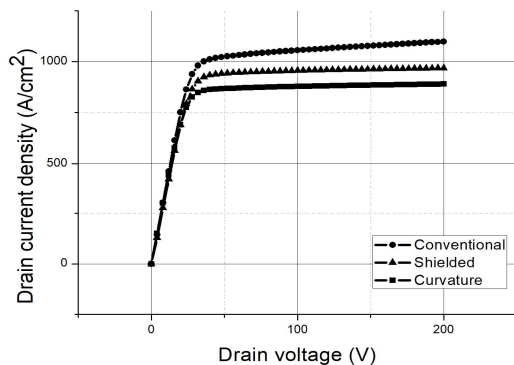


Fig. 5. Output characteristics of each structure at 5V gate bias.
 그림 5. 5V 게이트 전압에서 각 구조별 output 특성

III. 결론

기존 구조에서 실드 구조, 곡률 구조로 변화하면서 소자의 역방향 특성이 개선되는 것을 시뮬레이션을 통해 확인하였다. 기존 구조의 리치스루는 p-base에 p+실드를 형성함으로 개선되었고, 항복전압은 1257V 증가하였다. 하지만 실드 구조 p+실드 모서리에서 전계 집중 현상이 발생하였다. 이를 완화시켜 항복 전압을 개선하기 위해 p-base(p+실드)의 모서리에 곡률을 주어 전계 집중 현상을 완화시키는 곡률 구조를 제안하였다. 곡률 구조의 시뮬레이션 결과 항복전압은 기존 구조에 비해 1361V 증가하였다.

P+실드를 통해 리치스루 현상을 개선하고, p-base 모서리에 곡률을 주어 전계 집중 현상을 완화시킨 결과 본 논문에서 제안한 곡률 VDMOSFET 구조는 기존 VDMOSFET 구조와 비교해 온저항의 증가 없이 68.6% 향상된 역방향 특성을 갖는다.

제안한 곡률 VDMOSFET 구조를 사용한다면 더 높은 항복 전압을 가지면서 온저항의 증가가 없기 때문에 고전압, 고전류 동작에 유리하다. 동일한 항복전압에서는 기존 구조에 비해 온저항을 더 낮게 설계할 수 있기 때문에 전력 손실을 낮출 수 있다. 결과적으로는 소자의 동작에 있어서 에너지 효율을 증대시킬 수 있다.

References

[1] Huang Runhua, Tao Yonghong, Bai Song, Chen Gang, Wang Ling, Liu Ao, Wei Neng, Li Yun and Zhao Zhifei "Design and fabrication of a 3.3kV 4H-SiC MOSFET," *Journal of Semiconductors*, Volume 36, Number 9, 094002, 2015.

[2] B. J. Baliga, "Fundamentals of Power Semiconductor Devices," NY, USA: Springer, pp. 23-166, 2010.

[3] G. De Martino, F. Pezzimenti, F. G. Della Corte, G. Adinolfi, G. Graditi "Design and Numerical Characterization of a Low Voltage Power MOSFET in 4H-SiC for photovoltaic Applications," *2017 13th conference on Ph.D. Research in Microelectronics and Electronics (PRIME)*, IEEE pp.221-224, 2017, DOI:10.1109/PRIME.2017.7974147

- [4] Raúl Pérez, Dominique Tournier, Amador Pérez-Tomás, Philippe Godignon, Narcís Mestres, and José Millán, "Planar Edge Termination Design and Technology Considerations for 1.7-kV 4H-SiC PiN Diodes," *IEEE Transactions on Electron Devices*, Volume 52, Issue 10, pp. 2309-2316, 2005, DOI:10.1109/TED.2005.856805
- [5] B. J. Baliga, "Silicon Carbide Power Devices," *World Scientific, Singapore*, pp. 259-306, 2005

BIOGRAPHY

Tae-Hong Kim (Student Member)



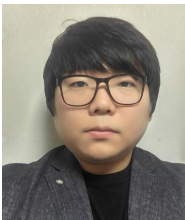
2018 : BS degree in Electronic Engineering, Sogang University.
2018 ~ present : MS course in Electronic Engineering, Sogang University.

Chung-Bu Jeong (Student Member)



2017 : BS degree in Electronic Engineering, Sogang University.
2018~present : MS course in Electronic Engineering, Sogang University.

Jin-Young Goh (Student Member)



2018 : BS degree in Electronic Engineering, Sogang University.
2018~present : MS course in Electronic Engineering, Sogang University.

Kwang-Soo Kim (Member)



1981 : BS degree in Electronic Engineering, Sogang University.
1983 : MS degree in Electronic Engineering, Sogang University.
1998 : PhD degree in Electronic Engineering, Sogang University.

1983~1997 : Electronics and Telecommunications Research Institute (ETRI).

1998~2005 : Institute for Information Technology Advancement (IITA)

2005~2008 : Daegu Gyeongbuk Institute of Science and Technology (DGIST)

2008~present : Professor, Electronic Engineering, Sogang University.