

무접합 비정질 InGaZnO 박막 트랜지스터의 게이트 산화층 항복 특성

장유진 · 서진형 · 박종태*

Characterization of gate oxide breakdown in junctionless amorphous InGaZnO thin film transistors

Yoo Jin Chang · Jin Hyung Seo · Jong Tae Park*

Department of Electronic Engineering, Incheon National University, Incheon, 22012, Korea

요 약

박막 두께가 다른 무접합 비정질 InGaZnO 막막 트랜지스터를 제작하고 박막 두께, 동작 온도 및 빛의 세기에 따른 소자의 성능 변수를 추출하고 게이트 산화층 항복전압을 분석하였다. 박막의 두께가 클수록 소자의 성능이 우수하나 드레인 전류의 증가로 게이트 산화층 항복전압은 감소하였다. 고온에서도 소자의 성능은 개선되었으나 게이트 산화층 항복 전압은 감소하였다. 빛의 세기가 증가할수록 광자에 의해 생성된 전자로 드레인 전류는 증가 하였으나 역시 게이트 산화층 항복전압은 감소하였다. 박의 두께가 클수록, 고온일수록, 빛의 세기가 강할수록 채널의 전자수가 증가하여 산화층으로 많이 주입되었기 때문이다. 무접합 a-IGZO 트랜지스터를 BEOL 트랜지스터로 사용하기 위해서는 박막 두께 및 동작 온도를 고려해서 산화층 두께를 설정해야 됨을 알 수 있었다.

ABSTRACT

Junctionless amorphous InGaZnO thin film transistors with different film thickness have been fabricated. Their device performance parameters were extracted and gate oxide breakdown voltages were analyzed with different film thickness. The device performances were enhanced with increase of film thickness but the gate oxide breakdown voltages were decreased. The device performances were enhanced with increase of temperatures but the gate oxide breakdown voltages were decreased due to the increased drain current. The drain current under illumination was increased due to photo-excited electron-hole pair generation but the gate oxide breakdown voltages were decreased. The reason for decreased breakdown voltage with increase of film thickness, operation temperature and light intensity was due to the increased number of channel electrons and more injection into the gate oxide layer. One should decide the gate oxide thickness with considering the film thickness and operating temperature when one decides to replace the junctionless amorphous InGaZnO thin film transistors as BEOL transistors.

키워드 : InGaZnO 박막 트랜지스터, 무접합 트랜지스터, 게이트 산화층 항복 전압, 박막 두께

Key word : InGaZnO thin film transistor, Junctionless transistor, Gate oxide breakdown voltage, Thin film thickness

Received 16 August 2017, Revised 22 August 2017, Accepted 05 September 2017

* Corresponding Author Jong Tae Park(E-mail:jtpark@inu.ac.kr, Tel:+82-32-835-8445)

Department of Electronic Engineering, Incheon National University, Incheon, 22012, Korea

Open Access <http://doi.org/10.6109/jkice.2018.22.1.117>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서 론

산화물 반도체인 비정질 InGaZnO (a-IGZO) 박막 트랜지스터 (Thin Film Transistors: TFTs)는 실리콘 박막 트랜지스터에 비해 큰 이동도를 비롯한 우수한 전기적 특성, 두께가 균일한 넓은 박막 증착 용이성, 저렴한 공정비, 높은 가시광 투과성, 낮은 공정 온도로 플렉시블 디스플레이 응용, 용액 공정 가능성 등의 많은 장점으로 차세대 디스플레이 소자로 평가받고 있다 [1]. a-IGZO 소자의 전기적 성능 개선을 위하여 지금까지 공정 조건 최적화, 소자 구조 및 소자 신뢰도에 관한 많은 연구가 진행되었으며 비교적 안정된 소자 제작이 가능하여 실제로 디스플레이 소자로 사용되고 있다.

일반적으로 높은 전압이 요구되는 전자기기와 낮은 전압의 집적회로를 연결하기 위해서는 전력 제어용 트랜지스터가 필요하며 이를 BEOL (Back End Of Line: 후공정) 트랜지스터로 구현하고 있다. 최근에는 디스플레이 응용을 넘어 실리콘 집적회로에서 기존의 실리콘 소자를 a-IGZO 박막 트랜지스터로 대체하려는 연구가 활발히 진행되고 있다[2-4]. 그 중에서 가장 많은 주목을 받는 것이 a-IGZO 박막 트랜지스터를 BEOL 트랜지스터로 응용하는 것이다[5, 6]. 전력용 BEOL 트랜지스터는 높은 게이트 산화층 및 드레인 항복 전압이 요구된다. InGaZnO 박막은 실리콘에 비해 큰 에너지밴드 갭 (약 3.0eV 이상)으로 드레인 항복 전압이 비교적 높아 BEOL 트랜지스터로 장점이 있다. 그러나 a-IGZO 박막 트랜지스터에서도 게이트 산화층은 SiO₂를 사용하기 때문에 기존의 실리콘 공정의 BEOL 트랜지스터의 게이트 산화층 항복 특성과 유사한 특성을 갖게 된다.

CMOS에서 단채널 현상과 채널의 불균일한 불순물로 인한 소자 특성의 편차를 줄이기 위해 무접합 트랜지스터가 제안 되었다 [7]. 최근에 이런 무접합 트랜지스터를 a-IGZO 박막 트랜지스터로 구현하는 연구가 본 연구실을 비롯하여 타 연구기관에서도 진행되고 있다 [8, 9]. 무접합 a-IGZO 박막 트랜지스터는 소스 및 드레인을 채널과 같은 InGaZnO 박막을 사용하므로 소자 공정 시 동일한 스퍼터링 챔버에서 채널과 소스 및 드레인 전극 박막을 증착하므로 투과성 개선 외에도 공정 단가를 줄일 수 있는 등의 장점이 있다. 무접합 a-IGZO 박막 트랜지스터의 소자 설계 시 가장 중요한 소자 설

계 변수는 게이트 재료, 게이트 절연층 재료와 두께 및 채널 박막의 두께이다[10]. 특히 동일한 게이트 재료 및 게이트 산화층 두께에서는 채널 박막의 두께가 얇을수록 소자의 OFF 상태에서 채널이 완전히 공핍 상태가 되므로 누설전류가 감소하게 된다. 그런데 산화물 반도체에서는 박막의 두께가 얇으면 ON 상태에서 채널의 전자수가 상대적으로 감소하므로 구동전류가 감소하는 단점이 있다[11,12]. 본 연구에서는 무접합 a-IGZO 박막 트랜지스터의 박막 두께가 게이트 산화층 항복특성에 미치는 영향을 측정 분석하였다.

a-IGZO 박막 트랜지스터에서는 국부적으로 위치한 많은 상태들이 존재하게 되는데 고온에서는 이런 상태들이 활성화 되면서 전자수를 증가하게 되어 구동전류가 증가한다[13,14]. 본 연구에서는 온도에 따른 무접합 a-IGZO 박막 트랜지스터의 게이트 항복 전압특성을 측정 분석하였다.

또 a-IGZO 박막 트랜지스터는 빛인 인가되면 전자와 홀 쌍이 박막에서 생성되어 이동도 및 구동전류가 증가하는 장점이 있으나 문턱전압 아래 기울기 저하 및 소자 불안정성이 증가하는 단점이 있다[15,16]. 빛에 의해 생성된 전자가 게이트 산화층으로 주입되면 게이트 산화층 항복전압이 낮아질 것으로 사료되므로 이에 관한 측정과 분석이 요구된다.

현재까지 무접합 a-IGZO 박막 트랜지스터의 게이트 산화층 항복특성에 관한 연구는 아주 극소수로 앞으로 전력용 BEOL 트랜지스터 응용을 위해서는 많은 연구가 필요하다[17]. 본 연구에서는 채널 박막의 두께, 온도 및 빛의 세기에 따른 무접합 a-IGZO 박막 트랜지스터의 전기적 특성 변화 및 게이트 산화층 항복 특성을 측정하고 분석하였다.

II. 소자 제작

그림 1의 블록도와 같이 본 연구에서 제작한 무접합 a-IGZO 박막 트랜지스터는 게이트를 p-형 불순물이 아주 높게 도핑된 실리콘 기판 (보론 농도: $2 \times 10^{19} - 1 \times 10^{20} \text{ cm}^{-3}$)을 사용한 하부 게이트 구조이다. 소자를 제작할 때 실리콘 웨이퍼에 100nm의 SiO₂가 성장된 것을 사용하였으므로 게이트 산화층 두께는 100nm 이다. 웨이퍼를 세척한 후에 채널 물질로 RF 스퍼터링 방법으로 물

비가 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:1$ 인 스퍼터링 타겟을 사용하여 박막 두께(T_{IGZO})가 10nm, 30nm, 50nm 인 3종류의 InGaZnO 산화물 반도체 층을 증착하였다. RF 스퍼터링 챔버는 Ar 흐름이 30sccm, 기압이 6mTorr, RF 출력은 100W 이었다. 그리고 소스 및 드레인 전극을 위하여 같은 RF 챔버에서 두께 70nm의 InGaZnO 박막을 증착하였다. 모든 샘플은 InGaZnO 박막 증착에서 만들어지는 트랩을 줄이기 위하여 일반적인 열처리 방법 (CTA: Conventional Thermal Annealing)으로 질소 분위기, 400도에서 30분간 열처리를 하였다. 그리고 채널의 자유 전자수를 증가를 위해 200도에서 30초간 RTA (Rapid Thermal Annealing: 급속열처리)를 수행하였다. 측정 시 소스 및 드레인 전극에 텅스텐 프로브 팁을 접촉하여 전압을 인가하고 전류를 측정하였다. 전기적 특성 분석은 Agilent B1500A 반도체 파라미터 분석기를 사용하였다. 빛의 세기에 따른 소자 및 항복 특성을 측정하기 위해 파장이 500nm에서 700nm 되는 할로겐램프를 사용하였다. 측정에 사용된 소자의 게이트 길이는 10um이며 채널 폭은 20um이다.

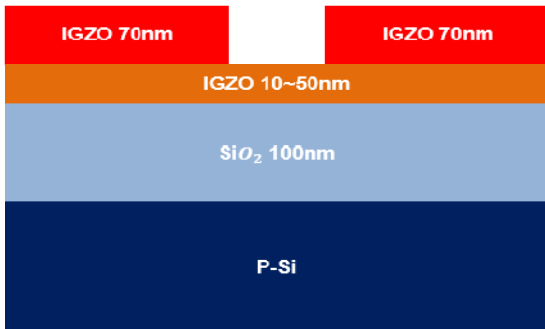


Fig. 1 Schematic diagram of junctionless a-IGZO TFT.

III. 측정 결과

3.1. T_{IGZO} 따른 게이트 산화층 항복 특성

그림 2는 $V_{\text{DS}}=3.0\text{V}$ 에서 측정한 무접합 a-IGZO 트랜지스터의 T_{IGZO} 따른 $I_{\text{DS}}-V_{\text{GS}}$ 전달특성 곡선이다. 그림으로부터 T_{IGZO} 가 클수록 박막의 특성곡선이 음의 방향으로 이동하고 문턱전압이 감소하며 드레인 전류는 증가하는 것을 알 수 있다. 표 1에 정리된 T_{IGZO} 따른 무접합 a-IGZO 트랜지스터의 소자 성능 변수들로부터

T_{IGZO} 가 증가할수록 문턱전압이 감소하는 것을 알 수 있다. 이는 T_{IGZO} 가 증가할수록 채널 박막의 전자 농도가 증가하므로 채널을 완전히 공핍 상태로 만들기 위해서 더 큰 게이트 전압이 요구되기 때문이다[11, 12]. 채널의 단위 면적당 자유 전자수는 T_{IGZO} 에 상관없이 일정하나 채널 체적당 자유 전자수는 T_{IGZO} 가 클수록 많아지게 된다. 또 다른 설명으로는 산화물 반도체에서는 T_{IGZO} 가 작을수록 결정 경계(grain boundary) 수가 증가하여 저항이 증가하므로 문턱전압이 증가 한다는 것이다[18]. T_{IGZO} 가 클수록 드레인 전류가 증가하는 것은 전자의 이동도 (μ_{FE})가 증가하기 때문인데 이동도 증가는 T_{IGZO} 가 증가할수록 InGaZnO/SiO2 경계면에서 약간 떨어진 지점에 전자 농도의 최대가 위치하므로 산란에 의한 이동도 감소가 적기 때문이다. 문턱전압 아래 기울기 (S)는 T_{IGZO} 가 증가할수록 약간 증가하는 것을 알 수 있다.

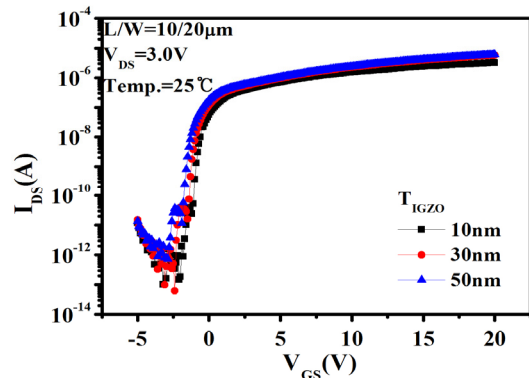


Fig. 2 $I_{\text{DS}}-V_{\text{GS}}$ transfer curve characteristics with T_{IGZO} .

Table. 1 Summary of electrical device performances with different T_{IGZO} .

	$T_{\text{IGZO}}=10\text{nm}$	30nm	50nm
$V_{\text{TH}}(\text{V})$	1.07	0.47	0.15
$S(\text{V}/\text{dec})$	0.16	0.16	0.17
$I_{\text{ON}}(\text{A})$	3.2E-6	5.8E-6	6.1E-6
$I_{\text{ON}}/I_{\text{OFF}}$	2.1E+6	3.5E+6	3.6E+6
$\mu_{\text{FE}}(\text{cm}^2/\text{V}\cdot\text{S})$	1.90	2.01	2.34

그림 3은 $V_{\text{DS}}=3.0\text{V}$ 에서 측정한 무접합 a-IGZO 트랜지스터의 T_{IGZO} 따른 게이트 산화층 항복특성을 나타낸 것이다. BEOL 트랜지스터의 응용에서 전자기기의 높

은 전압을 집적회로로 변환할 때 집적회로의 최대 전압을 3V 정도 이므로 측정 전압을 $V_{DS}=3.0V$ 로 고정하였다. 그림으로부터 게이트 산화층 항복 전압은 84V-93V 정도임을 알 수 있다. 게이트 항복전계는 약 $8.4MV/cm$ - $9.3MV/cm$ 에 해당된다. T_{IGZO} 가 클수록 게이트 산화층의 항복전압이 낮은 것을 알 수 있다. CMOS에서 SiO_2 의 항복 전계는 소자의 면적에 따라 다르지만 대체로 $8-13MV/cm$ 정도 이다 [19]. 무접합 a-IGZO 트랜지스터의 소자 크기가 $10\mu m \times 20\mu m$ 이므로 CMOS의 SiO_2 항복 전압과 크기가 유사하다고 사료된다. CMOS에서 SiO_2 항복 원인으로 여러 종류의 메커니즘이 제안되었지만 [19] 그림 3의 결과를 설명하기 위한 항복 메커니즘은 채널에서 자유전자가 고전계에 의해 게이트 산화층으로 주입되고 이 전자는 전계로부터 충분한 에너지를 공급받아 Si-H 본딩을 파괴하면서 트랩이 생성되고 결국 채널과 게이트 사이에 전류 통로가 만들어 지는 것으로 사료된다. T_{IGZO} 가 클수록 게이트 산화층의 항복전압이 낮은 것은 T_{IGZO} 가 클수록 채널의 자유전자수가 증가하기 때문이다. 같은 게이트 전계에서 채널의 자유전자수가 많을수록 게이트 산화층으로 주입되는 전자수가 많아지므로 항복 전압이 낮아지게 된다.

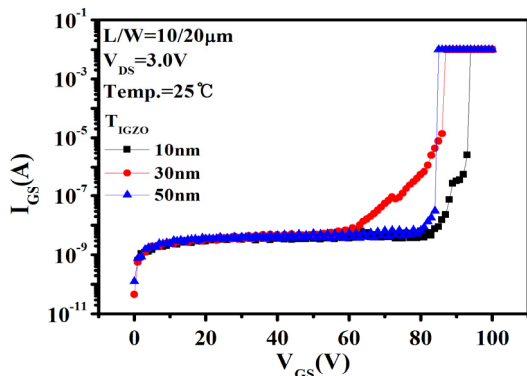


Fig. 3 Breakdown characteristics of gate oxide with different T_{IGZO} at room temperature.

3.2. 온도에 따른 게이트 산화층 항복 특성

그림 4는 $V_{DS}=3.0V$ 에서 측정된 온도에 따른 무접합 a-IGZO 트랜지스터의 $I_{DS}-V_{GS}$ 전달특성 곡선이다. 측정 온도가 증가하면 전류-전압 특성 곡선이 음의 방향으로 이동하여 문턱전압은 감소하고 구동전류는 약간 증가하는 것을 알 수 있다. 표 2에 정리된 온도에 따른 무

접합 a-IGZO 트랜지스터의 소자 성능 변수로부터 고온일 때 문턱전압의 감소와 구동 전류의 증가하는 것을 알 수 있다. 이는 고온에서 국부적으로 위치한 밴드 갭 내의 상태들로부터 전자들이 탈출하여 자유전자가 되기 때문에 전체적으로 채널의 전자수가 증가하기 때문이다. 고온에서 ON전류의 증가로 ON전류/OFF전류 비율 (I_{ON}/I_{OFF})은 증가하는 것을 알 수 있다. 문턱전압 아래 특성은 고온에서 약간 개선되는 현상을 보였다. 그림4에서 낮은 게이트 전압에서 낮은 온도에서는 상태가 활성화 되지 않아 약간의 범프 같은 것이 보였으나 고온에서는 이런 현상이 사라졌기 때문이다.

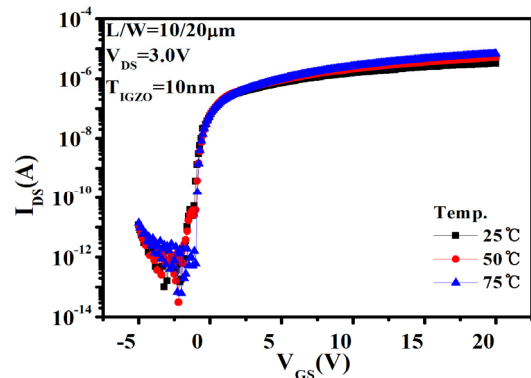


Fig. 4 $I_{DS}-V_{GS}$ transfer curve characteristics with operating temperature.

Table. 2 Summary of electrical device performances with operating temperatures.

$T_{IGZO}=10nm$	Temp.=25 °C	50 °C	75 °C
$V_{TH}(V)$	1.07	1.04	0.88
$S(V/dec)$	0.16	0.13	0.09
$I_{ON}(A)$	3.2E-6	5.0E-6	6.8E-6
I_{ON}/I_{OFF}	2.1E+6	5.5E+6	7.3E+6
$\mu_{FE}(cm^2/V\cdot S)$	1.90	2.16	2.41

그림 5는 $V_{DS}=3.0V$ 에서 측정된 무접합 a-IGZO 트랜지스터의 측정 온도에 따른 게이트 산화층 항복특성을 나타낸 것이다. 그림으로부터 온도가 증가하면 게이트 산화층 항복전압이 낮아지는 것을 알 수 있는데 이는 온도가 증가할수록 채널에서 주입되는 전자와 산화층의 격자들 사이의 상호작용이 증가하여 트랩 생성을 가속화시켜 조기에 채널과 게이트 사이에 전류 통로를 만

들기 때문이다 [20]. 이런 결과는 고온에서 CMOS의 SiO₂ 항복전압이 낮아지는 현상과 일치한다.

그림 6은 온도 50°C에서 무접합 a-IGZO 트랜지스터의 T_{IGZO} 따른 게이트 산화층 항복특성을 나타낸 것이다. 상온에서 측정한 그림2의 결과와 같이 T_{IGZO}가 클수록 게이트 산화층의 항복전압이 낮은 것을 알 수 있다. 그림 2와 그림5의 결과로부터 전력용 BEOL 트랜지스터를 설계할 때에는 T_{IGZO}가 클수록 또 고온에서 게이트 산화층의 항복전압이 많이 낮아지는 것을 고려해야 함을 알 수 있다.

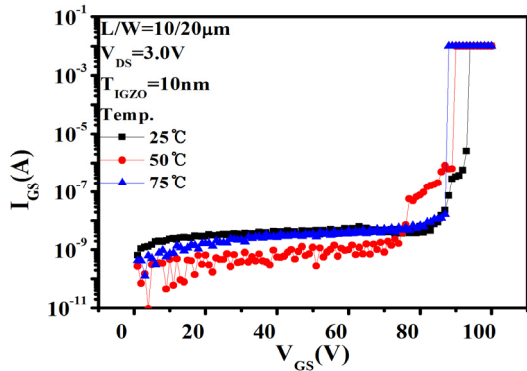


Fig. 5 Breakdown characteristics of gate oxide with different operating temperatures.

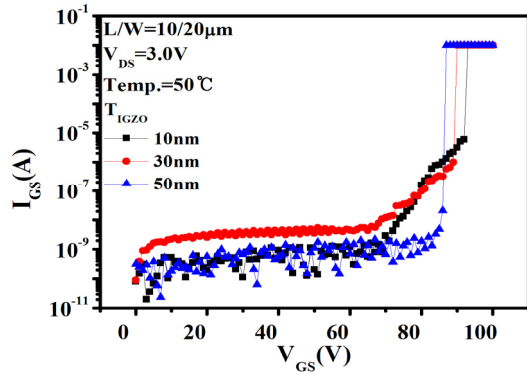


Fig. 6 Breakdown characteristics of gate oxide with different T_{IGZO} at temperature =50°C.

3.3. 빛에 따른 게이트 산화층 항복 특성

그림 7은 V_{DS}=3.0V에서 측정한 빛의 세기에 따른 무접합 a-IGZO 트랜지스터의 I_{DS}-V_{GS} 전달특성 곡선이다. 빛의 세기가 증가하면 전류-전압 특성 곡선이 음의 방

향으로 이동하여 문턱전압은 감소하고 구동전류는 약간 증가하는 것을 알 수 있다. 표 3에 정리된 빛의 세기에 따른 무접합 a-IGZO 트랜지스터의 소자 성능 변수로부터 빛의 세기가 강할수록 문턱전압이 감소하고 구동 전류가 증가하는 것을 알 수 있다. 이는 고온에서와 같이 빛의 세기가 강할수록 채널의 전자수가 증가하기 때문이다. 산화물반도체에 빛이 인가되면 광자에 의해 전자와 홀 쌍이 생성되어 채널에서 전자 수가 증가한다 [13-14]. 생성된 전자는 홀과 바로 재결합되지 않고 일정한 시간 전도대에 머물게 되는데 이는 생성된 홀이 안정된 산소 vacancy를 만들기 때문이다. 표3으로부터 빛의 세기가 강할수록 이동도가 증가하고 문턱전압 아래 특성은 개선이 되는 것을 알 수 있다. 이동도 증가와 문턱전압 아래 특성이 개선되는 것은 빛에 의해 생성된 전자 때문으로 사료된다.

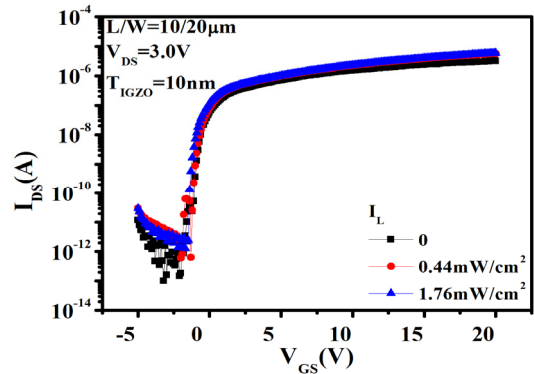


Fig. 7 I_{DS}-V_{GS} transfer curve characteristics with illumination intensities.

Table. 3 Summary of electrical device performances with illumination intensities.

T _{IGZO} =10nm	I _L =0.00 mW/cm ²	I _L =0.44 mW/cm ²	I _L =1.76 mW/cm ²
V _{TH} (V)	1.07	0.65	0.43
S(V/dec)	0.16	0.07	0.06
I _{ON} (A)	3.2E-6	5.7E-6	5.9E-6
I _{ON} /I _{OFF}	2.1E+6	2.8E+6	3.1E+6
μFE(cm ² /V·S)	1.90	2.04	2.31

그림 8은 V_{DS}=3.0V에서 측정한 무접합 a-IGZO 트랜지스터의 빛의 세기에 따른 게이트 산화층 항복특성을 나타낸 것이다. 그림으로부터 빛의 세기가 강할수록 게

이트 산화층 항복전압이 낮아지는 것을 알 수 있는데 이는 빛이 세기가 강할수록 전자와 홀 쌍의 생성이 증가하여 게이트 산화층으로 주입되는 전자수가 증가하기 때문이다 [21]. 그림9는 빛의 세기 $I_L=0.22\text{mW/cm}^2$ 일 때 무접합 a-IGZO 트랜지스터의 T_{IGZO} 따른 게이트 산화층 항복특성을 나타낸 것이다. 상온에서 측정된 그림2의 결과와 같이 T_{IGZO} 가 클수록 게이트 산화층의 항복전압이 낮은 것을 알 수 있다.

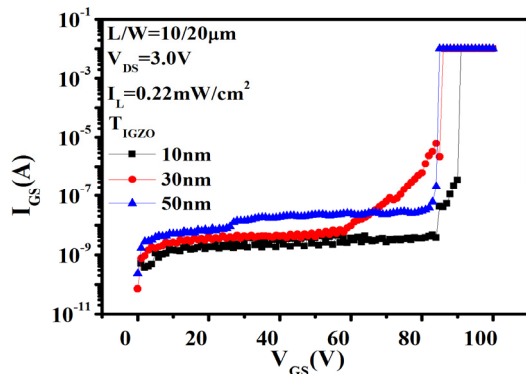


Fig. 8 Breakdown characteristics of gate oxide with illumination intensities.

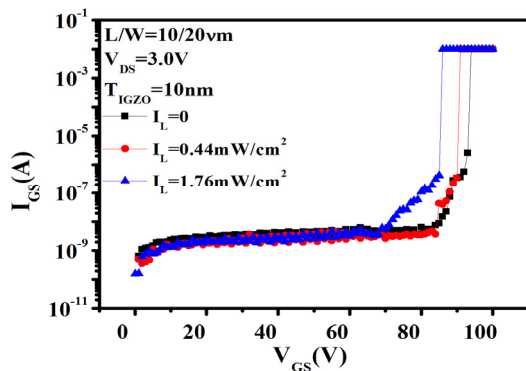


Fig. 9 Breakdown characteristics of gate oxide with different T_{IGZO} at $I_L=0.22\text{mW/cm}^2$.

IV. 결론

박막 두께가 다른 무접합 a-IGZO 트랜지스터를 제작하고 두께, 측정온도, 빛의 세기에 따른 게이트 산화층 항복 특성을 측정 분석하였다. 박막의 두께가 클수

록, 고온일수록, 또 빛의 세기가 강할수록 게이트 산화층의 항복전압이 낮아지는 것을 알 수 있었다. 이런 현상은 채널의 자유전자의 수가 증가한데서 기인됨을 문턱전압 감소와 구동 전류증가의 측정결과로부터 알 수 있었다. 전력용 BEOL 트랜지스터로 사용하기 위해 무접합 a-IGZO 트랜지스터 소자 설계 시에는 박막 두께 및 동작 온도를 고려해서 산화층 두께를 설정해야 됨을 알 수 있었다.

REFERENCES

- [1] T. Y. Hsieh, T. C. Chang, T. C. Chen, and M. Y. Tsai, "Review of Present Reliability Challenges in Amorphous In-Ga-Zn-O Thin Film Transistors," *ECS Journal of Solid State Science and Technology*, vol.3, no. 9, pp. Q3058-Q3070, August 2014.
- [2] T. Onuki, W. Uesugi, A. Isobe, Y. Ando, S. Okamoto, K. Kato, T.R., Yew, J.Y. Wu, C.C. Shuai, S.H. Wu, J. Myers, K. Doppler, M. Fujita, S. Yamazaki, "Embedded memory and ARM cortex-M0 core using 60nm C-axis aligned crystalline Indium-Gallium_Zinc Oxide FET integrated with 65nm Si CMOS," *IEEE Journal of Solid-State Circuits*, vol.52, no.4, pp. 925-932, April 2017.
- [3] K. Hatasako, N. Tetsuya, M. Hane, S. Maegawa, "Past and future technology for Mixed signal LSI," *IEICE Transaction Electron*, vol.E97-C, no.4, pp. 238-244, April 2014.
- [4] L.J.Chi, M.J. Yu, Y.H. Chang, T.H. Hou, "1-V full swing depletion load a-In-Ga-Zn-O inverters for back- end-of-line compatible 3D integration," *IEEE Electron Device Letters*, vol. 37, no. 4, pp. 441-443, April 2016.
- [5] K. Kaneko, H. Sunamura, M. Narihiro, S. Saito, N. Furutake, M. Hane, Y. Hayashi, "Operation of functional circuit elements using BEOL transistor with InGaZnO channel for on-chip high/low voltage bridging I/O and high current switches," *Symposium on VLSI Technology Digest of Technical Papers, Honolulu*, pp. 123-124, June 2012.
- [6] H. Sunamura, K. Kaneko, N. Furutake, N. Ikarashi, M. Hane, Y. Hayashi, "High On/Off ratio P-type oxide based transistors integrated onto Cu interconnects for on-chip high/low voltage bridging BEOL CMOS I/O," *IEEE International Electron Devices Meeting, San Francisco*, pp. 447-450, December 2012.

- [7] J.P. Colinge, C.W. Lee, A. Afzalian, N. D. Akhavan, R. Yan, I. Ferain, P. Razavi, B. Oneill, A. Blake, M. White, A.M. Kelleher, B. McCarthy, and R. Murphy, "Nanowire transistor without junction," *Nature Nanotechnology*, vol. 5, no. 3, pp. 225-229, March 2010.
- [8] S.M. Kim, C.G. Yu, W.J. Cho, J.T. Park, "Device characterization and design guideline of amorphous InGaZnO junctionless thin film transistors," *IEEE Transactions on Electron Devices*, vol. 64, no. 6, pp. 2526-2532, June 2017.
- [9] J. Zhou, G. Wu, L. Guo, L. Zhu, and Q. Wan, "Flexible transparent junctionless TFTs with oxygen-tuned Indium-Zinc-Oxide channels," *IEEE Electron Device Letters*, vol. 34, no. 2, pp. 888-890, February 2013.
- [10] C.W. Lee, I. Ferain, A. Afzalian, R. Yan, N. D. Akhavan, P. Razavi, and J.P. Colinge, "Performance estimation of junctionless multigate transistors," *Solid-State Electronics*, vol. 54, pp. 97-103, February 2010.
- [11] X. Ding, J. Zhang, . Li, H. Zhang, W. Shi, X. Jiang, Z. Zhang, "Influence of the InGaZnO channel layer thickness on the performance of thin film transistors," *Superlattice and Microstructures*, vol. 63, pp. 70-78, August 2013.
- [12] M. Nakata, H. Tsuji, H. sao, Y. Nakajima, Y. Fujisaki, T. Takei, T. Yamamoto, and H. Fujikako, "Influence of oxide semiconductor thickness on thin-film transistor characteristics," *Japanese Journal of Applied Physics*, vol. 52, pp. 03BB04-1-5, March 2013.
- [13] C. Chen, K. Abe, H. Kunomi, J. Kanicki, "Density of state of a-InGaZnO from temperature dependent field effect studies," *IEEE Transactions on Electron Devices*, vol. 56, no. 6, pp. 1177-1181, June 2009.
- [14] J. Martins, P. bahubalindrun, A. Rovisco, A. Kiazadeh, R. Martins, E. Fortunato, P. Barquinha, "Bias stress and temperature impact on InGaZnO TFTs and circuits," *Materials*, vol. 10, pp. 680-689, June 2017.
- [15] S. Lee, M. Mativenga, J. Jang, "Removal of negative bias illumination stress instability in amorphous InGaZnO thin film transistors by top gate offset structure," *IEEE Electron Device Letters*, vol. 35, no. 9, pp. 930-932, June 2014.
- [16] M.P. hung, D. Wang, J. Jiang, M. furuta, "Negative bias and illumination stress induced electron trapping at back channel interface of InGaZnO thin film transistors," *ECS Solid State Letters*, vol. 3, no. 3, pp. Q13-Q16, January 2014.
- [17] M.J. Yu, R.P. Lin, Y.H. Chang, T.H. Hou, "High voltage amorphous InGaZnO TFT with Al₂O₃ high-K dielectric for low temperature monolithic 3-D integration," *IEEE Transactions on Electron Devices*, vol. 63, no. 10, pp. 3944-3949, October 2014.
- [18] D. Jay, S.S. Cheng, C.Y. Yang, C.W. Ou, Y.C. Chung, M.C. Wu, C.W. Chu, "Dependence of channel thickness on the performance of In₂O₃ thin film transistors," *Journal of Physics D: Applied Physics*, vol. 41, pp. 09006-09015, March 2008.
- [19] J.F. Verweij, J.H. Klootwijk, "Dielectric breakdown I: A review of oxide breakdown," *Microelectronics Journal*, vol. 27, no. 7, pp. 611-622, July 1996.
- [20] C.C. Chen, C.Y. Chang, C.H. Chien, T.Y. Huang, "Temperature accelerated dielectric breakdown in ultrathin gate oxides," *Applied Physics Letters*, vol. 74, no. 24, pp. 3708-3710, April 1999.
- [21] J.S. Jeon, S.H. Jo, H.J. Choi, J.T. Park, "Effect of thin film thickness on device instability of amorphous InGaZnO junctionless transistors," *Journal of the Korean Institute of Informantion and Communication Engineering*, vol. 21, no. 9, pp. 1627-1634, September 2017.



장유진(Yoo-Jin Chang)

2018년 인천대학교 전자공학과 학사
 ※관심분야 :CMOS Reliability



서진형(Jin-Hyeong Seo)

2018년 인천대학교 전자공학과 학사
※관심분야 : CMOS Reliability



박종태(Jong-Tae Park)

1981년 경북대학교 전자공학과 학사
1983년 연세대학교 전자공학과 공학석사
1987년 연세대학교 전자공학과 공학박사
1983년 8월 ~ 1985년 8월 금성반도체(주) 연구소 연구원
1991년 1월 ~ 1991년 12월 MIT Post Doc.
2000년 7월 ~ 2001년 8월 UC Davis 방문교수
1987년 3월 ~ 현재 인천대학교 전자공학과 교수
※관심분야 : CMOS Reliability, Nano-scale CMOS, SOI/MOSFET, RF-CMOS