

메모리 소자의 셀 커패시턴스에 미치는 공정 파라미터 해석

정윤근* · 강성준** · 정양희***

Analysis of Process Parameters on Cell Capacitances of Memory Devices

Yeun-Gun Chung* · Seong-Jun Kang** · Yang-Hee Joung***

요약

본 연구에서는 DRAM 커패시터의 유전막 박막화를 위한 Load Lock(L/L) LPCVD 시스템을 이용한 적층형 커패시터의 제조 공정이 셀 커패시턴스에 미치는 영향을 조사하였다. 그 결과 기존의 non-L/L 장치에 비하여 약 6Å의 산화막 유효두께를 낮춤으로 커패시턴스로 환산 시 약 3-4 fF의 차이가 나타남을 확인할 수 있었다. 또한 절연막으로써 질화막 두께의 측정 범위가 정상적인 관리 범위의 분포임에도 불구하고 Cs는 계산치보다 약 3~6 fF 정도 낮은 것으로 확인되었다. 이는 node poly FI CD가 spec 상한치로 관리되어 셀 표면적의 감소를 초래하였고 이는 약 2fF의 Cs 저하를 나타내었다. 따라서 안정적인 Cs의 확보를 위해서는 절연막의 두께 및 CD 관리를 spec 중심값의 10 % 이내로 관리할 필요가 있음을 확인하였다.

ABSTRACT

In this study, we investigated the influence of the fabrication process of stacked capacitors on the cell capacitance by using Load Lock (L/L) LPCVD system for dielectric thin film of DRAM capacitor. As a result, it was confirmed that the capacitance difference of about 3-4 fF is obtained by reducing the effective thickness of the oxide film by about 6 Å compared to the conventional non-L/L device. In addition, Cs was found to be about 3-6 fF lower than the calculated value, even though the measurement range of the thickness of the nitride film as an insulating film was in a normal management range. This is because the node poly FI CD is managed at the upper limit of the spec, resulting in a decrease in cell surface area, which indicates a Cs reduction of about 2fF. Therefore, it is necessary to control the thickness of insulating film and CD management within 10% of the spec center value in order to secure stable Cs.

키워드

Node Poly, FI CD, Cs, Nitride Films
하부 전극, 최종 규격, 셀 커패시턴스, 질화막

* 전남대학교 기계설계공학부(phycyg@jnu.ac.kr)

** 전남대학교 전기및반도체공학과(ferroksj@jnu.ac.kr)

*** 교신저자 : 전남대학교 전기및반도체공학과
(jyanghee@jnu.ac.kr)

• 접수일 : 2017. 08. 30

• 수정완료일 : 2017. 09. 13

• 게재확정일 : 2017. 10. 18

• Received : Aug 30, 2017, Revised : Sep 13, 2017, Accepted : Oct 18, 2017

• Corresponding author : Yang-Hee Joung

Dept. of Electrical and Semiconductor Engineering, Chonnam National University,
Email : jyanghee@jnu.ac.kr

I. 서론

DRAM 기술의 발달과 함께 최근에는 Sub-micron 설계 기술의 적용으로 소자의 속도, 용량등의 획기적인 개선이 이루어지고 있다. 더불어 Device의 고집적화에 따라 디바이스의 소형화 및 적정 정전용량 확보를 위하여 소자 제조 장치 및 공정에서 많은 연구들이 진행되어 지고 있다[1-7]. 이들 가운데 DRAM 커패시터의 유전막으로써 열 산화막으로는 임계 두께에 있어 공정 제어의 한계에 당면하게 되었고, 산화막에 비해 유전율이 큰 질화막을 이용한 ONO 구조(Oxide-nitride-oxide)의 막이 커패시터 제조 기술에 유전막으로 상용화되면서 이들 유전막 유효두께의 박막화가 절실히 요구되어지고 있다[8].

본 연구에서는 기존의 ONO 적층형 커패시터의 유전막 증착 공정 장치의 loading부에 진공시스템을 부착함으로써 로내로 웨이퍼가 loading중에 성장되는 하층산화막의 성장을 억제하고 유전막을 증착시켜 이들이 셀 커패시터스에 미치는 영향을 확인하였다. 또한 소자의 대량 생산에 있어서 이들 유전막 두께에 상응하는 정전용량이 계산 값에 미치지 못하는 결과가 종종 발생하므로 이들 문제를 해결하기 위하여 Fin 구조의 커패시터 형성 공정 조건과 셀 커패시터스의 관계를 고찰함으로써 양산공장에서 안정적인 정전 용량을 확보할 수 있는 파라미터를 해석하였다.

II. 시료제작 및 실험방법

반도체 메모리에서 stack capacitor 구조의 제조 공정 단면도는 그림 1과 같고, 본 실험에서는 표면적이 $5.5\mu\text{m}^2$ 인 1.5 Fin 적층형 커패시터를 제작하였다. 유전막으로써 질화막을 성장 시킬 때 기존의 장치는 로내로 웨이퍼를 로딩시킬 때 유입되는 대기 중의 산소로 인하여 자연산화막이 형성되고 이는 유전막의 유효두께를 증가시켜 결국 셀 커패시터스의 저하를 초래하게 된다. 이를 위하여 load lock(L/L) 장치를 로딩부에 부착하여 웨이퍼를 로내로 이동할수 있도록 한 장치를 이용하여 자연산화막의 성장을 억제할 수 있도록 하였다[9,10].

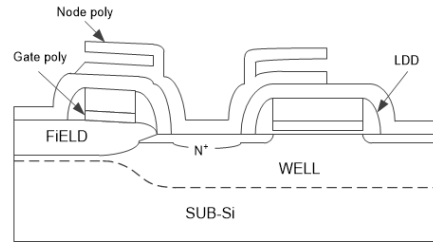


그림 1. 유전막 증착전 적층구조 커패시터 단면도
Fig. 1 The cross section of stacked capacitor before dielectric film deposition

하층산화막 위의 질화막 증착은 1000\AA 의 node poly 위에 성장하게 되는데 질화막 성장 조건은 NH_3 와 SiH_2Cl_2 의 비율을 10:1로 750°C 의 고온에서 0.25 Torr로 저압 증착을 하였으며, 질화막의 두께는 70\AA 으로 증착하였다.

이들 시료는 상층산화막 성장을 위하여 900°C 에서 O_2 와 H_2 를 1:1.6의 비율로 흘리면서 모니터 웨이퍼상에서 약 490\AA , 질화막이 있는 시료상에서는 약 10\AA 두께로 성장시켰다. 마지막으로 plate poly를 증착하기 위하여 저압 화학 기상장치에서 SiH_4 와 PH_3 를 14:1의 비율로 0.8 Torr에서 실시하였으며, 이 때 poly의 인 농도는 XRF로 측정되었고 대략 $4.0\sim 5.0\text{E}20$ 원자/ cm^3 의 범위에 있다. 완성된 적층형 커패시터는 Keithley S-475 장치를 이용하여 하층산화막을 포함한 질화막 두께에 따른 C_s 값을 측정하였고, 질화막의 두께와 C_s 의 관계를 조사하였다. 또한 적층형 커패시터의 형성 과정에서 node poly가 형성될 부분에 대한 FI CD[11]와 node poly 형성 후 node poly 간의 space FI CD가 셀 커패시터스에 미치는 영향을 비교 조사하였다.

III. 결과 및 논의

3.1 셀 커패시터스

본 실험에 적용되어진 유전막의 구조와 셀 커패시터스를 예측하기 위한 산화막과 질화막을 구분하여 그림 2에 나타내었다. 셀 커패시터스의 계산을 위해서는 그림에 나타난 각각의 구성 요소가 고려되어야 하며 최종적으로는 유효 산화막 두께 $t_{\text{SiO}_2(\text{eff})}$ 의 계산

이 요구되어지는데 이에 대한 식들은 다음과 같이 나타낼 수 있다[12].

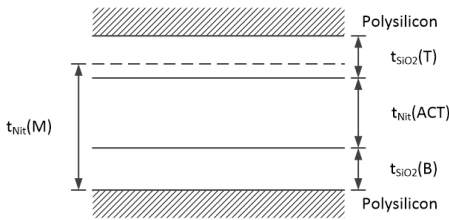


그림 2. SONOS 커패시터 단면도

Fig. 2 The cross section of SONOS capacitor

$$t_n(act) = t_n(M) - \frac{2}{3}t_{sio_2(T)} - \frac{2}{3}t_{sio_2(B)} \quad (1)$$

$$t_n(eff) = t_n(act) \times \frac{\epsilon_{sio_2}}{\epsilon_n} \quad (2)$$

$$t_{sio_2}(eff) = t_n(eff) + t_{sio_2(T)} + t_{sio_2(B)} \quad (3)$$

$$C_s = \frac{\epsilon_{sio_2} \times S}{t_{sio_2}(eff)} \quad (4)$$

식(1) - 식(4)에서

$t_{sio_2(B)}$: bottom oxide thickness

$$\epsilon_{sio_2} = 3.8\epsilon_0$$

$$\epsilon_n = 6.5\epsilon_0$$

$t_{sio_2(T)}$: top oxide thickness

S : cell area

$t_n(eff)$: nitride effective thickness

$t_{sio_2}(eff)$: oxide effective thickness

본 실험에서 측정된 하층산화막과 상층산화막은 각각 10Å이며 초기 질화막 증착 두께가 70Å으로 했을 때 식(3)에 의한 산화막 유효 두께는 52.9Å이다. 또한 적층형 커패시터의 면적에 해당하는 셀 면적을 5.5 μm² 으로 했을 때 식(4)에 의해서 얻어지는 커패시턴스는 약 35 fF으로 확인되었다. 이들 질화막 두께와 산화막 유효 두께 사이의 관계를 기존의 non L/L 장치와 비교하여 그림 3에 나타내었다.

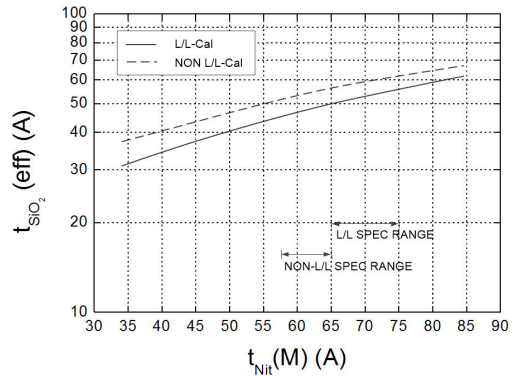


그림 3. 질화막 두께에 따른 산화막 유효 두께
Fig. 3 The effective oxide thickness according to the nitride film thickness

그림에서 예측할 수 있는 바와 같이 같은 질화막 70Å에 대하여 L/L 장치의 경우는 산화막 유효두께가 약 52.9Å에 비해 non L/L 장치에서는 약 59Å로 셀 커패시턴스로 환산시 3~4 fF의 차이가 있음을 확인할 수 있다. 더불어 기존의 장치에서 동일 커패시턴스 확보를 위해서는 유전막의 박막화가 이루어져야 하며 이는 박막 형성에서의 이상 산화 발생 등 여러 가지 공정 관리의 어려움을 초래할 것으로 해석할 수 있다.

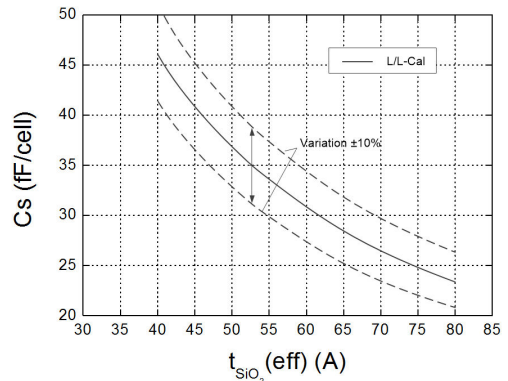


그림 4. 산화막 유효두께에 따른 셀 커패시턴스
Fig. 4 Cell capacitance according to the effective oxide thickness

그림 4는 L/L 장치에서의 산화막 유효 두께에 따른 셀 커패시턴스를 나타낸 것으로 질화막 두께 65~75Å은 식(3)에 의해 산화막 유효두께 50.0~55.8Å에 해당되며, 이에 따른 셀 커패시턴스의 공정 관리 규격

은 식(4)에 의해 중앙값인 산화막 유효두께 52.9Å의 ±10%에 해당되는 약 31.5~38.5 fF임을 확인 할 수 있다.

3.2 질화막 두께에 따른 셀 커패시턴스

L/L LPCVD 장치를 이용한 시료들의 셀 커패시턴스를 조사하기 위하여 질화막의 두께 대비 셀 커패시턴스의 분포를 그림 5에 나타내었다.

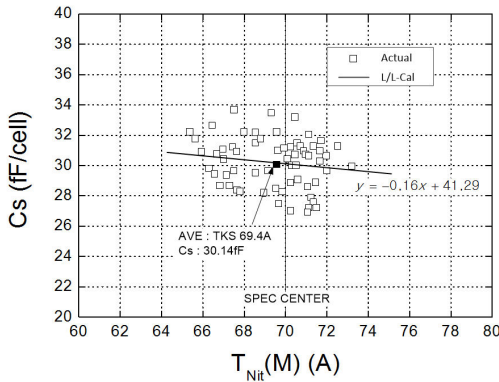


그림 5. 질화막 두께에 따른 셀 커패시턴스 분포
Fig. 5 Cell capacitance distribution according to nitride film thickness

그림에서 보는바와 같이 질화막의 막 두께는 spec 중앙값을 중심으로 약 ±5%의 편차를 갖는 정상적인 분포를 나타내고 있으나 질화막 두께에 따른 Cs 용량의 상관 관계식은 $y = -0.16x + 41.29$ 와 같으며, 앞의 그림 4에 나타난 예측값 35fF보다 대략 3~6 fF 정도 하향 분포를 하고 있는 것으로 조사되었다. 또한 동일 질화막 두께에서의 셀 커패시턴스의 편차가 약 ±10%로 비교적 크게 차이가 나타나는데 이는 절연막의 두께 이외에 Cs의 하향에 기여하는 공정 파라미터가 있는 것으로 추정할 수 있다.

L/L 장치가 대용량 batch 형태이므로 zone별 두께 유의차 및 Cs를 확인하였으나 그림 6에서와 같이 로딩 zone에 따른 Cs의 변화가 나타나지 않았다.

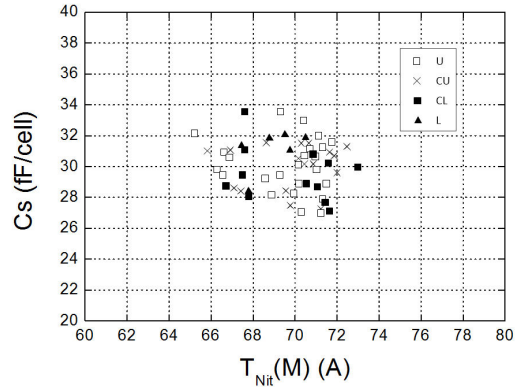


그림 6. Zone별 질화막 두께에 따른 셀 커패시턴스
Fig. 6 Cell capacitance according to the nitride film thickness per zone

3.3 Node poly FI CD와 셀 커패시턴스

셀 커패시턴스에 영향을 미치는 파라미터에서 절연막의 두께와 함께 철저히 관리되어야 할 요소는 커패시터의 표면적과 관련된 CD이다. 본 시료에 사용되어진 적층형 커패시터는 그림 1에서와 같이 커패시터의 하부 전극인 node poly가 bit line으로서의 역할을 하고 있고, 이를 위하여 MOS 트랜지스터의 소오스와 접촉을 이루어야 한다. 이와 같은 접촉 홀을 본 실험에서는 SCNT CD로 하였으며, 또한 1.5 Fin의 적층형 커패시터의 노드 폴리과 노드 폴리 사이의 space를 SG CD라 정의하였다. 그러므로 적층형 커패시터가 완성된 후의 이들 FI CD는 커패시터의 표면적과 밀접한 관련이 있으므로 셀 커패시턴스가 하향 분포한 시료들에 대한 SCNT 및 SG CD를 조사하여 그림 7, 8에 나타내었다.

그림 7과 8에서와 같이 SCNT 및 SG FI CD가 대부분 spec center에서 상한으로 나타나 있음을 알 수 있다. SCNT CD 상한의 의미는 콘택 홀이 커지는 의미로 Fin type node poly의 표면적을 저감시키는 원인이 되며 SG CD는 node poly 사이의 space이므로 CD가 증가하면서 역시 node poly의 표면적을 축소시키는 결과를 초래하므로 이들 CD의 상한 결과는 식(4)에서의 표면적 S를 감소시키는 방향이므로 이로 인한 Cs의 저감 경향이 나타난 것으로 해석할 수 있다.

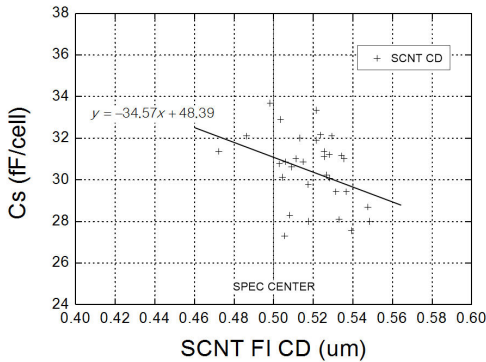


그림 7. SCNT FI CD와 셀 커패시턴스
Fig. 7 SCNT FI CD vs cell capacitance

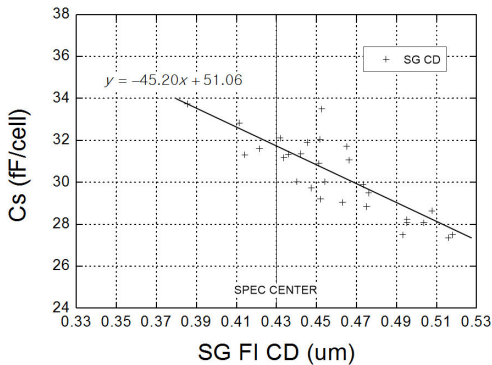


그림 8. SG FI CD와 셀 커패시턴스
Fig. 8 SG FI CD vs cell capacitance

그림 7은 node poly가 형성되어질 부분에 대한 SCNT CD와 Cs의 관계를 나타낸 것으로 CD가 커짐에 따라 Cs가 감소하는 경향은 보이지만 그림 8과 같은 node poly간 space CD 만큼 뚜렷한 분포는 보이지 않으며 CD 관리도 약 15%의 범위에 있음을 확인할 수 있다. 이 때 SCNT와 SG의 FI CD spec은 각각 $0.5 \pm 0.1 \mu\text{m}$, $0.43 \pm 0.1 \mu\text{m}$ 이다. 그림 8은 node poly 사이의 space 조사 결과를 나타낸 것으로 SG FI CD와 셀 커패시턴스의 상관 관계는 분명한 일차 방정식 ($y = -45.2x + 51.06$)으로 분포하고 있고, CD $0.02 \mu\text{m}$ 의 변화에 대하여 약 1fF의 Cs 변화를 예측할 수 있다. 또한 CD 관리 분포가 약 32%로 CD deviation이 크므로 SG CD 관리가 Cs에 미치는 영향이 대단히 높음을 확인할 수 있다. 따라서 SG 및 SCNT CD 규격의 엄격한 공정 관리와 철저한 중심

값의 관리만으로도 약 2fF 이상의 Cs 향상에 기여할 것으로 해석할 수 있다.

VI. 결 론

본 연구에서는 반도체 메모리소자에서 중요한 요소의 하나인 커패시터의 제작 과정에서 이들 공정 조건이 셀 커패시턴스에 미치는 영향을 조사하였다. 그 결과 적층형 다층절연막 형성 공정에서 하층산화막의 박막화를 위한 L/L 장치를 사용함으로써 하층산화막의 성장을 억제할 수 있고 이로 인한 약 3-4 fF의 Cs 향상을 기대할 수 있다.

특히 node poly 형성 FI CD의 중앙값과 deviation 관리를 통하여 약 2fF의 Cs 향상을 고려할 수 있으며 SG CD 관리가 Cs에 직접적인 영향을 미치고 있음을 확인할 수 있었다. 따라서 node poly 표면적에 영향을 미칠 수 있는 CD와 절연막 두께의 총 variation을 $\pm 10\%$ 이내의 엄격한 공정 관리가 필요하며 이는 양산 공정에서의 신뢰성 있고 안정적인 소자 제조에 기여할 수 있을 것으로 판단된다.

References

- [1] S. Mori, E. Sakagami, H. Araki, Y. Kaneko, K. Narita, Y. Ohshima, N. Aria, and K. Yoshikawa, "ONO inter-poly dielectric scaling for nonvolatile memory applications," *IEEE Trans. Electron Devices*, vol. 38, no. 2, Feb. 1991, pp. 386-391.
- [2] S. Mun, S. Kang, and Y. Joung, "A study on the DC parameter matching according to the shrink of $0.13 \mu\text{m}$ technology," *J. of The Korea Institute of Electronic Communication Science*, vol. 9, no. 11, 2014, pp. 1227-1232.
- [3] S. Mun, S. Kang and Y. Joung, "A study on Flicker Noise Improvement by Decoupled Plasma Nitridation," *J. of The Korea Institute of Electronic Communication Science*, vol. 9, no. 7, 2014, pp. 747-752.
- [4] K. Wu, C. Pan, J. Shaw, P. Freiberger, and G. Sery "A model for EPROM intrinsic charge loss through ONO interpoly dielectric," *IEEE*

Reliability Physics Symposium, 28th Annual Proceedings. Yokohama, Japan, March, 1990, pp. 145-149.

- [5] C. Pan, K. Wu, P. Freiburger, and G. Sery, "A scaling methodology for oxide-nitride-oxide interpoly dielectric for EPROM applications," *IEEE Trans. Electron Devices*, vol. 37, no. 6, 1990, pp. 1439-1443.
- [6] W. Yoon, Y. Joung, and S. Kang "Study on the Trap Parameters according to the Nitridation Conditions of the Oxide Films," *J. of The Korea Institute of Electronic Communication Science*, vol. 11, no. 5, 2016, pp. 473-478.
- [7] J. Jeong, S.Kang, and Y. oung, "Influence of the process for the amorphous silicon on the HSG-Si formation," *J. of The Korea Institute of Electronic Communication Science*, vol. 10, no. 11, 2015, pp. 1251-1256.
- [8] Y. Ohji, T. Kusaka, I. Yoshida, A. Hiraiwa, K. Yagi, K. Mukai, and O. Kasahara, "Reliability of nano-meter thick multi-layer dielectric films on polycrystalline silicon," *IEEE Physics Symposium, 25th Annual*, Sandiego, CA, USA, April, 1987, pp. 55-59.
- [9] M. Nakano, H. Kotaki, S. Kakimoto, K. Mitsuhashi, and J. Takagi, "Low Temperature and Facet Free Epitaxial Silicon Growth by Contamination Restrained Load Lock LPCVD System," *Extended Abstracts of the 1994 International Conference on Solid State Devices and Materials*, Yokohama, 1994, pp. 482-484.
- [10] H. Kotaki, M. Nakano, Y. Takegawa, S. Kakimoto, Y. Mori, K. Mitsuhashi, J. Takagi, S. Tsuchimoto, and Y. Akagi, "Novel Elevated Silicide Source / Drain by Load Lock LPCVD-Si and Advanced Silidation Processing," *IEEE International Electron Device Meeting 93*, Tokyo, Japan, December, 1993, pp. 839-842.
- [11] Y. Joung, S. Mun, and S. Kang, "Improvement of gate CD imbalance for 0.35 μm logic technology," *Materials Science in Semiconductor Processing*, vol. 7, 2004, pp. 51-54.
- [12] S.M. Sze, *VLSI Technology*, Singapore: McGraw-Hill 2002.

저자 소개



정윤근(Yeun-Gun Chung)

1983년 중앙대학교 물리학과 졸업(이학사)
1985년 중앙대학교 대학원 물리학과 졸업(이학석사)

1988년 중앙대학교 대학원 물리학과 졸업 (공학박사)
현재 전남대학교 기계설계공학부 교수
※ 관심분야 : 반도체 특성 분석 및 simulation



강성준(Seong-Jun Kang)

1989년 인하대학교 응용물리학과 졸업(공학사)
1994년 인하대학교 대학원 전자재료공학과 졸업(공학석사)

1999년 인하대학교 대학원 전자재료공학과 졸업 (공학박사)
현재 전남대학교 전기및반도체공학과 교수
※ 관심분야 : 기능성박막, 반도체공정 및 재료



정양희(Yang-Hee Joung)

1983년 단국대학교 응용물리학과 졸업(공학사)
1985년 인하대학교 대학원 응용물리학과 졸업(공학석사)

1993년 인하대학교 대학원 전자재료공학과 졸업 (공학박사)
1995년 ~현재 전남대학교 전기및반도체공학과 교수
※ 관심분야 : 반도체 공정 및 물성