

# 넓은 입력 전압 범위에서 작은 트랜스포머 오프셋 전류를 가지는 비대칭 하프-브리지 컨버터

한정규<sup>1</sup>, 김종우<sup>2</sup>, 문건우<sup>†</sup>

## An Asymmetric Half-Bridge Converter with Reduced Transformer Offset Current in Wide Input Voltage Range

Jung-Kyu Han<sup>1</sup>, Jong-Woo Kim<sup>2</sup>, and Gun-Woo Moon<sup>†</sup>

### Abstract

An asymmetric half-bridge is one of the most promising topology in low-power application because of its small number of components and inherent zero-voltage switching capability. However, when it is designed taking into a hold-up time, it has large transformer offset current and small transformer turns-ratio, which severely decreases the total efficiency of s converter. In this paper, a new boost-integrated asymmetric half-bridge converter is proposed to solve these problems. The integrated boost converter compensates the hold-up time, thus facilitating optimal design in nominal state. As a result, the proposed converter can achieve high efficiency in nominal state. To verify the effectiveness of the proposed converter, an experiment is conducted using a 250-400 V input and 45 V/3.3 A output prototype.

**Key words:** DC/DC converter, Asymmetric half-bridge converter, Transformer offset current

### 1. 서 론

TV나 PC와 같은 많은 어플리케이션에서, 파워서플라이는 입력 AC 전원이 끊어져도 일정 시간동안 동작 할 수 있어야 한다. 일반적으로 수십 mS 동안 회로가 동작 할 수 있어야 하며, 이는 홀드-업 시간이라고 불린다 [1]-[2]. 그림 1(a)에서 볼 수 있듯이, 홀드-업 시간동안 DC/DC 컨버터는 PFC 컨버터와 DC/DC 컨버터 사이에 있는 링크 커패시터에 저장된 에너지를 통해 출력 파워를 전달하기 때문에, 홀드-업 시간동안 링크 커패시터의 전압은 계속하여 감소하게 된다. 이 링크 커패시터의 전압은 곧 DC/DC 컨버터의 입력 전압이 되기 때문에, 그림 1(b)에서 볼 수 있듯이, DC/DC 컨버터는 홀드-업

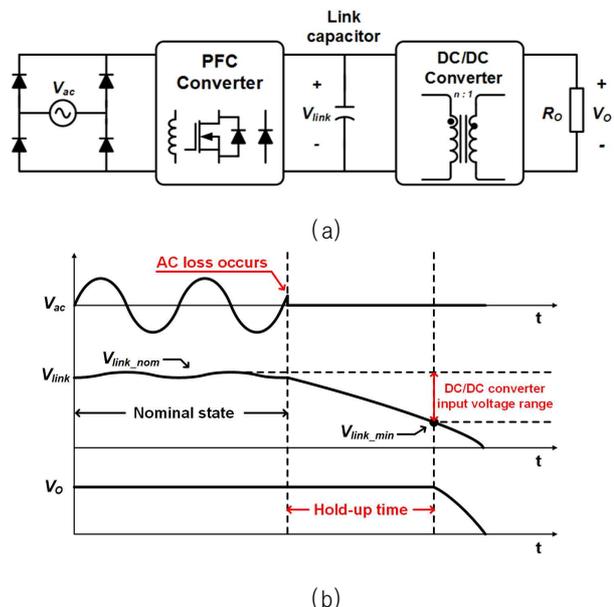


Fig. 1. General power supply. (a) Structure of power supplies, (b) operation during the hold-up time

시간을 고려하게 되면 넓은 입력전압 범위에서 설계 되어야 한다는 특징이 있다.

다양한 DC/DC 컨버터 토폴로지 중, 그림 2(a)의 비대

Paper number: TKPE-2017-22-5-8

Print ISSN: 1229-2214 Online ISSN: 2288-6281

<sup>†</sup> Corresponding author: gwmooon@kaist.ac.kr, School of Electrical Engineering, KAIST

Tel: +82-42-350-8075 Fax: +82-42-350-8520

<sup>1</sup> School of Electrical Engineering, KAIST

<sup>2</sup> Future Energy Electronics Center, Virginia Tech

Manuscript received June 22, 2017; revised July 15, 2017; accepted Aug. 15, 2017

— 본 논문은 2016년 전력전자학술대회 우수추천논문임

— 본 논문은 2016년 전력전자학술대회 외부장학금 수혜논문임

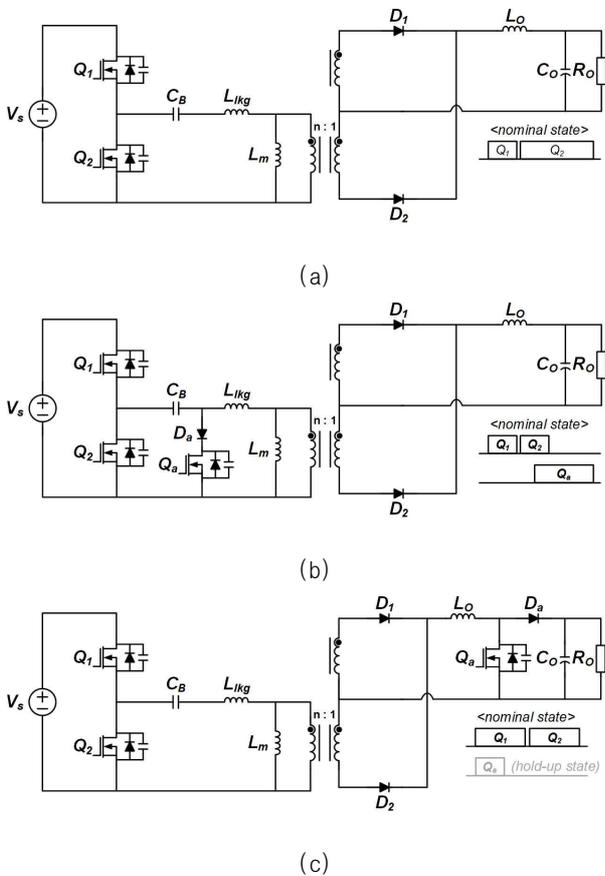


Fig. 2. Various AHB converters. (a) Conventional AHB converter, (b) duty-cycle-shifted(DCS) HB converter, (c) boost-cascaded AHB converter.

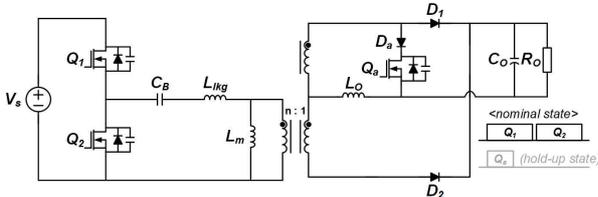


Fig. 3. The proposed converter.

칭 하프-브리지 컨버터는 작은 소자수를 가지고, 영전압 스위칭이 가능한 특징으로 인해 낮은 파워 어플리케이션에서 널리 쓰이는 토폴로지 중 하나이다<sup>[3]-[5]</sup>.

그러나, 비대칭 하프-브리지 컨버터는 넓은 입력 전압 범위에서 설계되면 많은 문제점을 가지게 된다. 먼저, 비대칭 하프-브리지 컨버터는 시비율이 0.5일 때 가장 큰 전압이득을 가지기 때문에 입력 전압이 높을 때 낮은 시비율로 동작하게 된다. 이로 인해 트랜스포머에 큰 오프셋 전류를 야기하여 트랜스포머의 크기와 손실을 증가시키게 된다. 또한, 트랜스포머의 턴 비가 가장 낮은 입력 전압에서 설계되기 때문에, 작은 턴 비를 가져 1차측 RMS 전류와 2차측 정류기 다이오드의 전압 스트레스가 커지게 된다<sup>[6]</sup>.

비대칭 하프-브리지 컨버터의 이러한 문제점들을 해결하기 위해 다양한 연구들이 진행되어왔다<sup>[7]-[9]</sup>. 그 중,

그림 2(b)의 시비율 천이 하프-브리지 컨버터<sup>[8]</sup>는 기존의 하프-브리지 컨버터 처럼 스위치를 대칭적으로 컨트롤함으로써 트랜스포머의 오프셋 전류를 제거하고, 추가적인 스위치를 통해서 영전압 스위칭도 가능하게 할 수 있다. 하지만, 추가 소자에 의해 도통 손실이 증가하고, 여전히 트랜스포머가 작은 턴 비를 갖는다는 단점이 있다.

또 다른 방법으로, 그림 2(c)의 부스트 직렬 연결 비대칭 하프-브리지 컨버터가 제안되었다<sup>[9]</sup>. 이 회로는 기존의 비대칭 하프-브리지 컨버터의 출력 인덕터와 부스트 컨버터의 인덕터를 병합하여 만들어 진다. 회로가 넓은 입력 전압에서 동작 할 때, 입력 전압이 낮을 경우 부스트 컨버터의 높은 전압 이득을 통해 출력 전압을 제어 할 수 있기 때문에 비대칭 하프-브리지 컨버터가 높은 입력 전압에서도 큰 시비율로 동작 할 수 있다. 또한, 부스트 컨버터의 추가적인 전압 이득으로 인해 트랜스포머가 큰 턴 비를 갖게 되어 1차측 RMS 전류와 2차측 다이오드의 전압 스트레스가 줄어든다는 장점이 있다. 하지만, 부스트 컨버터가 동작하지 않는 동안에도 부스트 컨버터의 다이오드가 출력 전류의 도통 경로에 있어 큰 도통 손실을 유발한다는 문제점이 있다. 따라서 추가적인 도통 손실을 유발하지 않으면서, 트랜스포머 오프셋 전류를 줄이고, 큰 턴 비를 가질 수 있는 비대칭 하프-브리지 컨버터에 대한 연구가 필요하다.

본 논문에는 비대칭 하프-브리지 컨버터의 2차측 정류기에 새로운 방식으로 부스트 컨버터를 병합한 회로를 제안한다. 제안하는 회로는 기존의 방식과 달리 비대칭 하프-브리지 컨버터의 출력 인덕터 뿐 아니라, 정류기 다이오드 또한 부스트 컨버터의 다이오드로 활용한다. 따라서 제안하는 회로는 부스트 컨버터를 구성하기 위해 하나의 단방향 스위치만을 필요로 할 뿐 아니라, 부스트 컨버터의 다이오드에서 발생하던 도통 손실을 제거 할 수 있다. 따라서, 제안하는 회로는 추가적인 손실을 야기하지 않으면서, 기존의 비대칭 하프-브리지 컨버터가 가지는 트랜스포머의 오프셋 전류를 크게 줄이고, 트랜스포머가 큰 턴 비를 가질 수 있게 한다. 그러므로 제안하는 회로는 홀드-업 조건을 만족하면서 노미널 동작시에 고효율로 동작 할 수 있게 된다.

## 2. 제안하는 컨버터와 동작 원리

그림 3은 제안하는 회로를 나타낸다. 앞서 언급 하였듯이, 제안하는 회로는 비대칭 하프-브리지 컨버터의 출력 인덕터  $L_o$ 와 정류기 다이오드  $D_1$ 을 부스트 컨버터의 인덕터와 다이오드로 사용한다. 단방향 스위치를 구현하기 위해  $Q_a$ 와  $D_a$ 가 추가로 삽입되었다. 그림에서 볼 수 있듯이, 제안하는 회로는 노미널 동작 시 부스트 컨버터가 동작하지 않기 때문에 기존의 비대칭 하프-브리지 컨버터와 똑같은 구조로 동작하게 된다. 제안하는 회로

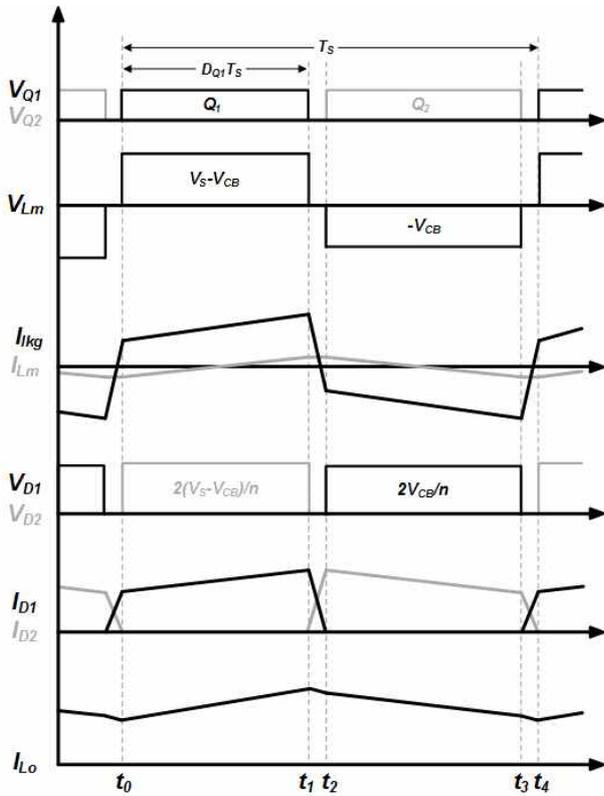


Fig. 4. Key waveforms in the nominal state.

는 노미널 동작 시와 홀드-업 동작 시에 동작 원리가 다르므로 각각의 동작에 대해서 분석이 필요하다.

### 2.1 노미널 동작 시 동작 원리

제안하는 회로는 노미널 동작 시, 추가 소자가 동작하지 않기 때문에 기존의 비대칭 하프-브리지 컨버터와 같은 동작을 한다. 이상적인 경우, 제안하는 회로는 노미널 스테이트에서 0.5의 시비율로 동작해야 하지만, DC/DC 컨버터의 입력 전압이 되는 PFC 컨버터의 출력이 120Hz의 리플 성분을 가지고 있기 때문에, 리플 성분을 레귤레이션 하기 위해 노미널 상태에서 약간의 비대칭 동작을 고려하였다. 노미널 동작 시 주요 동작 파형이 그림 4에 나타나있으며, 전류 도통 경로는 그림 5에 나타나 있다.

**Mode 1( $t_0 \sim t_1$ ):** 그림 5(a)에서 볼 수 있듯이, mode 1에서는 스위치  $Q_1$ 은 켜져있으며, 스위치  $Q_2$ 는 꺼져있다. 누설 인덕턴스  $L_{lkg}$ 는 트랜스포머의 자화 인덕턴스  $L_m$ 에 비해 매우 작으므로,  $V_S - V_{CB}$ 의 전압이 자화 인덕터에 인가된다. 이 때,  $V_{CB}$ 는 트랜스포머의 자화 인덕턴스에 전압·시간 평형을 적용하면 아래와 같은 식을 통해 구할 수 있다.

$$(V_S - V_{CB})DT_S - V_{CB}(1 - D)T_S = 0 \quad (1)$$

$$V_{CB} = DV_S \quad (2)$$

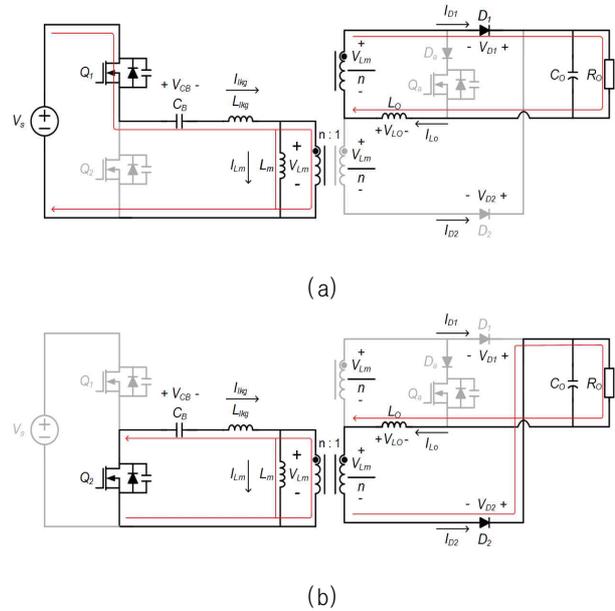


Fig. 5. Current path in the nominal state. (a) mode 1, (b) mode 2.

이로 인해 자화 인덕터에 흐르는 전류는  $(1-D)V_S/L_m$ 의 기울기를 가지고 양의 방향으로 증가하게 된다. 이 때, 2차측 정류기의 전압 스트레스는 트랜스포머에 인가되는 전압과 턴 비에 의해 결정 되므로,  $(1-D)V_S/n$ 의 전압이 2차측으로 넘어가게 되며, 정류기 다이오드  $D_1$ 을 도통시킨다. 따라서 출력 전류는  $D_1$ 에서 출력 인덕터  $L_o$ 를 통해 전달되며, 출력 인덕터에는  $(1-D)V_S/n - V_o$ 의 전압이 인가되어 인덕터 전류는 증가하게 된다.

**Mode 2( $t_1 \sim t_2$ ):** 그림 5(b)에서 볼 수 있듯이, mode 2에서는 스위치  $Q_1$ 이 꺼지고 스위치  $Q_2$ 가 동작하게 된다. Mode 1과 마찬가지로, 누설 인덕턴스  $L_{lkg}$ 는 트랜스포머의 자화 인덕턴스  $L_m$ 에 비해 매우 작으므로,  $-V_{CB}$ 의 전압이 자화 인덕터에 인가된다. 이로 인해 자화 인덕터에 흐르는 전류는  $-DV_S/L_m$ 의 기울기를 가지고 음의 방향으로 감소하게 된다. 트랜스포머에 음의 전압이 인가되기 때문에 2차측의 정류기 다이오드  $D_2$ 가 도통되고, 출력 전류는  $D_2$ 와 출력 인덕터  $L_o$ 를 통해 전달된다. 출력 인덕터에는  $-DV_S/n - V_o$ 의 전압이 인가되어 인덕터 전류는 감소하게 된다.

Mode 1과 mode 2에서 컨버터가 비대칭 적인 시비율로 동작하게 되면, 1차측  $C_B$ 에 흐르는 전하·시간 평형을 맞추기 위해 아래와 같은 오프셋 전류가 발생하게 된다.

$$\left(\frac{I_o}{n} + I_{offset}\right)DT_S + \left(-\frac{I_o}{n} + I_{offset}\right)(1 - D)T_S = 0 \quad (3)$$

$$I_{offset} = (1 - 2D)\frac{I_o}{n} \quad (4)$$

수식에서 볼 수 있듯이, 기존의 비대칭 하프-브릿지

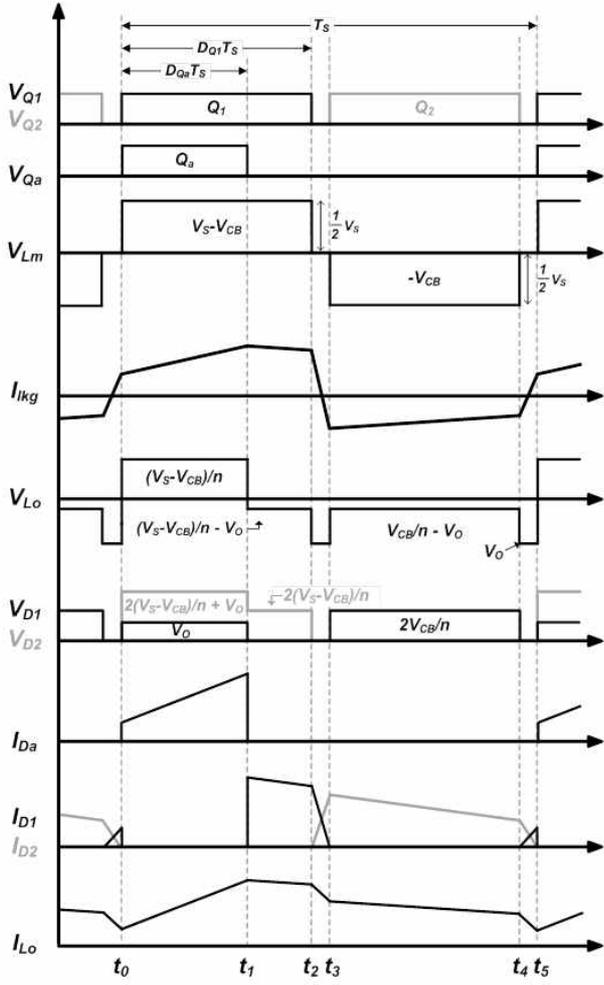


Fig. 6. Key waveforms in the hold-up state.

컨버터는 비대칭 적인 시비율로 인해 큰 오프셋 전류를 갖지만, 제안하는 컨버터는 0.5에 가까운 시비율을 사용하기 때문에 작은 트랜스포머 오프셋 전류를 갖게 된다. 또한, 앞서 언급하였듯이 노미널 동작 시에는 부스트 스위치  $Q_a$ 가 동작하지 않기 때문에, 노미널 동작 시 추가적인 손실을 야기하지 않는다.

### 2.2 홀드-업 동작 시 동작 원리

AC line이 사라지고, 홀드-업 상황이 일어나게 되면 링크 전압의 감소로 인하여 DC/DC 컨버터의 입력전압이 낮아지게 된다. 이를 보상하기 위해 제안하는 회로는 추가 스위치  $Q_a$ 를 동작시켜 부스트 컨버터의 높은 전압 이득을 통해 출력 전압을 제어 한다. 홀드-업 동작 시 주요 파형이 그림 6에 나타나 있으며, 전류 도통 경로는 그림 7에 나타나 있다.

**Mode 1( $t_0 \sim t_1$ ):** 그림 7(a)에서 볼 수 있듯이, mode 1에서는 스위치  $Q_1$ 과 추가 스위치  $Q_a$ 가 켜진다.  $V_S - V_{CB}$ 가 트랜스포머의 자화 인덕터에 인가되며, 이에 따라 2차측에는  $(1-D)V_S/n$ 의 전압이 인가된다. 추가 스

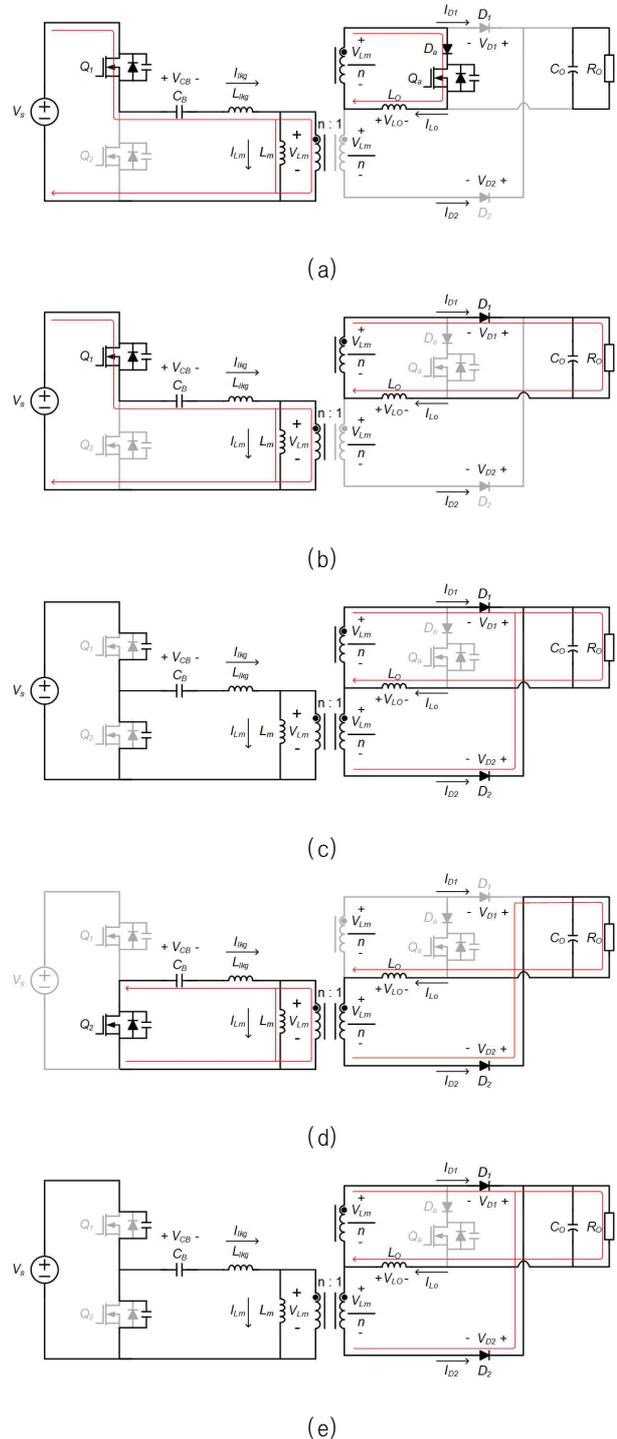


Fig. 7. Current path in the hold-up state. (a) mode 1, (b) mode 2, (c) mode 3, (d) mode 4, (e) mode 5.

스위치  $Q_a$ 가 켜져있으므로,  $(1-D)V_S/n$ 의 전압이 출력인덕터에 그대로 인가되며, 이에 따라 출력 인덕터에 흐르는 전류는  $(1-D)V_S/nL_0$ 의 기울기로 증가하게 된다. 이 때, 추가 스위치가 꺼짐에 따라  $D_1$ 에 인가되는 전압인  $V_0$ 가  $D_2$ 에 더해져 전압 스트레스가 약간 증가하게 된다.

**Mode 2( $t_1 \sim t_2$ ):** 그림 7(b)에서 볼 수 있듯이, mode 2에서는 스위치  $Q_a$ 가 꺼진다.  $V_{D1}$ 이 0이 됨에 따

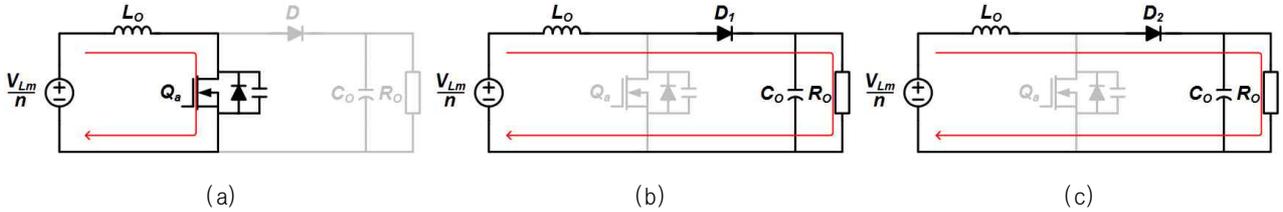
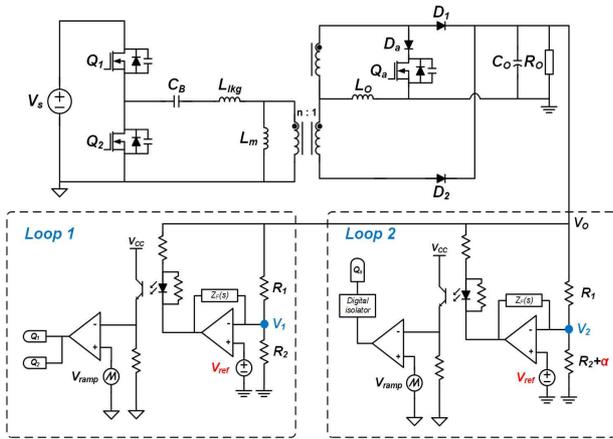
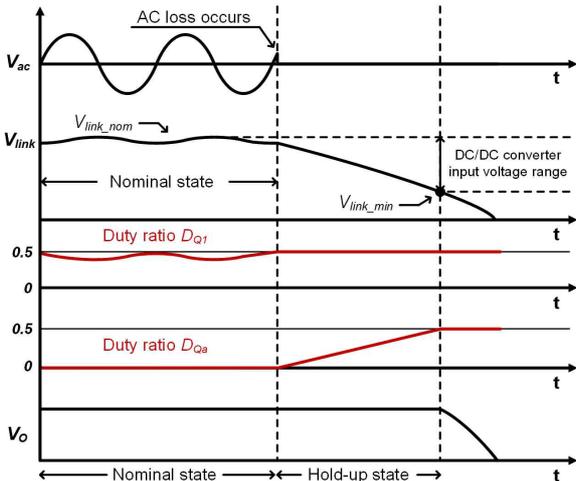


Fig. 8. Equivalent circuit during the hold-up time. (a) mode 1, (b) mode 2, (c) mode 4.



(a)



(b)

Fig. 9. Transient during the hold-up time. (a) Control loop, (b) key waveform.

라 정류기 다이오드  $D_1$ 이 도통되게 되고, 출력 전류는  $D_a$ 에서  $D_1$ 으로 흐르게 된다. 이에 따라 출력 인덕터에 인가되는 전압은  $(1-D)V_s/n-V_o$ 가 되며, 인덕터 전류는  $((1-D)V_s/n-V_o)/L_o$ 의 기울기로 감소하게 된다.

**Mode 3( $t_2 \sim t_3$ ):** 그림 7(c)에서 볼 수 있듯이, mode 3에서는 스위치  $Q_1$ 이 꺼진다. 트랜스포머의 자화 인덕터에 인가되는 전압이 0으로 감소하게 되고, 1차측에 흐르는 전류는 급격하게 감소하게 된다. 이에 따라 정류기 다이오드  $D_1$ 을 통해 흐르던 전류가 감소하게 되고, 감소한 만큼 다이오드  $D_2$ 를 통해 흐르는 전류가 증가하게

된다. 이 모드는 다이오드  $D_1$ 을 통해 흐르는 전류가 0이 되면 끝나게 된다.

**Mode 4( $t_3 \sim t_4$ ):** 그림 7(d)에서 볼 수 있듯이, mode 4에서는 스위치  $Q_2$ 가 켜진다. 정류기 다이오드의 커뮤테이션이 끝난 후, 출력 전류는 모두  $D_2$ 를 통해 흐르게 된다. 출력 전류는 mode 2와 비슷하게 여전히  $(V_{CB}/n-V_o)/L_o$ 의 기울기로 감소한다. mode 4와 mode 2는 출력 전류의 도통 경로가  $D_1$ 에서  $D_2$ 로 바뀐 것을 제외하고는 같은 동작을 하는 것을 알 수 있다.

**Mode 5( $t_4 \sim t_5$ ):** 그림 7(e)에서 볼 수 있듯이, mode 5에서는 스위치  $Q_2$ 가 꺼진다. Mode 3과 비슷하게, 트랜스포머의 자화 인덕터에 걸리는 전압이 0이 되고, 정류기 다이오드  $D_1$ 과  $D_2$ 사이에서 전류 커뮤테이션이 일어난다.

Fig. 8은 홀드-업 동작 시 제안하는 회로의 등가 회로를 나타낸 그림이며, 이를 통해 제안하는 회로가 추가 스위치를 통해 전압을 증가시키는 이유를 쉽게 이해할 수 있다. Fig. 8(a)는 mode 1에서의 등가 회로이며, 2차측 정류기 전압인  $V_{Lm}/n$ 를 입력 전원으로 하는 부스트 컨버터에서 스위치가 켜진 모드와 같다. Fig. 8(b)는 mode 2의 등가 회로이며, 부스트 컨버터에서 인덕터에 저장된 에너지가 출력으로 전달되는 모드와 같다는 것을 알 수 있다. 또, mode 3을 거쳐 도통되는 다이오드가  $D_2$ 로 바뀌게 되고, 이는 Fig. 8(c)와 같이 나타낼 수 있다. 따라서 제안하는 컨버터는 홀드-업 동작 시 부스트 컨버터가 직렬로 연결된 형태와 같은 동작을 하게 된다.

### 2.3 과도 동작 시 동작 원리

제안하는 회로는 노미널 동작 시에는 추가 스위치가 동작하지 않고 1차측 스위치가 출력 전압을 제어하며, 홀드-업 동작 시에는 1차측 스위치는 0.5로 고정된 채, 추가 스위치를 통해 출력 전압을 제어한다. 그림 9(a)는 제안하는 컨버터를 제어하기 위한 피드백 회로이다. 제어 회로는 Loop1과 Loop2의 2가지 제어 루프를 가지고 있으며, 각각의 루프는 출력 전압을 받아 독립적으로 동작한다. 동일한 출력 전압  $V_o$ 를 저항 분배를 통해 레퍼런스 전압( $V_{ref}$ )와 비교하지만,  $V_1=V_o \cdot R_2/(R_1+R_2)$ 이고,  $V_2=V_o \cdot (R_2+a)/(R_1+R_2+a)$ 이기 때문에,  $V_2$ 에 더 큰 전압이 인가된다. 따라서 노미널 동작 시에는 Loop1이 출력 전압을 제어하기 때문에  $V_2$ 는 항상  $V_{ref}$ 보다 큰 전압을

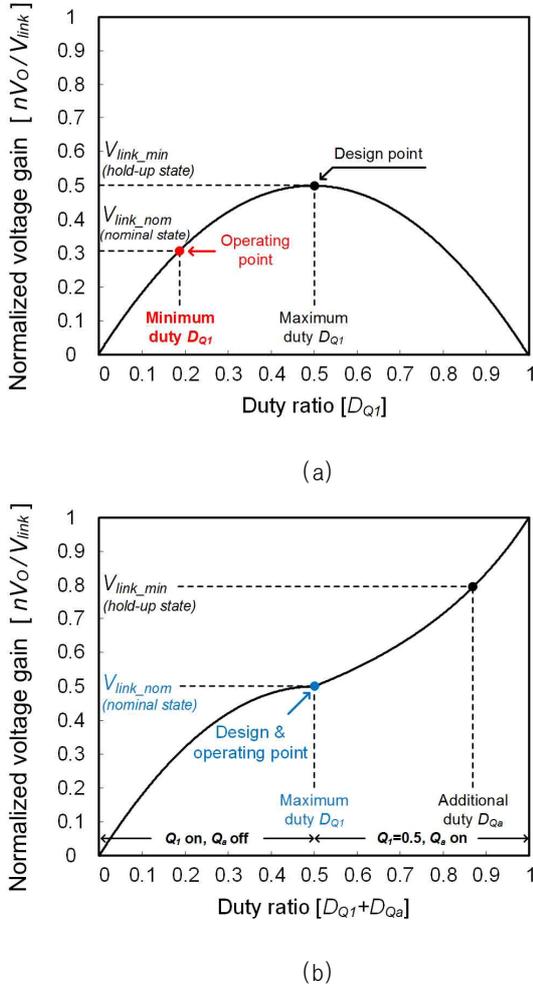


Fig. 10. Normalized voltage gain graph. (a) The conventional AHB converter, (b) the proposed converter.

가져 Loop2는 동작하지 않는다. 그리고 AC loss가 일어나게 되어 입력전압이 낮아지게 되면, 1차측 스위치가 0.5가 되어도 출력 전압이 낮아지게 되고,  $V_2$ 가  $V_{ref}$ 와 같아지는 순간 Loop2가 동작하게 되어  $V_2 = V_{ref}$ 가 되는 출력 전압으로 제어하게 된다. 이 때,  $\alpha$ 값이 너무 커지게 되면 출력 전압이 낮게 제어되기 때문에 출력 전압의 리플 범위를 고려하여 적절히 설계되어야 한다.

그림 9(b)는 그림 9(a)의 제어 회로를 바탕으로, 과도 동작 시 동작 파형을 나타낸 것이다. 노미널 동작 시에는  $D_{Qa}$ 는 0으로 꺼진 채, 노미널 리플 전압을 제어하기 위해  $D_{Q1}$ 이 0.5 근처의 시비율로 동작하고 있다. AC loss가 일어나게 되어 링크 전압이 낮아지게 되면,  $D_{Q1}$ 은 0.5로 고정 된 채,  $D_{Qa}$ 가 증가하여 출력 전압을 제어한다. 출력 전압은  $D_{Qa}$ 가 0.5가 될때까지 유지되며, 이 시간이 홀드-업 시간이 된다.

### 3. 제안하는 컨버터의 분석

이 파트에서는, 제안하는 회로가 갖는 특징들이 분석될 것이다. 또한 효율성을 검증하기 위해 250-400V 입

력, 45V/3.3A의 출력에서, 제안하는 회로가 기존의 비대칭 하프-브리지 컨버터, 시비율 천이 하프-브리지 컨버터, 부스트-직렬 연결 컨버터와 비교·분석 될 것이다.

#### 3.1 전압이득

제안하는 회로는 노미널 동작 시 추가 스위치가 동작하지 않기 때문에 노미널 동작 시 제안하는 회로의 전압이득은 기존의 비대칭 하프-브리지 컨버터와 같다. 따라서 트랜스포머와 출력 인덕터에 각각 전압·시간 평형을 적용하면 아래와 같은 식을 얻게 된다.

$$\frac{V_O}{V_S} = \frac{2D_{Q1}(1-D_{Q1})}{n} \quad (5)$$

홀드-업 동작 시에는, 추가 스위치가 동작하여 제안하는 컨버터가 비대칭 하프-브리지 컨버터와 부스트 컨버터의 2-스테이지 구조가 된다. 트랜스포머와 출력 인덕터에 각각 전압·시간 평형을 적용하면 아래와 같은 식을 얻게 된다.

$$\frac{V_O}{V_S} = \frac{2D_{Q1}(1-D_{Q1})}{n} \frac{1}{1-D_{Qa}} \quad (6)$$

식 (1)과 (2)를 비교해 보았을 때, 홀드-업 동작 시의 전압 이득은 단순히 노미널 동작 시의 전압 이득에 부스트 컨버터의 전압 이득이 곱해진 형태라는 것을 알 수 있다. 앞서 언급하였듯이, 추가 스위치  $D_{Qa}$ 는  $D_{Q1}$ 보다 작아야 하므로, 최대 0.5의 시비율을 가질 수 있고, 이에 따라 부스트 컨버터는 최대 2배의 전압 이득을 얻을 수 있다.

#### 3.2 디자인 포인트 비교

식 (5)과 (6)를 통해, 기존의 비대칭 하프-브리지 컨버터와 제안하는 컨버터의 전압 이득 곡선을 얻을 수 있다. 그림 10(a)를 보면, 기존의 비대칭 하프-브리지 컨버터는 시비율이 0.5에 가까워질수록 큰 전압이득을 갖게 되는 것을 알 수 있다. 따라서 기존의 비대칭 하프-브리지 컨버터는 홀드-업 조건을 고려하면, 홀드-업 동작 시 가장 낮은 입력 전압( $V_{link\_min}$ )에서 가장 큰 시비율을 갖도록 설계되고, 이에 따라 입력 전압이 가장 높은 노미널 동작 시( $V_{link\_nom}$ )에 비대칭적으로 동작하게 되어 트랜스포머에 큰 오프셋 전류를 갖게 된다. 뿐만 아니라, 식 (5)에서 알 수 있듯이,  $V_{link\_min}$ 이 작아질수록 더 작은 트랜스포머 턴 비를 갖게 된다는 문제점이 있다.

반면, 제안하는 회로는 그림 10(b)와 같은 전압 이득 곡선을 갖는다. 노미널 동작 시에는, 추가 스위치가 작동하지 않기 때문에 기존의 비대칭 하프-브리지 컨버터와 같은 전압 이득 곡선을 가진다. 홀드-업 동작 시에는  $D_{Q1}$ 은 0.5로 고정 된 채, 추가 스위치  $D_{Qa}$ 가 작동하여

TABLE I  
DESIGN EXAMPLE

	Conventional AHB	DCS HB	Boost-cascaded AHB	Proposed
Specification	250-400V input, 45V/3.3A output			
Primary switches	IPP60R600(600V, 600mΩ)			
Duty-ratio in nominal state	0.19	0.3	0.38	0.38
DC offset current in the transformer ( $I_{Lm\_offset}$ )	1.02	0	0.19	0.19
Transformer core	PQ2620 (5490mm <sup>3</sup> )	PQ2020 (2790mm <sup>3</sup> )	PQ2020 (2790mm <sup>3</sup> )	PQ2020 (2790mm <sup>3</sup> )
Turns-ratio (n)	40:20:20	62:26:26	81:20:20	81:20:20
Voltage stress of rectifier diode1 (VD1)	76V	168V	75V	75V
Voltage stress of rectifier diode2 (VD2)	324V	168V	122V	122V
Rectifier diode (D1)	MBR20H150 (150V, 0.75VF)	MBR40250 (250V, 0.8VF)	MBR20H150 (150V, 0.75VF)	MBR20H150 (150V, 0.75VF)
Rectifier diode (D2)	IDT12S60C (600V, 1.2VF)	MBR40250 (250V, 0.8VF)	MBR40250 (250V, 0.8VF)	MBR40250 (250V, 0.8VF)

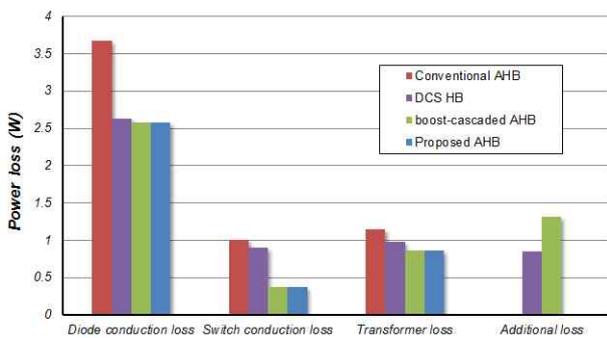


Fig. 11. Loss analysis of converters.

추가적인 전압 이득을 얻는다. 제안하는 방식은 홀드-업 동작 시에만 추가 스위치를 동작시켜 낮은 입력 전압을 보상하기 때문에, 노미널 동작시에 큰 시비율을 사용할 수 있게 되고, 비대칭 동작으로 인한 문제점들을 해결할 수 있게 된다. 또한 식(6)에서 볼 수 있듯이 트랜스포머 턴 비가  $V_{link\_min}$ 이 아닌 노미널 전압  $V_{link\_nom}$ 으로 설계되어 큰 턴비를 갖는 장점이 있다.

### 3.3 디자인 예제

앞선 내용들을 토대로, 실제 스펙에서 제안하는 회로와 기존 회로들을 설계해보았다. Table I에서 볼 수 있듯이, 제안하는 회로와 부스트 직렬 연결 비대칭 하프-브리지 컨버터, 시비율 천이 하프-브리지 컨버터는 노미널 동작 시에 대칭적으로 동작하여 작은 트랜스포머 오프셋 전류를 갖는다. 이로 인하여, 기존의 비대칭 하프-브리지 컨버터에 비해 작은 사이즈의 트랜스포머를 사용할 수 있게 되었다. 또, 제안하는 회로와 부스트 직렬 연결 비대칭 하프-브리지 컨버터는 큰 트랜스포머 턴 비를 가지기 때문에 다른 방식에 비하여 내압이 더 낮은 정류기 다이오드를 사용할 수 있게 되었다. 게다가

제안하는 회로는 시비율 천이 하프-브리지 컨버터나 부스트 직렬 연결 비대칭 하프-브리지 컨버터와 달리 추가소자에서 손실을 야기 시키지 않는다.

### 3.4 손실 분석

Table I을 바탕으로, 기존의 비대칭 하프-브리지 컨버터, 시비율 천이 하프-브리지 컨버터, 부스트 직렬 연결 비대칭 하프-브리지 컨버터, 제안하는 비대칭 하프-브리지 컨버터의 손실 분석을 진행하였다. Fig. 11에서 볼 수 있듯이, 기존의 비대칭 하프-브리지 컨버터는 높은 전압 레이팅의 다이오드를 사용하기 때문에 큰 포워드 드랍  $V_F$ 로 인해 많은 도통 손실을 발생시키는 반면, 다른 회로들은 상대적으로 작은 전압 레이팅의 다이오드를 사용하여 도통 손실을 저감시킬 수 있다. 또한, 트랜스포머의 턴 비 차이로 인해, 비대칭 하프-브리지 컨버터와 시비율 천이 하프-브리지 컨버터는 1차측에 큰 RMS 전류를 가지기 때문에 스위치와 트랜스포머에 많은 도통 손실을 야기한다. 마지막으로 다른 회로들과 달리 제안하는 회로는 추가 된 소자에서 손실이 발생하지 않아 높은 효율을 달성 할 수 있게 된다.

## 4. 실험 결과

본 장에서는 실험 결과를 통하여 제안하는 회로의 효용성을 검증하였다. 그림 12은 노미널 동작 시, 기존의 비대칭 하프-브리지 컨버터와, 시비율 천이 하프-브리지 컨버터, 부스트 직렬 연결 비대칭 하프-브리지 컨버터, 제안하는 컨버터의 실험 파형을 나타낸다. 앞서 설명했듯이, 그림 12(a)의 기존 비대칭 하프-브리지 컨버터는 작은 트랜스포머 턴 비로 인하여, 전체적으로 큰 1차측 RMS 전류와 큰 정류기 다이오드 전압 스트레스를 갖는

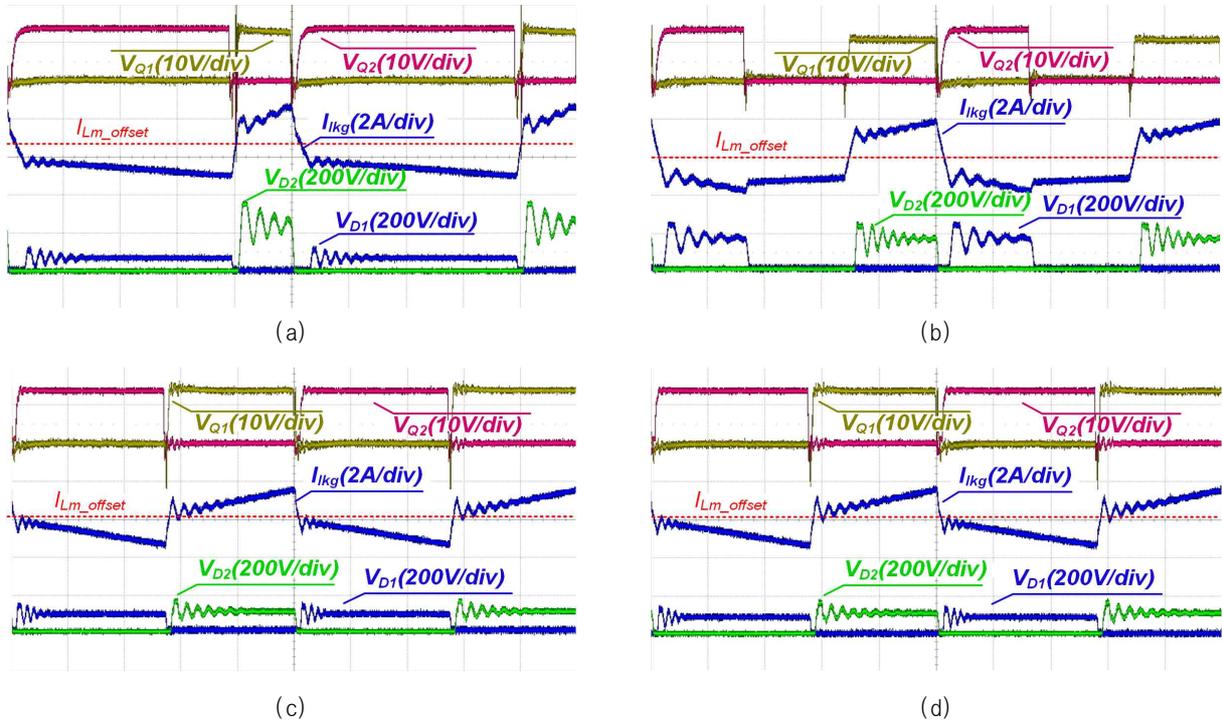


Fig. 12. The key waveforms in nominal state. (a) The conventional AHB converter, (b) the DCS HB converter, (c) the boost integrated AHB converter, (d) the proposed converter.

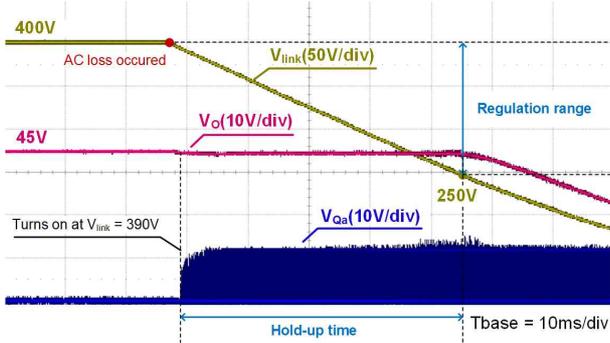


Fig. 13. Operation during the hold-up time.

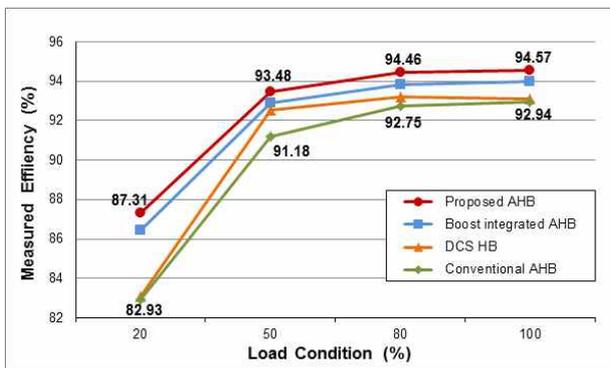


Fig. 14. Efficiency.

다. 또한 스위치의 비대칭적인 동작으로 인하여 트랜스포머에 큰 오프셋 전류가 생기고, 정류기 다이오드 중 하나에 매우 큰 전압 스트레스가 인가된다.

시비율 천이 하프-브리지 컨버터의 경우, 그림 12(b)에서 볼 수 있듯이, 스위치의 대칭적인 동작으로 인하여 트랜스포머 오프셋 전류가 생기지 않는다. 하지만 작은 트랜스포머 턴 비로 인하여 큰 1차측 RMS 전류와 큰 정류기 다이오드 전압 스트레스를 갖게 된다.

반면, 그림 12(c),(d)에서 볼 수 있듯이, 부스트 직렬 연결 비대칭 하프-브리지 컨버터와 제안하는 컨버터는 대칭적인 동작과 큰 트랜스포머 턴 비로 인하여, 작은 트랜스포머 오프셋 전류, 작은 1차측 RMS 전류, 작은 정류기 다이오드 전압 스트레스를 갖는다.

그림 13은 홀드-업 동작 시 제안하는 회로의 동작 파형을 나타 낸 것이다. 제안하는 회로는 노미널 동작 시 입력 전압 리플을 390V~410V로 고려하여 설계하였기 때문에, AC loss가 일어나더라도 입력전압이 390V이 될 때까지는 정상동작 범위로 인식이 되어 추가 스위치가 동작하지 않는다. 하지만 링크 전압이 390V 아래로 내려가게 되면 추가 스위치의 시비율이 서서히 증가하면서 낮아지는 입력 전압을 보상한다. 그림에서 볼 수 있듯이, 50mS의 시간동안 입력 전압이 250V까지 감소하였지만 출력 전압이 일정하게 제어 된다.

그림 14는 400V 입력, 45V/3.3A 출력에서 회로들의 효율을 나타낸 그래프이다. 기존의 비대칭-하프 브리지 컨버터는 작은 트랜스포머 턴 비와 높은 전압 레이팅을 가지는 다이오드를 사용하기 때문에, 1차측과 2차측에서 모두 많은 도통 손실을 야기하기 때문에 낮은 효율을 보인다. 시비율 천이 하프-브리지 컨버터의 경우 비대칭을 없애 크기가 작은 트랜스포머를 사용하고 전압 레이

팅이 낮은 다이오드를 사용하여 효율이 향상되었지만, 여전히 작은 트랜스포머 턴 비로 인해 1차측에 많은 도통 손실을 야기한다. 부스트 직렬 연결 비대칭-하프 브리지 컨버터의 경우 비대칭을 줄이고, 큰 트랜스포머 턴 비를 사용하여 높은 효율을 달성할 수 있었지만, 추가되는 소자에서 발생하는 도통손실이 효율을 저감시켰다. 반면 제안하는 컨버터는 작은 비대칭성과 큰 트랜스포머 턴 비를 가지면서, 추가되는 소자에서 도통 손실이 발생하지 않기 때문에 가장 높은 효율을 달성 할 수 있었다.

### 5. 결 론

본 논문에서는 새로운 비대칭 하프-브리지 컨버터가 제안되었다. 제안하는 회로는 정류기 다이오드와 출력 인덕터를 병합하여 부스트 컨버터를 구현하였다. 제안하는 컨버터는 홀드-업 동작 시 낮아지는 입력 전압을 부스트 컨버터의 높은 전압 이득을 통해 보상할 수 있으므로, 넓은 입력 전압 범위로 인한 비대칭 동작 문제를 없앨 수 있다. 이로 인하여 트랜스포머의 오프셋 전류가 크게 줄어들었으며, 트랜스포머가 큰 턴 비로 설계될 수 있다. 따라서 제안하는 회로는 트랜스포머의 크기를 줄일 수 있으며, 1차측 RMS 전류와 2차측 전압 스트레스를 줄여 효율을 향상시킬 수 있다. 또한 노미널 동작 시 추가 소자가 도통되지 않아 추가적인 손실을 야기하지 않는다. 제안하는 회로는 TV나, PC와 같이 홀드-업 시간을 반드시 필요로 하는 어플리케이션에서, 비교적 작은 소자수로 뛰어난 성능을 낼 수 있다.

본 연구는 2016년도 정부(미래창조과학부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임 (No.2010-0028680)

### References

[1] B. Yang, X. Peng, and, F. C. Lee, "Range winding for wide input range front end DC/DC converter," in proc. IEEE Appl. Power Electron. Conf., pp. 476-479, Mar. 2001.

[2] X. Yan, H. Lipai, C. Xuansan, and S. Stan, "A combined front end DC/DC converter," in proc. IEEE Appl. Power Electron. Conf., pp. 1095-1099, Feb. 2003.

[3] P. Imbertson and N. Mohan, "Asymmetrical duty cycle permits zero switching loss in PWM circuits with no conduction loss penalty," *IEEE Trans. Ind. Appl.*, Vol. 29, no. 1, pp. 121-125, Jan./Feb. 1993.

[4] J. Sebastian, J. A. Cobos, O. Garcia, and J. Uceda, "An overall study of the half-bridge complementary-control

DC-to-DC converter," in proc. Power Electronics Specialists Conf, PESC'95, pp. 1229-1235, Jun. 1995.

[5] S. Korotkov, R. Miffakhutdinov, A. Nemchinov, and S. Fraidlin, "Asymmetrical half-bridge in a single stage PFC AC/DC converter," in proc. IEEE Appl. Power Electron. Conf., pp. 484-488, Feb. 1997.

[6] C. O. Yeon, J. B. Lee, I. O. Lee, and G. W. Moon, "Wide ZVS range asymmetric half-bridge converter with clamp switch and diode for high conversion efficiency," *IEEE Trans. Ind. Electron.*, Vol. 63, No. 5, pp. 2862-2870, Jan. 2016.

[7] I. O. Lee and G. W. Moon, "A new asymmetrical half-bridge converter with zero DC-offset current in transformer," *IEEE Trans. Power Electron.*, Vol. 28, No. 5, pp. 2297-2306, May 2013.

[8] Y. Chuan, R. Xinbo, W. Xuehua, and C. K. Tse, "Isolated buck-boost DC/DC converters suitable for wide input-voltage range," *IEEE Trans. Power Electron.*, Vol. 26, No. 9, pp. 2599-2613, Sep. 2011.

[9] M. Hong, J. Abu-Qahouq, L. Shiguo, and I. Batarseh, "Zero-voltage-switching half-bridge DC-DC converter with modified PWM control method," *IEEE Trans. Power Electron.*, Vol. 19, No. 4, pp. 947-958, Jul. 2004.



#### 한정규(韓晶奎)

1991년 7월 15일생. 2014년 한국과학기술원 전기 및 전자공학부 졸업. 2016년 한국과학기술원 전기 및 전자공학부 졸업(석사). 2016년~현재 동 대학원 전기 및 전자공학부 박사과정.



#### 김종우(金種宇)

1987년 2월 23일생. 2010년 한국과학기술원 전기 및 전자공학과 졸업. 2012년 한국과학기술원 전기 및 전자공학과 졸업(석사). 2016년 동 대학원 전기 및 전자공학과 졸업(공학). 2016년~현재 Virginia Tech FECC 박사 후 연구원.



#### 문건우(文建又)

1966년 10월 3일생. 1990년 한양대 전기공학과 졸업. 1992년 한국과학기술원 전기및 전자공학과 졸업(석사). 1996년 동 대학원 전기및전자공학과 졸업(공학). 1996년~1998년 한국전력연구원 선임연구원. 1998년~2000년 Key Technology 대표이사. 2000년~현재 KAIST 전기및 전자공학과 교수. 2014년~현재 KAIST 석좌교수. 2016년~현재 한국공학한림원 회원.