

소형화와 저전력화를 위해 2M-byte on-chip SRAM과 아날로그 회로를 포함하는 SoC

SoC including 2M-byte on-chip SRAM and analog circuits for Miniaturization and low power consumption

박성훈*, 김주언**, 백준현*

Sung Hoon Park*, Ju Eon Kim**, Joon Hyun Baek*

Abstract

Based on several CPU cores, an SoC including ADCs, DC-DC converter and 2M-byte SRAM is proposed in this paper. The CPU core consists of a 12-bit MENSA, a 32-bit Symmetric multi-core processor, as well as 16-bit CDSP. To eliminate the external SDRAM memory, internal 2M-byte SRAM is implemented. Because the SRAM normally occupies huge area, the parasitic components reduce the speed of SoC. In this work, the SRAM blocks are divided into small pieces to reduce the parasitic components. The proposed SoC is developed in a standard 55nm CMOS process and the speed of SoC is 200MHz.

요약

다종의 CPU를 기반으로 ADC와 DC-DC 변환기를 포함하며 2M-byte의 SRAM이 내장된 SoC가 제안되었다. CPU 코어는 12-bit MENSA 코어, 32-bit Symmetric Multi-core 프로세서, 16-bit CDSP로 구성된다. 외부 SDRAM 메모리를 제거하기 위해 내부의 2M-byte SRAM을 설계하였으나 SRAM 블록들이 넓은 영역에 분포하여 기생 성분 때문에 속도가 저하되므로 SRAM을 작게 분할하여 레이아웃 하였다. 설계된 SoC는 55nm 공정으로 개발되었으며 속도는 200MHz이다.

Key words : Miniaturization, low power consumption, SoC, SRAM, macro cell

* ZARAM TECHNOLOGY, Inc., Gyeonggi-do, Korea

** School of Electrical and Electronics Engineering,
Chung-Ang University, Seoul, Korea

★ Corresponding author

e-mail : john@zaram.com tel : 031-779-4700

※ Acknowledgment

This work was supported by the IT R&D program of MOTIE/KEIT. [10054819 , Development of modular wearable platform technology for the disaster and industrial site]

Manuscript received Sep. 21. 2017; revised Sep. 26. 2017;
accepted Sep. 26. 2017

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

1. 서론

웨어러블 디바이스에서는 저전력화와 소형화가 주요한 관심 분야 중 하나이다. 이를 위하여 시스템에서 요구되는 각 블록을 하나의 칩으로 구성한다. SoC 칩을 위한 보드의 주요 부품은 SoC칩, SDRAM 메모리, Serial flash 메모리가 될 수 있는데 Serial Flash 메모리는 비교적 소형이고 부스팅용으로 사용되기 때문에 반드시 필요하고 On-Chip으로 사용하면 신뢰성 등 여러 문제가 발생하기 쉽다. 논문에서는 시스템의 소형화와 저전력화를 위해 외부 SDRAM을 없애는 방법을 제안하였다. 또한 면적을 줄이기 위해 DC-DC컨버터가 내장된 SoC를 제안하였다.

II. 본론

1. CPU 코어 및 SoC 구성

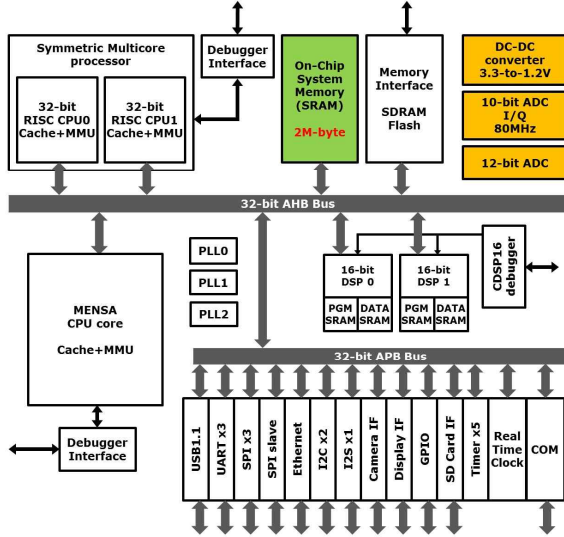


Fig. 1. Block diagram of SoC
그림 1. SoC의 블록도

Table 1. Configuration of SoC
표 1. SoC의 구성요소

Blocks	function
32-bit RISC CPU	MENSAs maximum 200MHz
32-bit Symmetric Multicore processor	SPARC V8 maximum 200MHz
16-bit DPS 2 array	Two 16-bit CDS16 maximum 200MHz
PLL0	CPU clock
PLL1	USB clock
PLL2	Audio clock
2MByte on-chip SRAM	SRAM for modules with small memory such as simple sensor modules.
256M-bit SDRAM	Main memory of RISC CPU
Serial Flash interface	Save the boot program and data of RISC CPU
USB1.1 controller	Maximum 12M bps communication
UART interface	Interface for UART
SPI interface	Interface for SPI
SPI slave interface	Interface for SPI slave
Ethernet interface	Ethernet interface for 100Mbps
I2C interface	Interface for I2C
I2S interface	Interface for I2S
Camera interface	Small camera interface
Display interface	Support small LCD display
GPIO	16-bit GPIO
SD card interface	Maximum 50MHz communication
ADC	10/12-bit analog-to-digital converter
DC-DC converter	3.3V-to-1.2V converter

SoC는 32-bit RISC MENSAs CPU, 32-bit Symmetric Multi-core processor, 그리고 2개의 16-bit CDS16으로 구성되어 있고 CPU의 프로그램 개발을 위한 디버거 인터페이스를 포함한다.

모듈을 소형화하고 전력소비를 줄이기 위해 외부에 SDRAM 메모리를 사용하는 대신에 2M byte의 on-chip SRAM을 사용하였다. DC-DC 컨버터를 내장하도록 설계하여서 전원 회로의 부품수도 줄이도록 하였다. 또한 10/12-bit ADC가 내장되어서 아날로그 신호를 입력으로 받아서 처리할 수 있다. 10-bit ADC는 80Mhz 대역의 높은 주파수에서 사용이 되며 12-bit ADC는 200kHz의 낮은 주파수에서 사용된다. 이 경우 내장된 16-bit DSP processor가 아날로그 신호처리에 사용된다. SoC의 구성요소는 표 1. 과 같다.

가. 10-bit ADC

Base-band, IF digitization, video digitization 등에 사용될 수 있는 10-bit ADC는 I/Q 2개의 channel로 구성된다. 그림 2. 는 10-bit I/Q ADC의 블록도를 보여준다. ADC의 특징과 성능은 표 2. 와 같다. ADC에 대한 정확한 평가를 위해서 SoC에 ADC 테스트 모드를 추가해서 ADC의 디지털 신호들도 칩의 pin을 통해서 직접 제어하고 모니터링 할 수 있도록 하였다. 그림 3. 은 ADC 테스트 모드에서 ADC 디지털 신호의 연결을 표시한 것이다. ADC 테스트 모드에서는 SDRAM 인터페이스를 통해서 ADC의 디지털신호들이 칩 밖으로 연결된다.

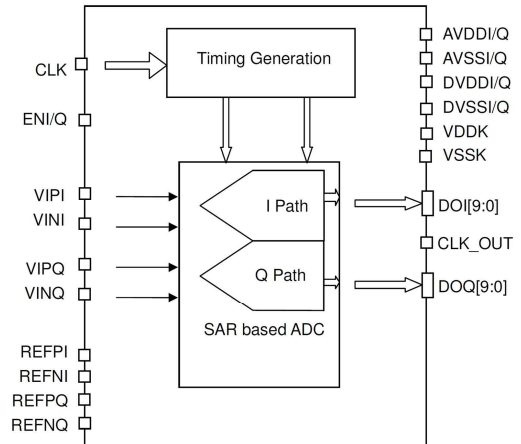


Fig. 2. Block diagram of ADC
그림 2. ADC의 블록도

Table 2. Characteristic and performance of ADC

표 2. ADC의 특징과 성능표

Specification	
Power supply	1.2V
Power dissipation	4mA for IQ mode
Power down current	10uA
Size	233um x 281um
Conversion rate	80MHz
ENOB	9.1 bit
THD	70 dB
SINAD	57 dB
SFDR	70dB
IQ gain mismatch	0.05 dB
IQ phase mismatch	0.5
IQ offset mismatch	20mV
Offset Error (OER)	+/-1 %FS
Gain Error (GER)	+/-1 %FS
linearity performance	DNL/INL = 1.3 LSB/2.0 LSB

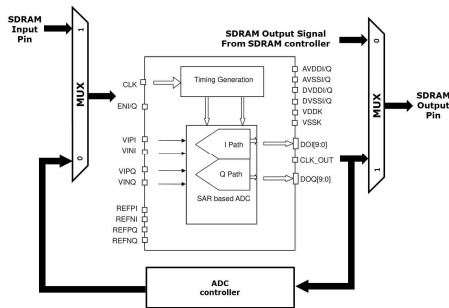


Fig. 3. Signal path for testing of ADC performance

그림 3. ADC의 성능 평가를 위한 신호 연결

나. DC-DC converter

그림 4. 는 SoC에 적용된 DC-DC 컨버터의 블록도이다. 3.3V 전원을 입력으로 받아서 1.2V 전원을 출력한다. 외부 DC-DC 컨버터를 사용하게 되면 인덕터와 커패시터의 면적뿐만 아니라 DC-DC 컨버터 IC를 면적도 필요하게 되는데 SoC에 집적화함으로써 전체적인 면적을 줄였다. DC-DC 컨버터의 출력을 SoC에 적용하기 위해서는 그림 5. 와 같이 외부 인덕터와 커패시터를 이용해서 회로를 구성해야 한다. DC-DC 컨버터의 주요한 특징과 성능은 표 3. 과 같다.

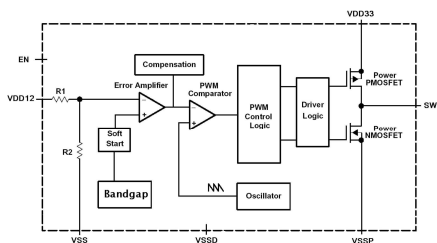


Fig. 4. Block diagram of DC-DC converter

그림 4. DC-DC 컨버터의 블록도

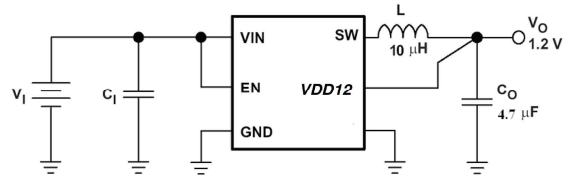


Fig. 5. Application circuit of DC-DC converter

그림 5. DC-DC 컨버터의 활용을 위한 회로

Table 3. Characteristic and performance of DC-DC converter

표 3. DC-DC 컨버터의 특징과 성능표

Specification	
Input voltage range	3.0V ~ 3.6V
Output voltage	1.2V
Output current	100mA
Control	Synchronous PWM switching control
High efficiency over wide load current range	Above 85%
Low output voltage ripple	100mV
Size	1213um x 546um

2. layout 설계

설계된 SoC는 55nm 공정을 활용하여 개발되었으며 그림 6. 은 설계된 SoC의 레이아웃을 보여준다. 그림 7. 은 32K-byte SRAM이 적용되었을 때의 floor plan을 보여준다. 그림 7에서는 SRAM이 하나의 영역에 모여 있지만 본 논문에서와 같이 2M-byte SRAM의 경우엔 넓은 영역에 펼쳐지기 때문에 거리에 따른 딜레이 문제가 발생하고 이에 따라 칩의 최대 동작 주파수를 감소하게 된다. [1]

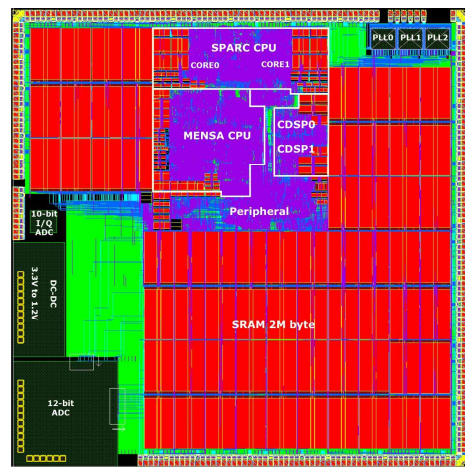


Fig. 6. Layout of designed SoC

그림 6. 설계된 SoC의 레이아웃 도면

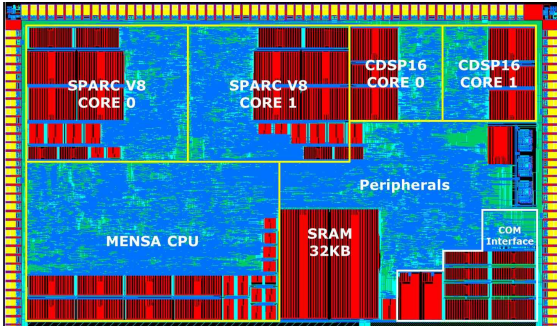


Fig. 7. Layout of designed SoC with 32KB SRAM
 그림 7. 32KB SRAM으로 설계된 SoC의 레이아웃 도면

또한 모든 SRAM 블록의 신호가 코어 로직으로 직접 연결되면 많은 신호선들 때문에 연결이 복잡해지는 문제도 생기게 된다. 이런 문제를 피하기 위해서 그림 8. 과 같이 2M-byte SRAM을 크게 2개의 그룹(1M-byte)로 나누고, 이 그룹을 다시 4개의 256K-byte 그룹으로 나누었다.

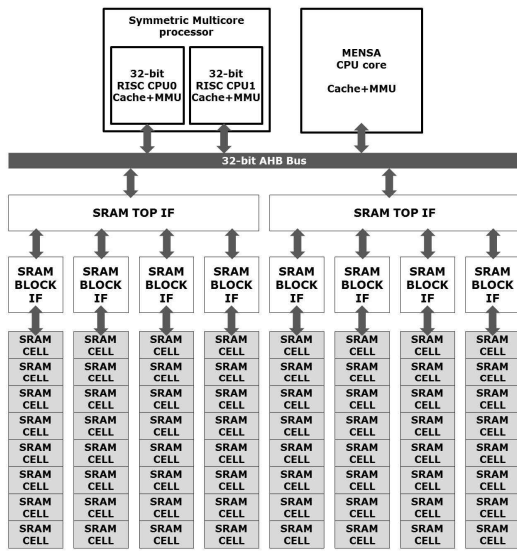


Fig. 8. Division of 2M-byte SRAM
 그림 8. 2M-byte SRAM의 분할

총 8개의 256K byte SRAM 그룹이 있고, 각 그룹은 8개의 SRAM macro cell로 구성된다. 256K byte 그룹은 SRAM BLOCK IF라는 블록과 연결되는데 SRAM BLOCK IF는 256K byte 그룹을 macro cell처럼 보이도록 하는 기능을 수행하고 SRAM TOP IF와 연결하는 역할을 한다. SRAM TOP IF는 실제 SRAM 컨트롤러이고 약간의 버퍼와 제어 회로, 그리고 AHB 버스 인터페이스를 포함하고 있다. 그림 9. 는 2M-byte SRAM의

floor plan이다. 8개의 256K byte 그룹이 표시되어 있고, 그룹 내부 또는 최대한 가까운 위치에 SRAM BLOCK IF가 배치되어 있음을 알 수 있다. 그리고 2개의 SRAM TOP IF가 각 1M byte 그룹에 가까이 배치되어 있다. 이 효과로 SoC의 전체 동작 주파수를 200MHz까지 향상 시켰다.

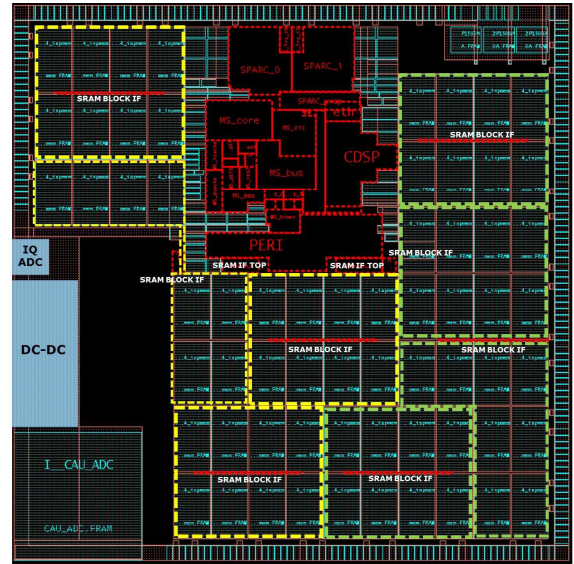


Fig. 9. Floor plan of 2M-byte SRAM
 그림 9. 2M-byte SRAM의 플로우 플랜

III 결론

다종의 CPU를 기반으로 ADC와 DC-DC 변환기, 2M-byte의 SRAM이 내장된 SoC가 제안되었다. 아날로그를 디지털 신호로 변환하기 위해 ADC가 내장되었으며 이 경우 내장된 16-bit DSP processor가 사용된다. 또한 SoC에 안정적인 1.2V 전압을 공급해주기 위해 DC-DC 변환기가 내장되어 외부에서 필요로 하는 요소들을 줄일 수 있었다. 모듈의 소형화와 저전력화를 위해 SoC 내부에 2M-byte의 SRAM을 설계하였다. 설계된 SoC는 55nm 공정으로 개발되었으며 속도는 200MHz이다.

References

[1] I. Naiki, et al. "Center wordline cell: A new symmetric layout cell for 64 Mb SRAM", Electron Devices Meeting, 1993. IEDM '93. Technical Digest., International, Dec. 1993. DOI : 10.1109/IEDM.1993.347274