

차량용 SENT 인터페이스의 설계 및 구현

Design and Implementation of Automotive SENT Interface

이종배*, 이성수*
Jong-Bae Lee*, Seongsoo Lee*

Abstract

SENT (single edge nibble transmission) is a serial communication protocol between automotive sensors and ECU (electronic control unit). SENT exploits digital waveform, so it has a simple and cheap architecture without transceiver circuits. Usually it is exploited as an embedded communication interface in the sensors. In this paper, a SENT interface was designed in Verilog HDL, fully complying with SAE J2716. It was implemented in FPGA, and verified on a test board. When it was synthesized, the gate count is about 2,500 gates in 0.18um technology.

요약

SENT(single edge nibble transmission)는 차량에 탑재되는 다양한 센서와 ECU(electronic control unit)간의 직렬 통신 프로토콜이다. SENT는 디지털 파형을 사용하기 때문에 트랜시버 회로가 필요 없고 구조가 간단하며 가격이 저렴하여 주로 센서 내장형 통신 인터페이스로 주로 사용된다. 본 논문에서는 Verilog HDL을 이용하여 SAE J2716 규격을 만족하는 SENT 인터페이스를 설계하였다. 또한 이를 FPGA로 구현하고 테스트 보드를 제작하여 동작을 확인하였다. 0.18um 공정으로 합성하였을 때의 게이트 수는 약 2,500 게이트이다.

Key words: SENT, Sensor, Digital, Interface, Automotive

1. 서론

현대의 차량에는 다양한 전자 제어 시스템이 탑재되며, 이를 위해 레이더, 초음파, 각도, 온도, 공기, 압력 등과 같은 다양한 센서가 장착되었다. 이러한 센서는 측정값을 ECU (electronic control unit)에게 정확하게 전달해야 하므로 효율적인 통신 인터페이스가 필요하게 되었다. 기존에는 CAN(controller area network) [1][2], LIN(local interconnect network)[3][4]을 사용하였으나 최근

SAE(Society of Automotive Engineers)에 의해 CAN, LIN보다 간단하고 저렴한 SENT(single edge nibble transmission)[5]가 SAE J2716 표준으로 개발되어 센서 내장형 통신 인터페이스 등에 빠르게 확산되고 있다.

본 논문에서는 SAE J2716 표준을 만족하는 SENT 디지털 인터페이스를 Verilog HDL로 설계하고 FPGA로 구현한 다음, 상용 칩을 사용한 테스트 보드와 결합하여 동작을 검증하였다.

* School of Electronic Engineering, Soongsil University

★ Corresponding author (e-mail: sslee@ssu.ac.kr, tel: 02-820-0692)

※ Acknowledgment

“This research was supported by Industrial Core Technology Development Program (10052009) funded by the Ministry of Trade, industry & Energy, Korea.”

Manuscript received Sep. 11, 2017; accepted Sep. 26, 2017.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

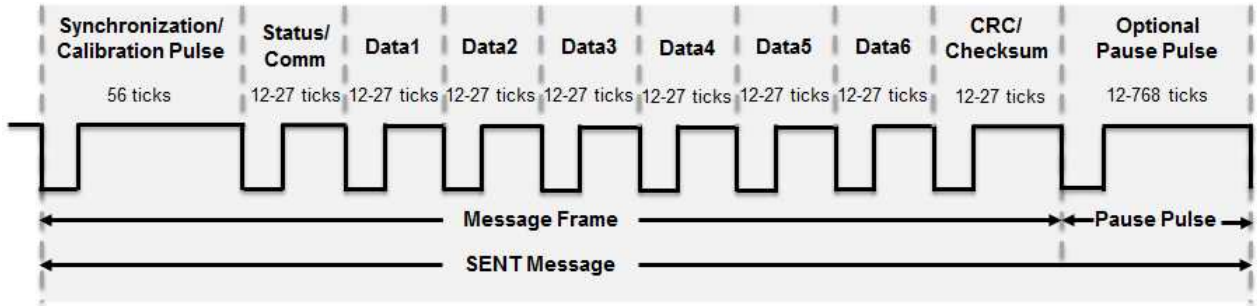


Fig. 1. SENT message format

그림 1. SENT 메시지 형식

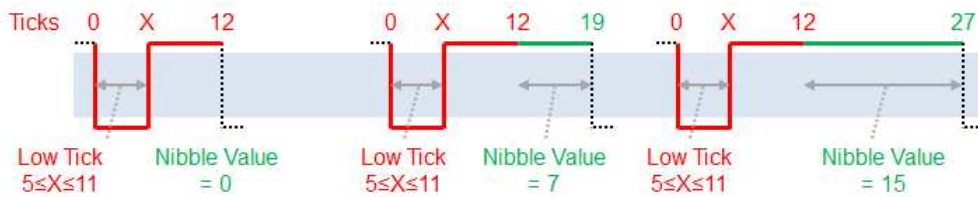


Fig. 2. Example of nibble value encoding

그림 2. 니블 값 부호화 예제

II. SENT 프로토콜

SENT 프로토콜이 기존과 크게 다른 점은 디지털 파형만을 사용한다는 점이다. 기존 버스는 제어기에서 프로토콜에 의해 디지털 값을 결정한 후, 이 값에 따라 트랜시버가 아날로그 전압을 전송 또는 감지하게 된다. 그러나 SENT는 디지털 파형을 그대로 전송하기 때문에 센서 내부에 내장할 수 있을 정도로 간단하고 저렴하다.

SENT 프로토콜은 단방향이다. 신호 생성 방법에 있어 PWM(pulse width modulation)과 유사하지만 SENT 프로토콜은 펄스를 부호화하여 메시지를 구성하고 PWM은 듀티 사이클을 조절하여 신호를 생성하는 차이점이 있다. 즉, SENT 프로토콜은 PWM의 진화된 버전으로 고려할 수 있다. SENT 프로토콜에서는 4비트 단위의 니블(nibble)이 쓰인다. 또한 클록 주기인 틱(tick) 단위를 사용하며 3~10 μ s 값을 갖는다.

SENT 프로토콜의 메시지는 그림 1과 같이 동기/교정 펄스, 상태/통신 니블 펄스, 6개의 데이터 니블 펄스, CRC(cyclic redundancy check: CRC) 니블 펄스, 휴지 펄스로 구성된다. 그림 2와 같이 모든 펄스는 12 틱의 공통 부분을 가지며, 시작부터 5 틱 이상 low 값을 유지하고 나머지 틱은 high 값을 유지하도록 정의되어있다. 즉,

그림 2에서 X=5라면 모든 펄스는 시작부터 5 틱만큼 low이고 나머지 틱은 모두 high가 된다. 니블 펄스에서 공통된 12 틱을 제외한 high의 길이가 해당 니블의 데이터 값이다. 즉 그림 2에서 X=5라면 왼쪽, 가운데, 오른쪽의 니블 펄스는 각각 10진수로 0, 7, 15의 값을 가진다. 4비트로 된 니블은 0~15까지의 값을 가지므로, 니블 펄스의 최소 길이는 12 틱, 최대 길이는 27 틱이 된다.

동기/교정 펄스는 56 틱으로 정의되어 있으며, 틱의 변화를 보정하기 위하여 니블 펄스의 주기를 측정하기 위해 사용한다. 수신 모드일 때 56 틱의 $\pm 25\%$ 초과 여부로 오류를 검출한다. 상태/통신 니블 펄스는 센서의 부품 번호, 오류 코드 등과 같은 기타 정보를 전송하기 위해 사용한다.

6개의 데이터 니블 펄스는 총 24비트 데이터로써 센서가 측정한 압력, 온도, 스피드, 각도 등의 12비트 데이터를 2개씩 전송하는데 사용한다.

CRC 니블 펄스는 식(1)과 같은 다항식을 이용하여 체크섬(checksum)을 계산한다.

$$CRC = X^4 + X^3 + X^2 + 1 \tag{1}$$

휴지 펄스는 선택적으로 적용할 수 있으며 SENT 메시지에서 일정 시간을 채우기 위해 사용한다. 휴지 펄스의 길이는 12~768 틱이다.

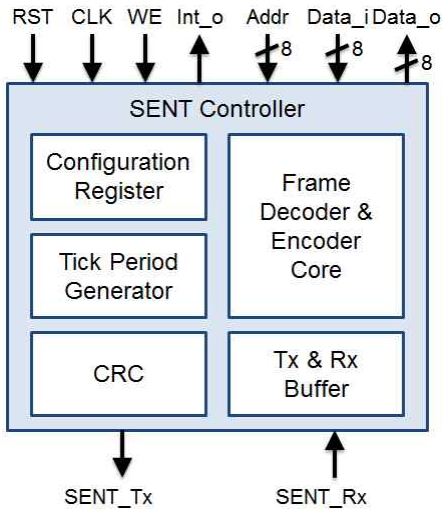


Fig. 3. SENT digital interface block diagram
그림 3. SENT 디지털 인터페이스 블록도

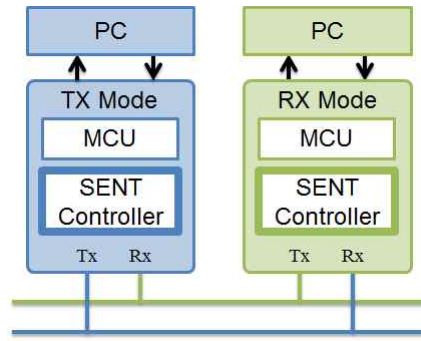


Fig. 4. Experimental environment
그림 4. 실험 환경

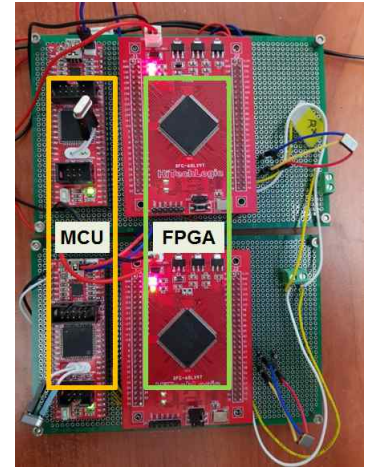


Fig. 5. Test board
그림 5. 테스트 보드

III. SENT 인터페이스 아키텍처

본 논문에서는 SAE J2716 SENT의 APR2016 규격을 기반으로 그림 3과 같은 SENT 디지털 인터페이스를 Verilog HDL로 설계하였으며, 설정 레지스터(configuration register), 프레임 디코더/인코더 코어(frame decoder/encoder core), 송신&수신 버퍼(Tx & Rx buffer), 틱 주기 생성기(tick period generator), CRC로 구성된다.

설정 레지스터는 SENT 디지털 인터페이스의 동작에 관한 모든 모드와 파라미터를 설정한다. 송신 또는 수신 등의 동작 모드, CRC 사용 유무, 휴지 펄스 사용 유무, 송수신에 사용되어질 니블 데이터 개수등과 같은 것을 설정할 수 있다.

프레임 디코더/인코더 코어는 SENT 디지털 인터페이스의 동작 전체를 제어하며, FSM(finite state machine)으로 구현되어 있다. 설정 레지스터에서 송신 모드로 설정하여 송신 모드로 동작할 때는 전송하고자 하는 데이터를 인코딩하여 메시지를 송신하며, 휴지 펄스의 사용 유무에 따라 메시지에 포함하거나 제외하여 송신한다. 수신 모드로 설정되어 수신 모드로 동작할 때는 수신 메시지를 디코딩하여 데이터를 복원한다. 또한 수신한 CRC 값과 수신 데이터의 CRC 값이 일치하는지를 가려 CRC 오류를 체크한 다음, 수신 버퍼에 데이터를 저장하여 수신을 완료한다.

틱 주기 생성기(tick period generator)는 메인 클럭을 입력받아 SENT의 기본 시간 단위인 틱을 생성하여 필요한 블록에 공급한다.

송신&수신 버퍼는 송신 모드일 때는 송신 버퍼로써 동작하며 송신하고자하는 니블 데이터를 상태/통신 니블, 데이터 1~6 니블 순으로 저장한다. 수신 모드일 때는 수신되어진 데이터를 송신 버퍼와 동일하게 상태/통신 니블, 데이터 1~6 니블 순으로 저장한다.

III. 구현 및 검증

본 논문에서는 Verilog HDL로 SENT 디지털 인터페이스를 설계하고 ModelSim을 이용하여 검증하였다. 또한 SENT 프로토콜의 동작 확인을 위해 그림 4과 같이 실험 환경을 구성하였고 그림 5와 같이 테스트 보드를 제작하여 FPGA 내부에 구현된 SENT 디지털 인터페이스와 MCU를 결합시켜 전체 동작을 검증하였다. MCU는 Atmel사의 Atmega128이 사용되었으며, FPGA는 Xilinx사의 Spartan6-XC6SLX9이 사용되었다.

그림 5의 테스트 보드에서 MCU가 FPGA 내에 구현된 SENT 디지털 인터페이스 내부에 설정 레지스터의 값을 써넣음으로서 송신 모드 또는 수신 모드로 동작하게 된다. 테스트를 위해 여섯 개의 데이터 니블을 데이터 패킷으로 송수신하게 설정하였다. 송신 모드에서 메시지 전송은 상태/통신 니블, 데이터 1~6 니블, CRC 니블 순으로 수행하였다. 그림 6과 같이 첫 번째 메시지 송신이 오류 없이 완료되어지면 송신 완료 인터럽트를 발생시켜 인터럽트 출력 핀을 통해 MCU에게

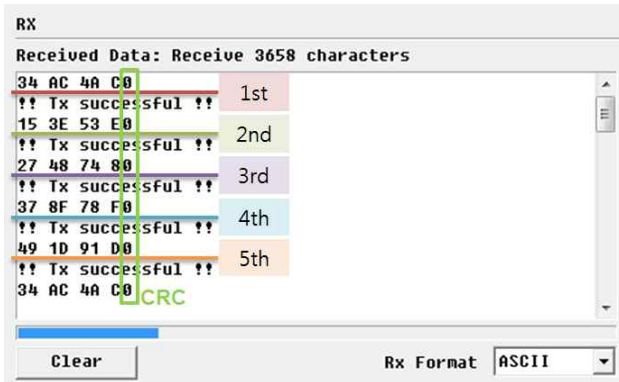


Fig. 6. Transmitted SENT data measured on PC

그림 6. PC에서 측정한 SENT 송신 데이터

알려지게 된다. 인터럽트 신호를 받은 MCU는 두 번째 메시지를 SENT의 송신 버퍼에 저장하여 송신 준비를 하고 메시지 전송 시작 신호를 받아 차례로 전송한다. 동작 검증 실험은 이러한 방법으로 다섯 번 전송하였다. 수신 모드에서는 수신한 메시지를 디코딩하여 CRC 오류를 체크하고 오류가 없으면 복원 데이터를 수신 버퍼에 저장한 다음에 수신 완료 인터럽트 신호를 발생한다. 인터럽트 신호를 받은 MCU는 수신 버퍼에서 데이터를 읽어간 후 다음 데이터 수신을 준비한다.

그림 7은 SENT 디지털 인터페이스가 수신한 데이터를 나타낸 것으로 상태/통신 니블, 여섯 개의 데이터 니블, CRC 니블이 수신되는 것을 확인하였으며, 그 값을 송신 데이터와 비교하여 정확한 송수신 동작을 확인하였다. 그림 6에서는 마지막 니블 값이 '0'으로 표기되어 있는데, 송신 측에서는 송신하고자 하는 데이터만 송신 버퍼에 넣고 CRC는 송신 시에 자동으로 생성하기 때문이다. 따라서 송신 버퍼를 그대로 읽어온 그림 6에는 CRC가 표시되어 있지 않고 수신 버퍼를 그대로 읽어온 그림 7에는 CRC가 표시되어 있다.

Table 1. Synthesize result

표 1. 합성 결과

Tools	Slice Logic	Used	Utilization
ISE13.1	Slice Registers	427	3%
	Slice LUTs	448	7%
	Occupied Slices	210	14%
	Bonded IOBs	30	29%
	BUFG/BUFGMUXs	3	18%
Tools	Gate Count		
Design Compiler	about 2,514		

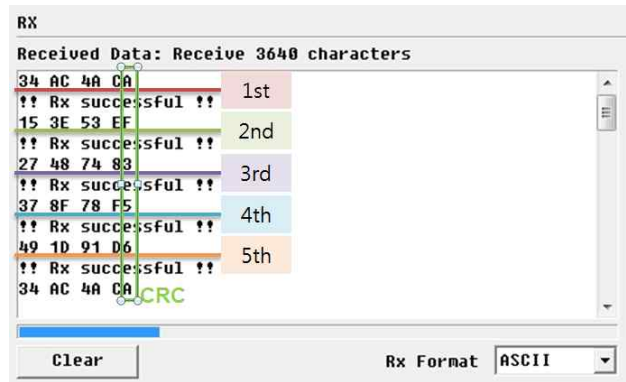


Fig. 7. Received SENT data measured on PC

그림 7. PC에서 측정한 SENT 수신 데이터

SENT 디지털 인터페이스의 합성 결과는 표 1과 같으며, 0.18 μ m에서 Design Compiler로 합성했을 때의 게이트 수는 약 2,514 게이트였다.

V. 결론

본 논문에서는 SAE J2716 표준을 만족하는 SENT 디지털 인터페이스를 Verilog HDL로 설계하고 FPGA로 합성하였으며 테스트 보드로 구현하여 동작을 검증하였다. 검증 결과 송신 또는 수신 모드에서 SENT 프로토콜이 정확히 동작하는 것을 확인하였다. 0.18 μ m 공정에서 약 2,514 게이트로 크기가 매우 작고 IP 형태로 제공이 가능하여 다양한 SoC에 내장할 수 있다.

References

[1] ISO 11898-1:2015, "Road Vehicles-Controller Area Network (CAN)-Part 1: Data Link Layer and Physical Signalling," <https://www.iso.org/standard/63648.html>

[2] J. Lee and S. Lee, "Design and Verification of Automotive CAN Controller," *j.inst.Korean.electr.electron.eng*, vol. 21, no. 2, pp. 162-165, 2017.

[3] ISO 17987-1:2016, "Road Vehicles-Local Interconnect Network (LIN)-Part 1: General Information and Use Case Definition," <https://www.iso.org/standard/61222.html>

[4] J. Lee and S. Lee, "Design and Verification of Automotive LIN Controller," *j.inst.Korean.electr.electron.eng*, vol. 20, no. 3, pp. 333-336, 2016.

[5] SAE J2716 APR2016, "SENT-Single Edge Nibble Transmission for Automotive Applications," http://standards.sae.org/j2716_201604/