

향상된 감내특성을 갖는 PMOS 삽입형 고전압용 ESD 보호회로에 관한 연구

A Study on PMOS Embedded ESD Protection circuit with Improved Robustness for High Voltage Applications.

박종준*
Jong-Joon Park*

Abstract

In this paper, we propose an ESD (Electrostatic Discharge) protection circuit based on a new structure of SCR (Silicon Controlled Rectifier) embedded with PMOS structure. The proposed ESD protection circuit has a built-in PMOS structure and has a latch-up immunity characteristic and an improved tolerance characteristic. To verify the characteristics of the proposed ESD protection circuit and to analyze its operating characteristics, we compared and analyzed the characteristics of the existing ESD protection circuit using TCAD simulation. Simulation results show that the proposed protection ESD protection circuit has superior latch-up immunity characteristics like the existing SCR-based ESD protection device HHVSCR (High Holding Voltage SCR). Also, according to the results of the HBM (Human Body Model) maximum temperature test, the proposed ESD protection circuit has a maximum temperature value of 355K, which is about 20K lower than the existing HHVSCR 373K. In addition, the proposed ESD protection circuit with improved electrical characteristics is designed by applying N-STACK technology. As a result of the simulation, the proposed ESD protection circuit has a holding voltage characteristic of 2.5V in a single structure, and the holding voltage increased to 2-STACK 4.2V, 3-STACK 6.3V, 4-STACK 9.1V .

요약

본 논문에서는 PMOS 구조를 삽입한 새로운 구조의 SCR(Silicon Controlled Rectifier)기반 ESD(Electrostatic Discharge) 보호소자를 제안한다. 제안된 ESD 보호회로는 내부에 PMOS가 추가적으로 형성된 구조적 특징을 지니며, Latch-up 면역 특성과 향상된 감내특성을 갖는다. TCAD 시뮬레이션을 이용하여 기존의 ESD 보호회로와 특성을 비교 분석하였다. 시뮬레이션 분석 결과, 제안된 보호 ESD 보호회로는 기존 SCR 기반 ESD 보호소자 HHVSCR(High Holding Voltage SCR)과 같은 우수한 Latch-up 면역 특성을 지닌다. 또한 HBM(Human Body Model) 최대온도 테스트 결과에 따르면, 제안된 ESD 보호회로는 355K의 최대온도 수치를 가지며, 이는 기존 HHVSCR의 373K와 비교하여 대략 20K가량 낮은 온도특성으로, 더욱 향상된 감내특성을 갖는 것으로 확인되었다. 제안된 ESD 보호소자는 N-STACK 기술을 적용하여 설계하여 전압별 적용이 가능함을 시뮬레이션을 통하여 검증하였다. 시뮬레이터로 시뮬레이션을 해본 결과, 제안된 ESD 보호회로는 단일 구조에서 2.5V의 홀딩전압 특성을 지니며, N배수의 증배에 따라 2-STACK 4.2V, 3-STACK 6.3V, 4-STACK 9.1V로 증가된 홀딩전압을 갖는 것을 확인하였다.

Key words : ESD, SCR, Holding Voltage, N-Stack, Trigger Voltage

* Dept. of Computer Science, Seo Kyeong Univ.

★ Corresponding author

e-mail: jong@skuniv.ac.kr, tel: 02-940-7757

※ Acknowledgment

"This research was supported by Seokyeong University in 2017."

Manuscript received Sep. 11, 2017; revised Sep. 22, 2017; accepted Sep. 25, 2017

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License

(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

I. 서론

반도체 산업의 발전에 힘입어 최근의 반도체 공정 기술의 발달로 인해 집적회로는 고집적화를 이루었다. 그러나 얇아진 Gate Oxide의 두께와 Junction Depth의 감소로 인하여 ESD(Electro Static Discharge) 현상에 의한 미세회로의 손상은 나날이 증가하고 있다. 통계에 따르면 EOS/ESD 현상으로 인한 회로의 파괴는 전체 파괴 원인 중 상당 부분인 30% 정도를 차지하고 있으며, 이로 인한 손실은 나날히 증가추세에 있으며 대략 수백만 달러에 달한다[1][2].

따라서 ESD 현상으로부터 내부IC를 보호하기 위한 ESD 보호소자에 관한 연구가 다방면에서 진행되고 있다. 대표적인 ESD 보호소자로는 GGNMOS(Gate-Grounded NMOSFET), SCR(Silicon-Controlled-Rectifier) 등이 있다. 이 중에서 SCR은 NPN/PNP의 두개의 기생 바이폴라 트랜지스터의 정제환(Positive Feedback)에 의해 동작한다. 따라서 GGNMOS과 비교해 보면 SCR은 더 높은 전류구동 능력을 갖게 된다. 그러나 일반적인 SCR은 P-Well과 N-Well간의 접합영역에서 Avalanche Breakdown이 발생하는 구조적인 특징을 갖는데,이 때문에 약 1.5V 정도의 낮은 홀딩 전압을 지니게 되어 Latch-up 문제를 야기시킬 수 있다. 따라서 실제 IC에 적용하기엔 어려움이 따른다[3][4]. 따라서 SCR의 홀딩 전압을 높이기 위한 많은 연구들이 진행 되고 있다. 그 중에서 HHVSCR(High Holding Voltage SCR)은 Emitter 주입효율을 떨어뜨리는 구조적인 특징을 통한 높은 홀딩전압으로 향상된 Latch-up 면역특성을 갖는다. 그러나 HHVSCR은 P-Drift 영역의 형성으로 인하여 표면의 온도가 상승하여, 감내특성이 저하되는 문제점을 지니고 있다.

본 논문에서는 PMOS의 구조를 내부에 형성하는 구조적인 변경을 통하여 HHVSCR의 우수한 Latch-up 면역특성은 유지하되, 향상된 감내특성을 지니는 ESD 보호소자를 제안하고 synopsys사의 T-CAD 시뮬레이션을 통하여 전기적 특성을 분석하였다. 또한 제안된 향상된 전기적 특성을 지니는 ESD 보호소자에 N-STACK 기술을 적용하여 전압별 적용이 가능하도록 설계하고 그 특성을 검증하였다.

II. 본론

1. 제안된 ESD 보호회로

일반적인 SCR 구조의 낮은 홀딩 전압으로 인한 Latch-up 문제를 해결하기 위하여 기존 SCR구조에서 캐소드와 연결된 P-Drift 확산영역과 N-well을 추가하여 Latch-up 문제를 해결한 구조의 동작원리를 설명한다. 기존 ESD 보호소자인 HHVSCR 구조의 단면도를 그림 1에 나타내었다.

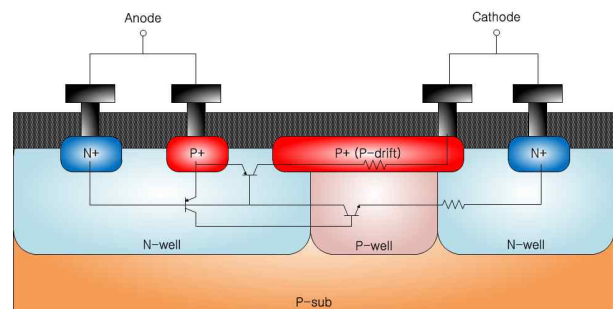


Fig. 1. A Cross section view of the HHVSCR
그림 1. HHVSCR의 단면도

HHVSCR의 동작원리는 다음과 같다. 만약 애노드 단으로부터 ESD 현상 발생하면, N-well과 P-well 접합은 역방향 바이어스가 된다. 그 순간 두 접합 사이의 고 전계로 인해 애벌런치 항복(Avalanche Breakdown)이 일어나게 된다. 애벌런치 항복에 의해 전자,정공 쌍(EHP: Electron-Hole Pair)이 생성되는데 이때 홀(Hole) 전류는 P-Drift 확산 영역으로 흐르게 되고 P-well의 전위를 증가시킨다. 이때 기생 NPN 바이폴라의 Emitter-Base 접합은 P-well의 높아진 전위에 의해서 순방향 바이어스가 되고, 기생 NPN 바이폴라는 Turn-on된다. 기생 NPN 바이폴라를 통해 흐르는 전류는 N-well의 기생 저항에서 전압 강하를 일으키게 되고 기생 PNP 바이폴라를 Turn-on시킨다. 기생 PNP 바이폴라를 통해 흐르는 전류는 P-well 기생 저항에서의 전압강하로 인해 기생 NPN 바이폴라의 Turn-on이 유지되도록 돕는다. 따라서 기생 NPN/PNP 바이폴라는 더 이상 바이어스를 공급할 필요가 없는 Latch-up 동작으로 ESD 전류를 방전하게 된다[5].

HHVSCR 구조는 SCR에 비해 추가된 P-드리프트 영역에 의해서 애노드로부터 캐소드까지 방전 경로 상에 기생 저항 성분이 증가하였고, 이로 인해

감내특성이 낮아지는 문제점을 갖게 된다.

본 논문에서는 Latch-up 문제를 해결하기 위해서 높은 홀딩 전압을 갖는 HHVSCR 구조의 낮은 감내특성 문제를 보완하기 위해 SCR 기반 새로운 구조의 ESD 보호 소자를 제안한다. 그림 2는 제안된 ESD 보호 소자의 단면도를 나타내었으며, 제안된 소자는 기생 NPN/PNP 바이폴라로 동작하는 SCR 구조를 기반으로 나타내었다. 좌측 N-well에 존재하는 N+ 확산영역과 P+ 확산영역은 애노드 단에 연결하고 우측 N-well에 존재하는 P+ Floating 확산영역과 N+ Floating 확산영역은 캐소드 단에 연결한다. 또한, 기존의 HHVSCR 구조와 달리 캐소드 단에 추가적으로 게이트와 캐소드 단과 연결된 P+ 확산영역을 추가함으로써 PMOS를 추가적으로 형성하였다. 이러한 구조의 특징은 다음과 같다. 첫째, 좌측 N-well에 위치한 N+ Floating 확산 영역은 기생적으로 생성되는 PNP 바이폴라에서 베이스라 할 수 있는 N-well의 폭을 넓혀주게 되어 PNP 바이폴라의 전류이득(β)을 감소시키면서 홀딩 전압을 높인다. 둘째, P-well과 우측 N-well 사이에 형성된 P-Drift 확산영역은 기생적으로 생성되는 NPN 바이폴라의 베이스 폭을 넓혀주게 되어 NPN 바이폴라의 전류이득(β)을 감소시키면서 홀딩 전압을 높인다. 셋째, N+ Floating 확산 영역과 P-Drift 확산영역에 의해 증가된 기생 저항 성분으로 인해 낮아진 감내특성을 캐소드에 추가적으로 기생 PNP 바이폴라를 형성함으로써 낮아진 감내특성 문제를 보완하였다. 제안된 소자는 기생적으로 생기는 NPN/PNP 바이폴라의 각각의 베이스 폭의 증가로 인한 전류이득 감소로 높은 홀딩 전압 특성을 갖게 되고, 캐소드단에 추가적으로 기생 PNP 바이폴라를 Turn-on 시켜 높은 감내 특성을 가지고 있다.

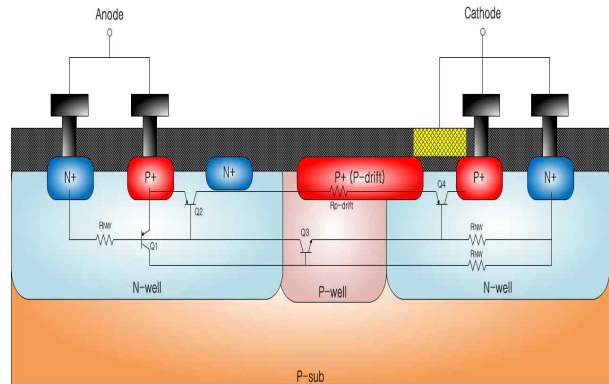


Fig 2. A Cross section view of the AHHVSCR

그림 2. AHHVSCR의 단면도

제안된 소자의 동작원리는 다음과 같다. 애노드 단으로 유입된 ESD 전류에 의하여 애노드 단의 전압이 증가하면, 좌측의 N+ Floating 영역과 N-well의 전위가 상승하게 된다. Reverse Bias인 N-well과 P-well 접합사이간의 전계값이 만약 임계값에 도달하게 되면, avalanche breakdown이 일어나게 된다. 애벌런치 항복에 의해 전자, 정공 쌍(EHP)이 생성되는데 홀 전류는 P-Drift 확산영역을 통하여 우측 N-well 영역의 P+ 확산영역으로 이동하게 되고, 전자 전류는 좌측 N-well을 통하여 N+ 확산영역으로 이동하게 된다. 전자의 이동으로 N-well의 전위가 애노드 단과 연결되어 있는 P+ 확산영역과 N-well의 접합 전위 장벽보다 커지게 되어 두 접합이 순방향으로 바이어스 되면 기생 PNP 바이폴라(Q1, Q2)가 Turn-on 된다. 기생 PNP 바이폴라 Q1과 Q2가 Turn-on 될 때, N+ Floating 확산영역으로 인해 늘어난 베이스 영역에 의한 재결합률의 증가는 기생 PNP 바이폴라의 전류이득을 감소시킨다. Turn-on된 기생 PNP 바이폴라 Q1을 통하여 흐르는 전류는 P-well을 통하여 캐소드와 연결되어 있는 N+ 확산영역으로 흐르게 되고, 기생 PNP 바이폴라 Q2를 통하여 흐르는 전류는 P-Drift 확산영역으로 흐른다. Q1과 Q2를 통해 흐르는 전류에 의해 기생 NPN 바이폴라 Q3의 P-well과 N-well 접합이 순방향으로 바이어스 되면 기생 NPN 바이폴라 Q3이 Turn-on된다. 또한, Turn-on된 기생 NPN 바이폴라 Q3를 통해 흐르는 전류에 의해 기생 PNP 바이폴라 Q4가 Turn-on된다. 따라서 기생 NPN/PNP 바이폴라는 더 이상 바이어스를 공급할 필요가 없는 Latch-up 동작으로 ESD 전류를 방전하게 된다.

그림 3은 AHHVSCR의 전압별 적용을 위해서 N-STACK 기술을 적용한 구조의 단면도이다. 앞 단의 Cathode가 다음 구조의 Anode단과 연결되어 N개의 AHHVSCR이 순차적으로 동작하게 된다. 이로 인해 N배수로 증가함에 따라 전체 구조는 단일 AHHVSCR에 비해 N배정도 증배된 홀딩전압을 얻을 수 있다.

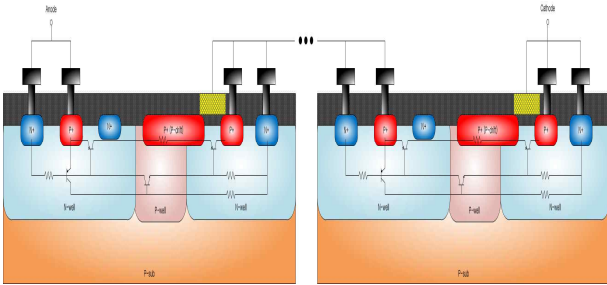


Fig 3. A Cross section view of the Staking AHHVSCR
그림 3. N-STACK AHHVSCR의 단면도

2. 시뮬레이션 결과

시뮬레이션 결과를 얻기위해 T-CAD 소자 시뮬레이션을 통하여, 제안된 ESD 보호 소자의 전기적 특성과 ESD 보호 성능 분석과 기존 ESD 보호소자인 SCR 및 AHHVSCR과의 비교 분석을 통해 제안된 보호소자의 유효성을 검증하였다. 소자의 시뮬레이션은 Synopsys 社의 TSUPREM4를 사용하여 구조를 제작하고 MEDICI를 이용하여 전기적 특성을 분석하였다. 또한 제안된 소자와 N-STACK된 소자와의 성능 비교 또한 수행하였다.

그림 4는 기존의 ESD 보호소자로 사용되고 있는 SCR과 제안된 ESD 보호소자의 DC-IV 특성을 통해 전기적인 특성을 비교한 그래프이다.

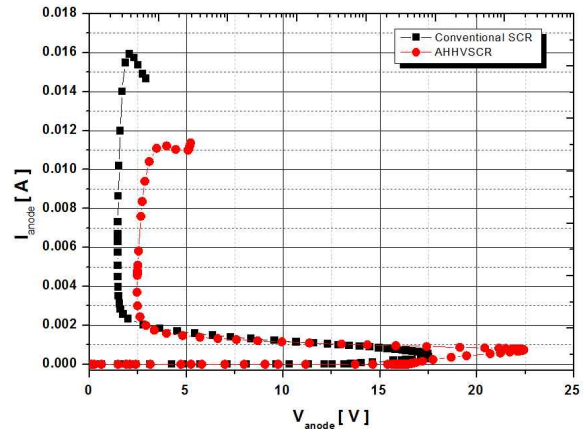


Fig 4. DC-IV characteristic curve of AHHVSCR and SCR
그림 4. AHHVSCR과 SCR의 DC-IV 특성 곡선

Table 1. Electrical characteristics of AHHVSCR and SCR
표 1. AHHVSCR과 SCR의 전기적 특성

Type	V _t [V]	V _H [V]	V _{br} [V]
SCR	17.52	1.45	13.27
AHHVSCR	22.43	2.47	16.1

DC-IV 특성 시뮬레이션 결과, 제안된 소자의 홀딩 전압은 2.47V로 SCR의 홀딩전압인 1.45V보다 1.02V 높은 홀딩 전압을 갖게 된다. 이와 같이 제안된 소자는 기존 SCR보다 높은 홀딩 전압 특성으로 Latch-up 면역 특성을 갖게 된다.

그림 5는 기존 소자와 제안된 소자의 감내특성 비교분석을 위해 HBM 4kV모델 시뮬레이션을 수행하였다.

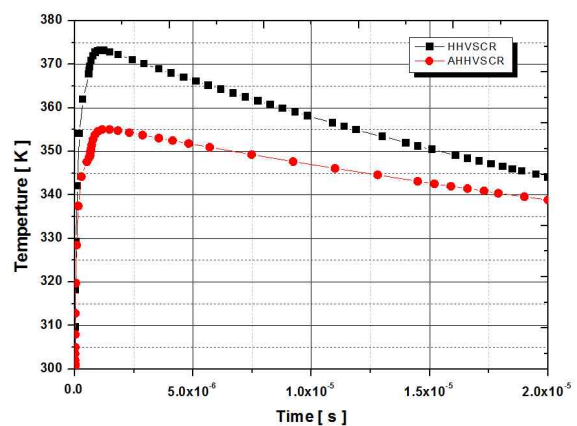


Fig 5. Graph of temperature characteristics of HBM at 4kV
그림 5. HBM 4kV에서의 소자별 온도 특성 그래프

시뮬레이션 결과 제안된 소자와 기존 소자에 HBM 4kV 인가 시 AHHVSCR은 355K의 특성을 보였다. 반면 HHVSCR은 373K의 특성을 보였다. 제안된 보호소자는 HHVSCR보다 약 20K가 낮은 온도에서 ESD 전류를 방전하였다. 따라서 제안된 소자는 기존 ESD 소자보다 더 높은 감내특성을 가짐을 확인하였다.

그림 6은 제안된 소자의 전압별 적용을 위해 N-STACK 기술을 적용했을 때 각각의 DC-IV 특성을 시뮬레이션으로 구현한 것이다.

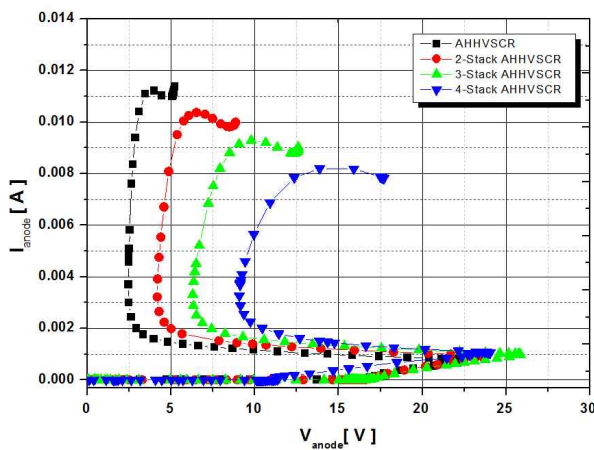


Fig 6. Each DC-IV characteristic curve when applying N-STACK technology to AHHVSCR

그림 6. AHHVSCR에 N-STACK 기술 적용시 각각의 DC-IV 특성 곡선

Table 2. Each electric characteristic when applying N-STACK technology to AHHVSCR

표 2. AHHVSCR에 N-STACK 기술 적용시 각각의 전기적 특성

Type	V_t [V]	V_H [V]	V_{br} [V]
AHHVSCR	22.43	2.47	16.12
2-STACK AHHVSCR	23.69	4.16	16.51
3-STACK AHHVSCR	25.88	6.32	16.71
4-STACK AHHVSCR	24	9.13	11.3

시뮬레이션 결과 제안된 보호소자의 홀딩 전압은 2.47V이며, 2-STACK시에 4.16V, 3-STACK시에 6.32V, 4-STACK시에 9.13으로 N이 증배될수록 홀딩전압이 상승함을 확인하였다.

III. 결론

본 논문에서는 ESD event로 부터 Core IC를 보호하기 위한 SCR 기반 새로운 구조의 ESD 보호소자를 제안하였다. 기존 소자에 비해 감내특성이 좋아졌으며, 홀딩전압 또한 증가하였다. 또한 제안된 보호소자의 전압별 적용을 위해 N-STACK기술을 이용하여 홀딩전압이 높아짐을 확인하였다.

References

[1] Albert Z. H. Wang, *On-Chip ESD Protection for Integrated Circuits (2nd ed.)*, Springer, 2002.

[2] M.D. Ker and C.C. Yen, "Investigation and Design of On-Chip Power-Rail ESD Clamp Circuits Without Suffering Latch up-Like Failure During System-Level ESD Test," *IEEE J. Solid-State Circuits*, vol. 43, no. 11, pp. 2533-2545, 2008.
DOI : 10.1109/JSSC.2008.2005451

[3] O. Quittard, Z. Mrcarica, F. Blanc, G. Notermans, T. Smedes, and H.van Zwol, "ESD protection for high-voltage CMOS technologies," *EOS/ESD Symp*, pp. 77-86, 2006.

[4] K.D Kim, "A Study on the Novel SCR Nano ESD Protection Device Design and Fabrication," *j.inst.Korean.electr.electron.eng*, vol. 9, no. 2, pp. 83-91, 2005.

[5] Jong-Il Won, Samuell Shin, Ka-San Ha, Jong-Ki Kwon and Yong-Seo Koo, "The Novel SCR-Based ESD Protection Device with High Holding Voltage," *IEEE International Symposium on Circuits and Systems*, pp. 1779-1782, 2009.
DOI : 10.1109/ISCAS.2009.5118121

BIOGRAPHY

Jong-Joon Park (Member)

1978 : BS degree in
Department of Physics,
Sogang University.

1980 : MS degree in
Electronic Engineering,
Yonsei University.

1994 : Ph.D degree in Computer
Engineering, Florida State University.

<Research Interest> Artificial Neural
Network, Web Programming, Internet