

## N형 고분자 반도체의 전하주입 특성 향상을 통한 저전압 유기전계효과트랜지스터 특성 연구

문지훈, 백강준<sup>a</sup>

부경대학교 공과대학 인쇄정보공학과

### Low-Voltage Operating N-type Organic Field-Effect Transistors by Charge Injection Engineering of Polymer Semiconductors and Bi-Layered Gate Dielectrics

Ji-Hoon Moon and Kang-Jun Baeg<sup>a</sup>

Department of Graphic Arts Information Engineering, Pukyong National University, Busan 48547, Korea

(Received August 4, 2017; Revised August 25, 2017; Accepted August 28, 2017)

**Abstract:** Herein, we report the fabrication of low-voltage N-type organic field-effect transistors by using high capacitance fluorinated polymer gate dielectrics such as P(VDF-TrFE), P(VDF-TrFE-CTFE), and P(VDF-TrFE-CFE). Electron-withdrawing functional groups in PVDF-based polymers typically cause the depletion of negative charge carriers and a high contact resistance in N-channel organic semiconductors. Therefore, we incorporated intermediate layers of a low-k polymer to prevent the formation of a direct interface between PVDF-based gate insulators and the semiconducting active layer. Consequently, electron depletion is inhibited, and the high charge resistance between the semiconductor and source/drain electrodes is remarkably improved by the incorporation of solution-processed charge injection layers.

**Keywords:** Organic field-effect transistors, OFETs, PVDF polymers, Bi-layered dielectrics, Charge injection layer

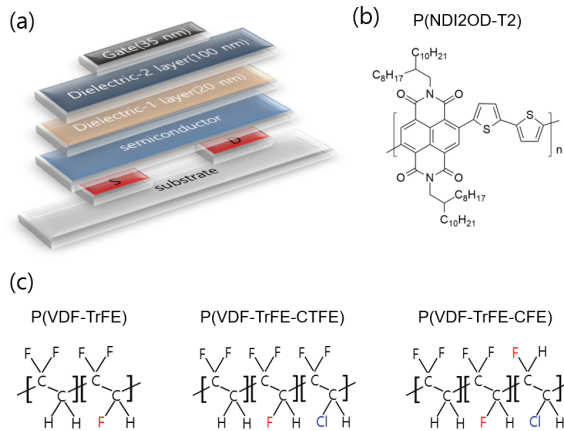
### 1. 서론

현재 유기물 반도체는 유연하고 신축성이 있으며, 쉬운 용액공정을 통하여 저비용으로 다양한 전자소자를 대면적으로 제작할 수 있기 때문에 학계는 물론이고 산업계에서도 큰 관심을 끌고 있다 [1]. 그 대표적인 예로 유기발광다이오드(organic light-emitting diodes, OLEDs) 디스플레이의 경우 소형 모바일기기와 초고화질 TV 등에 적용되고 있으며, 최근 사물인터넷과 웨어러블 디바이스 구현을 위해 중요한 소재부품 기술로서

웨어러블 센서와 무선인식 태그(radio frequency identification, RFID) 등이 중요한 소재부품 기술로서 부각되고 있다 [2-7]. 이러한 유기물 반도체 응용 전자소자 중에서 유기전계효과트랜지스터(organic field-effect transistors, OFETs)는 각종 디스플레이 구동소자, 플래시 메모리, 마이크로프로세서 및 전자회로 구현을 위한 핵심 요소기술로서 유연/인쇄전자 구현을 위해 매우 중요한 핵심 기술이다 [2,3].

유기물 반도체는 무기물 반도체와 비교하여 물리적 특성이 매우 유연하며 저가(low-cost) 대면적 인쇄/코팅 공정을 통해 낮은 온도에서 공정 가능한 장점이 있다. 그로 인해 자유롭게 구부러거나 늘어나는 미래 전자기기 구현에 가장 적합한 소재로 손꼽힌다. 하지만 비교적 낮은 전하 이동도와 높은 구동 전압, 안정성 등의 전기적 특성에 대한 부족함이 있으며, 이는 반드

a. Corresponding author; kangjun100@pknu.ac.kr



**Fig. 1.** (a) Top-gate/bottom-contact OFET device structure. Molecular structures of (b) P(NDI2OD-T2) N-type polymer semiconductor, and (c) various PVDF-based polymer dielectrics.

시 극복해야 할 문제이다. 유기물 반도체를 활용해 저전압 구동 가능한 고성능 전자소자를 구현하기 위해서는 우선 소스/드레인(source/drain) 전극으로부터 반도체로의 전하 주입이 원활해야 하며 게이트 절연체와 반도체 사이의 계면에서 전하의 축적이 용이하여 많은 양의 전하 캐리어들이 쉽게 채널을 따라 이동할 수 있도록 해 주어야 한다 [8].

가장 일반적으로 OFET 소자의 구동 전압을 감소시키는 방법으로 얇은 박막이나 고유전율 소재를 사용하여 절연층(dielectric layer)의 정전용량을 증가시켜 반도체와 절연체 계면에서 전하의 축적을 증가시키는 방법이 주로 사용된다 [9]. 대표적인 고유전율 고분자 절연체인 P(VDF-TrFE) (poly(vinylidene fluoride)-trifluoroethylene)와 그 유도체(derivatives) 분자들이 많이 사용되고 있다. 이러한 PVDF 계열의 불소계 고분자 절연체는 -C-F 결합과 같은 쌍극자의 배열에 의해 강유전성이 나타날 수 있으며, 전자를 끌어당기는 능력이 탁월한 불소(fluorine) 원소로 인해 반도체와 절연체 계면에서는 주로 정공(hole) 유도가 용이하여 P형 OFET 소자의 성능을 향상시키는 것으로 보고된 바 있다 [10].

CMOS 기반의 고성능 유기 전자회로를 구현하기 위해서는 P형과 동일한 특성의 N형 OFET 소자 구현이 필수적으로 요구된다. 하지만 P형 유기반도체 기반 트랜지스터의 특성 향상 수준에 비해 N형 소자의 특성은 상대적으로 더디게 개선되고 있으며, 이러한 문제를 극복하기 위한 소재 및 소자, 제작 공정 기술 개발이 반드시 필요하다. 따라서 앞서 언급한 PVDF 계열의 고

**Table 1.** Capacitance per unit area of various bi-layered polymeric gate dielectrics with PS and PVDF-based polymer dielectrics. [Unit: nF/cm<sup>2</sup>]

PVDF concentration	PS/P(VDF-TrFE)	PS/P(VDF-TrFE-CTFE)	PS/P(VDF-TrFE-CFE)
30 mg/mL	22.1	35.8	34.9
15 mg/mL	63.4	95.4	106.6

유전율 고분자 절연체를 활용해 저전압 고성능 N형 OFET 소자를 개발하기 위해서 불소계 고분자에 의한 반도체-절연체 계면에서의 전자 공핍 현상을 극복하고, 동시에 소스 전극으로부터 반도체 채널로 주입되는 전자들에 대한 전하 주입 장벽을 낮추기 위한 방법 연구가 필요하다.

본 연구에서는 CMOS 기반 유기전자회로 구현을 위하여 N형 OFET 소자의 성능을 향상시키면서 낮은 구동전압 특성을 동시에 확보하기 위한 연구를 수행하였다. 구동전압을 감소시키기 위해서는 반도체와 절연체 사이의 상호작용(coupling)이 중요하며, 절연층의 정전용량을 증가시키기 위해 높은 유전율을 가지는 PVDF 계열의 고분자 절연체(P(VDF-TrFE), P(VDF-TrFE-CTFE), P(VDF-TrFE-CFE))를 이용하여 저전압 구동 가능한 N형 OFET 소자를 제작하였다. PVDF 계열의 고분자는 C-F 결합이 가지는 높은 극성으로 인해 계면에서 전하의 축적을 방해함으로써 N형 반도체 소자의 성능에 악영향을 미친다 [10]. 따라서 PVDF 절연체와 반도체 사이에 계면 특성을 향상시키기 위한 저유전율 절연체 PS (polystyrene) 층을 도입함으로써 부분적으로 전자 공핍(depletion) 현상이 개선되었다. 하지만 여전히 PVDF 계열의 고분자로 인한 접촉저항 문제가 크게 작용하였으며, 이 문제를 해결하기 위해 용액공정을 통한 cesium fluoride (CsF) 전하주입층(charge injection layer, CIL)을 소스-드레인과 반도체 사이에 삽입함으로써 [11], 전하의 주입을 용이하게 만들어 저전압 구동 가능한 높은 성능의 N형 OFET 소자를 제작할 수 있었다.

## 2. 실험 방법

### 2.1 Substrate preparation

OFET의 소스-드레인 전극 패턴 형성을 위해 포토

리소그래피 공정을 이용하여 유리기판 위에 15 nm 두께의 금(Au) 전극 패턴을 형성하였다. 형성된 채널의 넓이(width)와 길이(length)는 각각 1 mm와 20  $\mu\text{m}$ 이다. Au 전극이 형성된 기판을 아세톤과 이소프로판올을 이용하여 각각 10분 동안 초음파세척기를 이용해 세척하였으며, 이후 기판의 표면 처리와 유기물 제거를 위해 20분 동안 자외선-오존(UV- $\text{O}_3$ ) 처리하였다.

N형 유기반도체로의 원활한 전자 주입을 위해 전자 주입층을 도입하였으며, 이때 사용된 CIL은 불화세슘(cesium fluoride, CsF)이다. CsF를 2 mg/ml 농도로 2-ethoxyethanol에 용해시킨 후, 공기 중에서 2000 rpm의 속도로 스프인코팅을 통해 Au 전극이 패턴된 유리 기판 위에 코팅하고, 110°C에서 10분간 가열판 위에서 건조하여 CsF 박막을 형성하였다.

## 2.2 Polymer semiconductor and gate dielectric layer deposition

고성능 N형 고분자 반도체로써 P(NDI2OD-T2) (poly(N,N'-bis-2-octyldodecyl naphthalene-1,4,5,8-bis-dicarboximide-2,6-diyl-alt-5,5',2,2'-bithiophene))을 사용하였으며, 10 mg/mL 농도로 p-xylene에 용해시킨 후 스프인코팅을 이용해 질소 분위기의 글러브박스 내에서 박막을 제조하였다. P(NDI2OD-T2) 박막이 형성된 기판을 200°C 가열판 위에서 60분간 열처리 하여 잔류 용매 제거와 고분자 분자들 간의 적절한 분자배열을 유도하였다.

이렇게 반도체가 코팅된 기판 위에, 저전압 동작 OFET 소자 구현을 위해 polystyrene (PS)과 PVDF 계열의 고분자 절연체로 구성된 저유전율/고유전율(low-k/high-k) 이중층(bi-layer) 구조의 절연층을 형성하였다. 낮은 유전상수를 갖는 PS( $\epsilon_r=2.6$ )는 3 mg/ml 또는 10 mg/ml 농도로 n-butylacetate (nBA)에 용해시켰으며, 높은 유전상수를 가지는 불소계 수지인 PVDF-TrFE, PVDF-TrFE-CFE (1,1-chlorofluoroethylene, CFE), PVDF-TrFE-CTFE (chlorotrifluoroethylene, CTFE) 고분자는 각각 15 mg/ml 또는 30 mg/ml 농도로 acetonitrile에 용해시켜 사용하였다. 첫 번째 절연층인 PS 박막을 반도체 위에 스프인코팅을 통해 형성한 후, 두 번째 절연체 박막인 PVDF 계열의 고분자들을 동일한 방법으로 PS 층 위에 코팅하여 이중층 구조의 절연체 박막을 제작하였다. 이후 80°C 온도의 가열판 위에서 약 10분간 가열하여 반도체와 절연체 박막을 완성하였다. 마지막으로, 게이트 전극 패턴 제작을 위해, 35 nm 두께

의 알루미늄(Al)을 고진공( $6.2 \times 10^{-7}$  Torr) 열 증착기를 이용해 증착하여 최종적으로 OFET 소자를 제작하였다.

## 2.3 Characterization of OFET devices

제작된 OFET 소자는 질소 분위기의 글러브박스 내에서 probe station과 Keithley 4200 반도체 특성분석기를 이용해 성능을 평가하였다.

## 3. 결과 및 고찰

### 3.1 고유전율 고분자 절연체를 통한 저전압 OFET

저전압 고성능 유기물 트랜지스터 개발을 위해서는 낮은 구동 전압에서도 반도체와 절연체 사이 계면에서 전하 축적(accumulation)이 원활히 이루어져야 한다. 이렇게 형성된 전하축적 채널을 통해 소스/드레인 전극에서 주입된 전자 또는 정공(hole)이 빠르게 이동함으로써 트랜지스터 소자가 동작하게 된다. 따라서 낮은 전압에서 높은 전하 축적을 유도하기 위해서는 높은 유전율의 게이트 절연체 사용이 필수적으로 요구된다. 절연층의 정전용량(capacitance)은 박막의 두께와 유전체의 유전상수(dielectric constant:  $\epsilon_r$ )에 영향을 받는다. 따라서 높은 정전용량을 확보하기 위해서는 높은 유전율을 가지는 절연체를 얇은 박막으로 제조하여 사용해야 한다.

다양한 고유전율 절연체들 중에서 PVDF-TrFE 계열의 고분자는 가장 잘 알려진 물질이며, 저전압 구동 OFET 소자 제작을 위해서도 흔히 사용되어 왔다. 하지만 PVDF-TrFE는 강유전(ferroelectric) 특성이 잘 나타나는 물질로서 구동 중 히스테리시스(hysteresis) 특성을 보이며, 10 정도의 유전상수를 가지고 있어서 극히 낮은 구동 전압을 원하는 OFET에 적용하기에는 한계가 있다. 이에 반해 PVDF-TrFE-CFE와 PVDF-TrFE-CTFE는 PVDF-TrFE 보다 상대적으로 높은 20 이상의 높은 유전상수 값을 나타내며, relaxor 절연체로서 히스테리시스 특성이 약하게 나타나기 때문에 저전압 고신뢰성 OFET 소자 적용에 적합한 물질로서 손꼽힌다 [12]. 이러한 PVDF 기반의 다양한 고유전율 절연체를 이용해 OFET 소자에 적용한 기존 결과를 바탕으로 P형 OFET에는 절연체가 가지는 -C-F 결합에 의해 반도체와 절연체 계면에서 정공 유도가 보다 활성화되어 높은 전하 이동도를 가지는 고성능 소자 개

발이 가능하였다 [10]. 하지만, 이러한 정공유도 특성은 N형 OFET에는 상대적으로 낮은 성능을 감수해야 하는 단점이 있다. CMOS 기반의 고성능 전자회로 구현을 위해서는 P형과 비슷한 성능을 가지는 고성능 N형 OFET 소자 성능이 확보되어야 한다. 이를 위해 PVDF 계열의 고분자 절연체를 활용해 낮은 구동전압과 높은 전자 이동도를 가지는 N형 OFET 특성 확보가 반드시 필요하다.

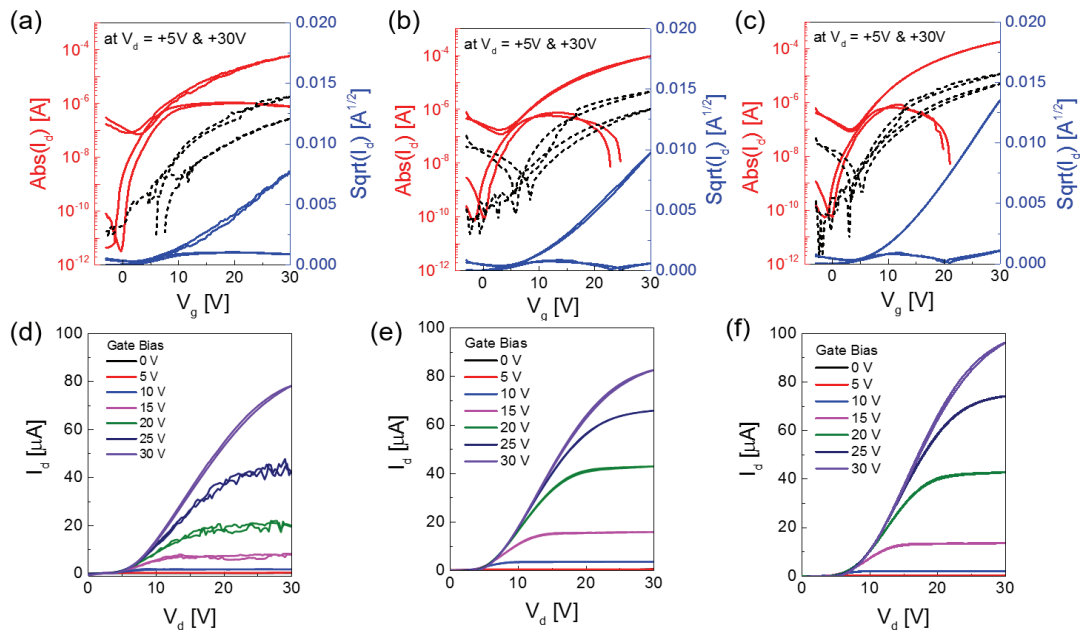
PVDF 계열의 고분자는 계면에서 정공의 축적을 유도하는 높은 극성의 -C-F 및 -C-Cl 결합을 가지 있으며, 이러한 화학결합과 유기반도체 채널과의 직접 접촉을 피하기 위해 얇은 두께의 보호막으로 PS 층의 도입이 필요하다. PS은 2.6 정도의 낮은 유전상수를 가지고 있는 범용 고분자 절연체로서 PVDF 계열의 고유전율 전연체와 이중층 구조로 적층하여 제작하였을 경우, 인가된(applied) 게이트 전압이 낮은 유전상수를 가지는 PS 층에 상대적으로 집중되면서 단일층 구조보다 높은 전하 축적을 반도체와 게이트 절연체 계면에서 유도할 수 있다.

그림 2는 이중층 구조의 고분자 절연체를 이용한 N형 P(NDI2OD-T2) OFET 소자의 transfer (드레인 전류;  $I_d$  vs 게이트 전압;  $V_g$ )와 output (드레인 전류;  $I_d$  vs 드레인 전압;  $V_d$ ) 특성을 나타낸 것이다. OFET 소자의 특성을 확인한 결과 30 V 이하의 상대적으로 낮

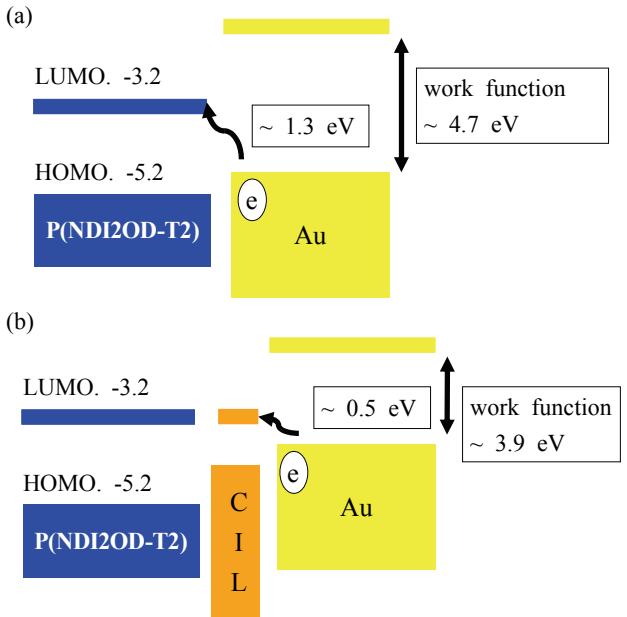
은 전압에서 소자가 잘 동작하는 것을 확인할 수 있었다. OFET 소자의 전하 이동도(mobility)와 문턱전압(threshold voltage,  $V_{Th}$ )은 각각 약  $0.1 \text{ cm}^2/\text{Vs}$ 와 8.5-9 V로 측정되었다. 하지만 Output 특성에서 5 V 이하의 낮은 드레인 전압 조건에서 매우 낮은 드레인 전류가 흐르며 비선형적인 증가 곡선이 나타나는 것을 확인할 수 있었다. 또한 transfer 곡선의 선형영역(at  $V_g=+5 \text{ V}$ )에서도 게이트 전압이 점차 증가함에 따라 드레인 전류가 점차 감소하는 등 일반적인 OFET 특성 곡선과 다른 소자 특성이 나타나는 것을 확인할 수 있었다. 이러한 소자 특성은 상대적으로 높은 일함수(work function)를 가지고 있는 금(Au) 소스/드레인 전극으로부터 반도체 채널로의 전자의 주입이 원활치 않아 높은 접촉저항이 나타나기 때문으로 해석된다. 높은 일함수의 전극 소재 특성과 PVDF 계열의 고분자 절연체가 가지고 있는 -C-F 쌍극자들에 의해 소스/드레인 전극에서 주입되는 정공의 흐름을 방해하여 나타나는 현상으로 판단된다.

### 3.2 CIL 처리를 통한 접촉 저항 감소

소스/드레인 전극으로부터 효과적으로 전자가 주입되도록 유도하기 위해 용액공정 가능한 전하 주입층(CIL)을 도입하였다. CsF와 같은 전이금속염은 OLED



**Fig. 2.** (a-c) Transfer and (d-f) output characteristics of P(NDI2OD-T2) OFETs with high capacitance bi-layered polymeric gate dielectrics; (a,d) PS/P(VDF-TrFE), (b,e) PS/P(VDF-TrFE-CTFE), (c,f) PS/P(VDF-TrFE-CFE).

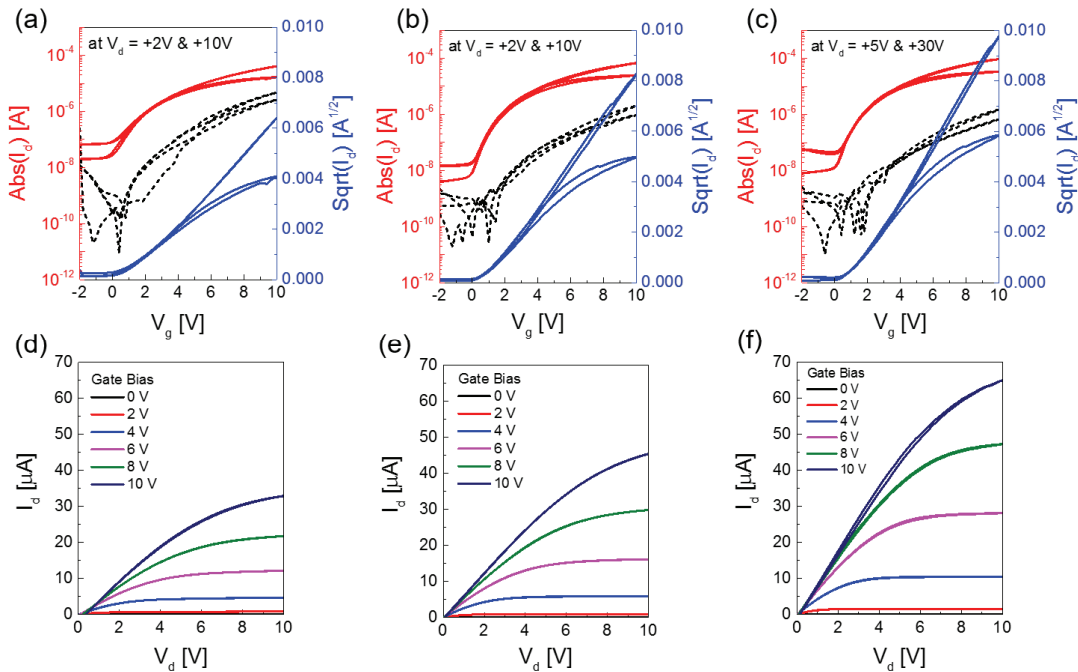


**Fig. 3.** Schematic diagram of charge injection mechanism of N-type OFETs; (a) P(NDI2OD-T2) OFETs without CIL layer and (b) with CsF layer.

수를 낮춰주는 역할을 한다 [13]. 또한 유기물 반도체의 N 도핑 효과를 동반하여 높은 소자 성능을 얻는데 다양하게 이용된다. 그림 3은 CsF CIL 층을 도입하였을 경우와 하지 않았을 경우 P(NDI2OD-T2) 반도체와 금(Au) 소스/드레인 전극 사이에 형성된 전하주입 장벽과 전하 주입 방식을 도식화하여 나타낸 그림이다. CsF 층이 없을 경우, Au 전극과 P(NDI2OD-T2) 반도체의 LUMO 준위는 약 1.3 eV 정도의 높은 에너지 장벽이 있으며, 이는 전자의 주입을 크게 방해하는 작용을 하게 된다. 반면에 금 전극과 반도체 사이에 CsF CIL을 도입하였을 경우 금의 일함수는 4.7 eV에서 약 3.9 eV로 낮아지게 되면서 전하 주입장벽 역시 약 0.5 eV로 작아지는 효과가 나타난다. 따라서 CsF 층을 도입하게 되면 N형 OFET 소자의 접촉저항을 감소시켜 고성능 소자 개발이 가능하다.

CsF 전하 주입층 도입 전후의 N형 P(NDI2OD-T2) OFET 소자의 접촉저항을 transmission line method를 이용해 측정된 결과 약  $10^7 \Omega \cdot \text{cm}$  정도의 높은 접촉저항이  $3.5 \times 10^5 \Omega \cdot \text{cm}$  정도로 크게 감소하는 것을 확인할 수 있었다. 또한 그림 4에 나타낸 Output 곡선에서 확인하였을 경우, 낮은 드레인 전압 영역에서 드레인 전류( $I_d$ )와 드레인 전압( $V_d$ ) 간의 특성이 ohmic 접촉을 의미하는 선형 특성이 나타나는 것을 확인할 수 있다.

나 유기태양전지 등에서 많이 응용되었으며, 높은 일함수를 가지고 있는 전극 표면에 코팅하여 전극의 일함



**Fig. 4.** Transfer and (d-f) output characteristics of P(NDI2OD-T2) OFETs with CsF charge injection layers and various bi-layered polymer dielectrics (a,d) PS/P(VDF-TrFE), (b,e) PS/P(VDF-TrFE-CTFE), (c,f) PS/P(VDF-TrFE-CFE).

**Table 2.** Fundamental device parameters of low-voltage operating N-type OFETs.

Classification	Saturation mobility (cm <sup>2</sup> /Vs)	Subthreshold slope (V/dec)	Threshold voltage (V)	Contact resistance ( $\Omega \cdot \text{cm}$ )
No-CIL treatment P(VDF-Tr-FE)	0.1±0.02	0.96±0.23	9.02±1.2	3.35×10 <sup>6</sup>
No-CIL treatment P(VDF-Tr-FE-CTFE)	0.12±0.03	1.4±0.32	8.52±0.97	1.41×10 <sup>6</sup>
No-CIL treatment P(VDF-Tr-FE-CFE)	0.18±0.02	1.00±0.2	9.22±0.8	3.86×10 <sup>7</sup>
CIL treatment P(VDF-Tr-FE)	0.16±0.03	1.45±0.64	1.2±0.18	1.57×10 <sup>6</sup>
CIL treatment P(VDF-Tr-FE-CTFE)	0.24±0.1	0.83±0.31	0.9±0.1	3.5×10 <sup>5</sup>
CIL treatment P(VDF-Tr-FE-CFE)	0.37±0.08	0.82±0.6	1.23±0.21	2.13×10 <sup>6</sup>

고유전을 고분자 절연체를 이용해 저전압 구동 고성능 N형 OFET 제작을 위해서는 CIL 도입을 통한 접촉 저항 문제 해결과 동시에 고분자 절연체 박막의 두께를 최적화해야 한다. 앞서 언급했던 바와 같이 저전압 구동을 위해서 정전용량을 증가시키는 것이 필요하다. 이에 대한 결과로 절연체 층의 두께를 감소시킴으로써 정전용량을 더욱 증가시킬 수 있다. 하지만 절연체의 두께를 계속 감소시키면 누설전류 발생으로 인한 소자 특성 확보가 어렵기 때문에, 최적화된 절연체 층의 두께 확보가 필요하다. 본 논문에서는 이중층 구조로 된 고분자 절연체의 최적의 두께를 연구하였으며, 그 결과 약 5 nm 두께의 PS 층과 약 80 nm 두께의 PVDF 고분자를 이중층 구조로 제작하여 10 V 이하의 저전압에서 구동하는 고성능 OFET 소자를 제작할 수 있었다. PS/P(VDF-TrFE-CFE) 절연층을 이용한 N형 OFET 소자에서 전자의 포화이동도는 유전율이 높아짐과 CIL 처리를 함에 따라서 최대 0.37(±0.08) cm<sup>2</sup>/Vs까지 증가하였고, 문턱전압은 처음과 비교하여 9 V에서 약 1 V 이하로 감소시킬 수 있었다.

#### 4. 결론

본 연구에서 높은 유전율을 가지는 PVDF 계열의 고분자 절연체를 이중층 구조로 제조함과 CsF CIL 도입을 통해 10 V 이하 저전압에서 구동하는 고성능 N형 OFET 소자 제조기술을 확인하였다. 고유전율의 PVDF

계열의 절연체를 사용하여 반도체와 게이트 계면에서 전하 축적을 용이하게 하였으며, 이를 통해 유도 전하의 이동도를 증가시켰다. 또한, CIL 처리를 통하여 PVDF 절연체와 높은 일함수의 소스/드레인 전극에 의한 접촉 저항 문제를 해결함으로써 N형 반도체를 이용한 유기트랜지스터의 성능을 향상시켰다. 이는 일반적으로 높은 구동 전압을 요구하는 유기 반도체 기반 전자소자의 문제점을 극복함으로써 앞으로 유기반도체 기반 트랜지스터가 폭넓게 활용될 수 있을 것으로 보인다. 본 연구를 통해 확보된 저전압 고성능 N형 OFET 소자는 향후 P형 OFET 소자와 결합하여 고성능 CMOS 기반 유기/인쇄전자회로 개발을 가능케 할 것으로 기대된다.

#### 감사의 글

이 논문은 부경대학교 자율창의학술연구비(2016년)에 의하여 연구되었음.

#### REFERENCES

- [1] A. Facchetti, *Chem. Mater.*, **23**, 733 (2011). [DOI: <http://doi.org/10.1021/cm102419z>]
- [2] Y. Guo, G. Yu, and Y. Liu, *Adv. Mater.*, **22**, 4427 (2010). [DOI: <http://doi.org/10.1002/adma.201000740>]
- [3] G. Gelinck, P. Heremans, K. Nomoto, and T. D. Anthopoulos,

- Adv. Mater.*, **22**, 3778 (2010). [DOI: <http://doi.org/10.1002/adma.200903559>]
- [4] T. Sakanoue and H. Siringhaus, *Nat. Mater.*, **9**, 736 (2010). [DOI: <http://doi.org/10.1038/nmat2825>]
- [5] T. Sekitani, U. Zschieschang, H. Klauk, and T. Someya, *Nat. Mater.*, **9**, 1015 (2010). [DOI: <http://doi.org/10.1038/nmat2896>]
- [6] H. Klauk, *Chem. Soc. Rev.*, **39**, 2643 (2010). [DOI: <http://doi.org/10.1039/b909902f>]
- [7] A. C. Arias, J. D. MacKenzie, I. McCulloch, J. Rivnay, and A. Salleo, *Chem. Rev.*, **110**, 3 (2010). [DOI: <http://doi.org/10.1021/cr900150b>]
- [8] D. Natali and M. Caironi, *Adv. Mater.*, **24**, 1357 (2012). [DOI: <http://doi.org/10.1002/adma.201104206>]
- [9] K. J. Baeg, M. Caironi, and Y. Y. Noh, *Adv. Mater.*, **25**, 4210 (2013). [DOI: <http://doi.org/10.1002/adma.201205361>]
- [10] K. J. Baeg, D. Khim, S. W. Jung, M. Kang, I. K. You, D. Y. Kim, A. Facchetti, and Y. Y. Noh, *Adv. Mater.*, **24**, 5433 (2012). [DOI: <http://doi.org/10.1002/adma.201201464>]
- [11] K. J. Baeg, J. Kim, D. Khim, M. Caironi, D. Y. Kim, I. K. You, J. R. Quinn, A. Facchetti, and Y. Y. Noh, *ACS Appl. Mater. Interfaces*, **3**, 3205 (2011). [DOI: <https://dx.doi.org/10.1021/am200705j>]
- [12] J. Li, D. Liu, Q. Miao, and F. Yan, *J. Mater. Chem.*, **22**, 15998 (2012). [DOI: <http://doi.org/10.1039/C2JM32177G>]
- [13] J. H. Kim and J. W. Park, *J. Mater. Chem. C*, **5**, 3097 (2017). [DOI: <http://doi.org/10.1039/c7tc00488e>]