

3 Monolithic 3D 기술의 연구 동향

글_ 최리노 교수, 지형민 석사 과정 | 인하대학교 신소재공학과

1. 서론

CMOS (complementary metal oxide semiconductor)는 로직회로를 구현할 수 있는 집적 회로의 한 종류로, 현재 사용하고 있는 대부분의 디지털 회로를 구성하는데 이용되고 있다. 현재 CMOS는 미세화(scaling down)를 통해 소자 성능 향상 및 고집적화를 통한 제조 단가 감소를 동시에 달성하며 반도체 산업을 급격히 성장시켜왔다. 하지만 CMOS의 on/off를 하는 gate의 길이가 20 nm 이하로 줄어들면서 이러한 미세화의 물리적인 한계에 직면하게 되었

다. 그림 1과 같이 intel에서는 소자미세화의 물리적 한계를 극복하기 위해서 22 nm 급 소자에 트랜지스터의 늘리는 FinFET 구조를 적용했으며 high mobility channel material 등을 사용하여 소자 미세화를 지속하려 하고 있다 [1].

하지만 이러한 노력에도 불구하고 미세화를 통한 성능 향상은 점차 어려워지고 있다. 또한 증가된 배선(interconnection) 길이로 RC delay 와 전력 소모 증가도 발생하고 있다. Globalfoundries, nVIDIA, Broadcom, ARM, Qualcomm 등 해외 우수한 반도체 회사는 소자 성능과 개발 비용의 cross point를 28 nm 기술 노드로 이야기하고 있다. 다시 말해 28 nm 이후의 기술에서는 연구 개발 투자비 대비 칩의 가격에서 오는 경제적 이점을 상실한다는 것이다. 이에 따라 앞으로의 기술 발전 방향은 미세화를 통한 고성능화(more moore) 와 함께 다양한 기능을 구현하는 3차원 집적 기술(more than moore) 이 바람직하다고 이야기되고 있다 [그림 2].

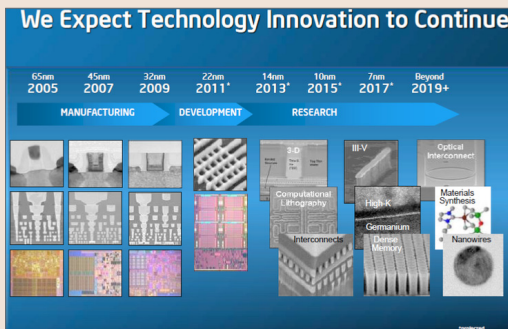


그림 1 ▶ Intel process road map.

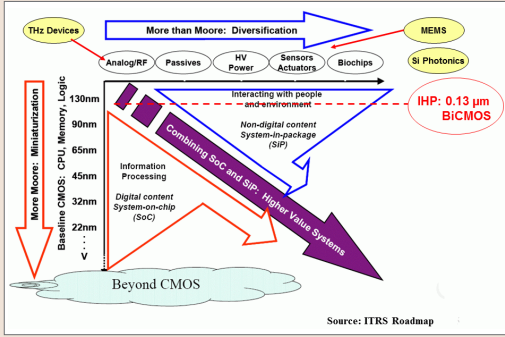


그림 2 ▶ More moore와 more than moore의 기술 발전.

3차원 집적 기술을 사용할 경우 기존의 2차원 기판을 여러 층 쌓을 수 있기 때문에 적은 비용으로도 집적도 향상이 가능하다. 또한 3차원 집적 기술은 2차원 구조 대비 상대적으로 짧은 연결 배선 길이를 통해 RC delay와 전력 소모 감소가 가능하며 [2], 서로 다른 웨이퍼를 접합하는 것이 가능하므로 다양한 종류 소자들의 이중 접합이 가능하다. 이러한 3차원 집적 방법은 3차원 stacked IC와 3차원 시퀀셜

집적 IC (monolithic 3D, M3D) 로 구분할 수 있다 (그림 3). 3차원 Stacked IC는 서로 다른 소자 층을 TSV (through silicon via)를 이용하여 적층 연결하는 방식이다. 이 방식은 소자층 간의 정렬문제와 연결 배선이 소형화 안되는 문제점들이 존재한다. 반대로 M3D의 경우 하나의 웨이퍼 위에 활성층(active layer)을 전공정(front end process)을 이용하여 순차적으로 형성하는 방법이다. 기존의 photolitho를 이용하여 정렬을 할 수 있으므로 매우 작고 높은 밀도의 via를 형성할 수 있다는 장점이 있다.

그러나 하부 층 형성 후 상부 소자 층을 형성하여야 하므로 상부 층 소자 제작시 하부 층이 thermal degradation 될 수 있는 단점이 있다.

본 기고에서는 M3D 단일 집적을 위한 공정 기술 개념 및 동향에 대해 기술하며, 특별히 M3D 소자를 위해 필요한 단위 공정 기술에 대해 알아보도록 한다.

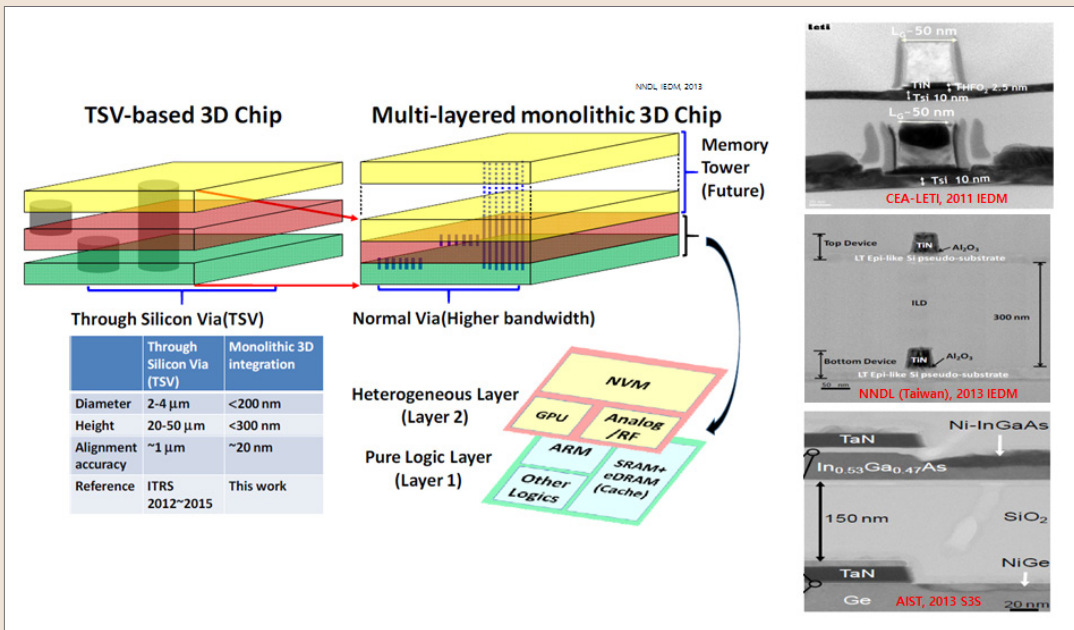


그림 3 ▶ TSV와 M3D 기술 비교.

표 1 ▶ TSV와 시퀀셜 단일집적 기술의 장단점.

	TSV	M3D
Good	<ul style="list-style-type: none"> No thermal budget limitation 	<ul style="list-style-type: none"> Good at scaling down and intergration due to small via size Better economi efficiency than TSV (It can reduce photolithograph mask) Gook compatible with CMOS device
Bad	<ul style="list-style-type: none"> There are limit applications to industry because of big Via scale low interconnection density Expensive and difficult 3-dimensional contact process 	<ul style="list-style-type: none"> Diffcult integration process Epi-growth and laser annealing process are necessary for bottom device stability Limitation to themal budget

CEA-Leti (프랑스)

프랑스의 CEA-Leti는 상부 소자 층 형성을 위해 그림 4와 같이 wafer bonding을 이용하였다. 하부 소자층 위에 oxide 층을 덮고 CMP로 평탄화를 한 후 silicon-on-insulator (SOI) wafer를 사용하여 상부 활성층을 형성한다. CMP - hydrophilic bonding - annealing (200 °C) - initial substrate removal 의 공정을 거치게 된다. SOI wafer를 사용하여 상부 활성층을 형성하므로 결정질 Si의 높은 이동도를 그대로 이용할 수 있는 장점이 있다. CEA-Leti는 상부 FET (110 Si) 과 이중접합을 통해 SRAM 소자를 구현하여 기존의 2차원 소자에 근접한 수준의 성능을 보였다.

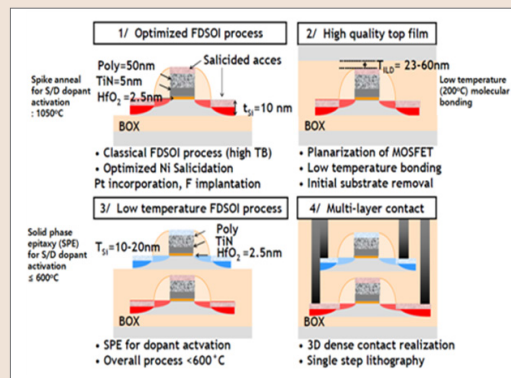


그림 4 ▶ CEA-LETI wafer bonding을 통한 소자 형성.

2. Monolithic 3D integration

2.1 M3D 연구 현황

M3D 구현은 하부 소자 층 위에 상층부의 소자 적층을 위해 활성층을 형성해야 한다. 활성층을 형성하는 방법으로는 wafer bonding, epitaxy growth, polysilicon의 사용 등 다양한 방법이 연구되어 지고 있다.

Stanford University (미국)

미국의 Stanford 대학 연구팀은 그림 5와 같이 Si 기판위에 oxide 층을 형성한 뒤 seed window를 만들고 그 곳을 통해 Ge를 성장하여 상부 소자 활성층을 형성하였다. 이때 rapid melt growth 또는 metal induced crystallization 을 사용하여 단결정 상부 소자 층을 만드는데, 이 단결정화 기술이 상부 소자 층의 전기적 특성을 결정하는 핵심 기술이 된다.

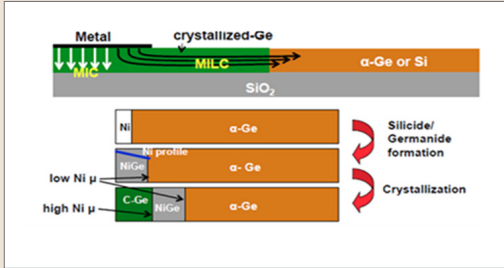


그림 5 ▶ Stanford, metal induced crystallization을 이용한 상부 소자 형성.

NNDL (대만)

Wafer bonding 방식이 아닌 비정질 Si을 증착한 후 laser induced annealing을 통해 crystallization 하여 형성된 층에 소자를 구현하는 방식을 사용하였다 (그림 6). GN-LSA (green nanosecond laser spike annealing)를 이용하여 Si의 결정화를 하였고 sub 50 nm급 M3D SRAM과 flash memory 소자를 구현하였다. GN-LSA crystallization, CMP thinning, GN-LSA activation 등의 기술을 도입하였다.

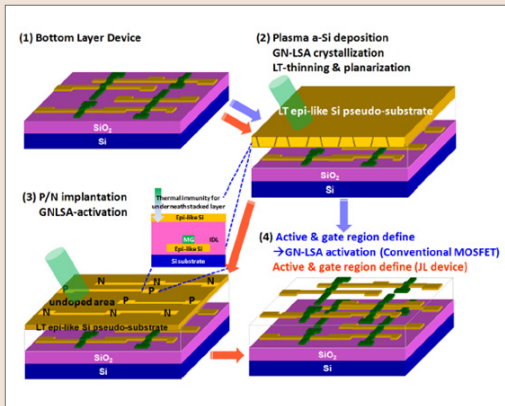


그림 6 ▶ NNDL, GN-LSA 공정을 통한 상부 소자 형성.

2.2 M3D 집적을 위한 공정 연구

M3D 집적의 가장 큰 문제는 상부 소자 층 성장 과정 또는 상부 층의 소자 구현 과정에서 하부 소자 층의 전기적 특성이 악화될 수 있다는 점이다. 따라서 실제적인 3차원 집적 회로를 구현하기 위해서는 다음 그림 7과 같이 하부 소자 층의 전기적 특성을 보장해줄 수 있는 열 안정성이 우수한 contact 기술과 열 충격을 최소화할 수 있는 상층부 소자형성 단위 공정의 개발이 필수적이다. 그림 8은 poly-Si을 이용한 M3D 집적 소자의 개략도를 보여준다.

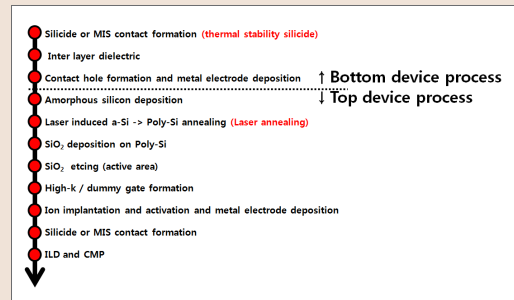


그림 7 ▶ Poly-Si을 이용한 시퀀셜 단일 직접 공정도 예시.

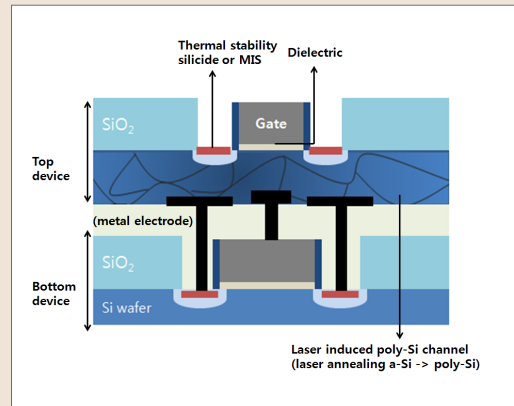


그림 8 ▶ Poly-Si을 이용한 시퀀셜 소자 개략도.

열안정성이 높은 contact 기술

그림 4~6에서 소개하였듯이 상부 소자 집적을 위한 활성층 형성과 열충격을 줄일 수 있는 상부소자 형성 기술 개발이 매우 중요한 일이다. 그러나 실제로 M3D 단일집적회로를 구현하기 위해서는 하부 소자 층의 thermal degradation을 막는 하부소자 요소 기술 개발도 매우 중요하다. 특히 상대적으로 낮은 온도에서도 열충격에 의해서도 성능이 악화되는 contact의 thermal stability를 높이는 기술이 필수적이다. 60 nm 이하 기술노드에서는 낮은 contact resistance를 위해 NiSi를 형성하여 contact material로 사용하고 있다. 그러나 NiSi은 650 °C 이상의 온도에서 agglomeration 현상이 나타나며 또한 NiSi 보다 상대적으로 저항이 2~3 배 높은 NiSi₂ Phase가 나타난다 [3, 4]. 따라서 시퀀셜 소자의 하부 소자 열화를 막기 위해서는 NiSi의 열안정성을 높일 필요가 있다. 그림 9에 소개된 것과 같이 NiSi 열 안정성을 높이는 가장 일반적인 방법은 Ni에 Pt를 첨가하는 방법이다 [5, 6]. Ni과 함께 소량 (0~15%)의 Pt를 첨가하면 NiSi의 interface energy를 낮추어 NiSi₂ 형성 온도를 최대한 높이는 효과가 있다.

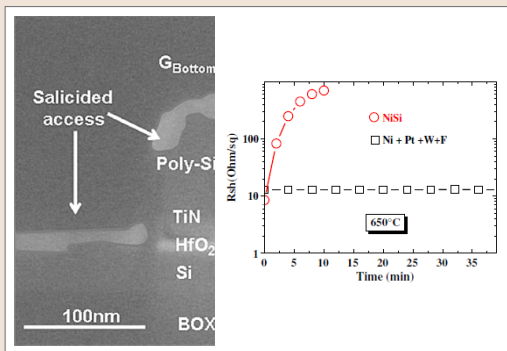


그림 9 ▶ Pt를 이용한 열적으로 안정된 NiSi 형성 기술.

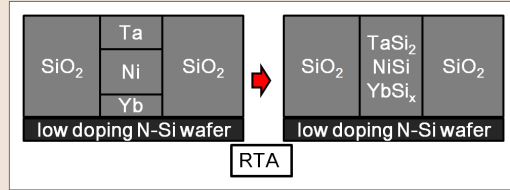


그림 10 ▶ Ta/Ni/Yb multi layer silicide.

현재 시퀀셜 소자를 연구하고 있는 CEA-LETI(프랑스) 역시 하부층 소자의 열 안정성을 위해 Pt를 첨가하고 있다.

이 밖에 NiSi의 열안정성을 높이는 방법으로 Ni보다 안정한 Phase의 NiN material과 SiN layer을 이용하여 Ni의 diffusion rate를 낮추는 방법이나 [7, 8], implantation, Ta/Yb, Mo, W interlayer [9-12]를 이용하는 방법 등이 있다. 그림 10은 Ta/Ni/Yb multi layer을 통해 silicide를 형성하는 구조이다. RTA를 통해 열처리를 진행하면 Yb, Ni 고온에서 ytterbium silicide와 nickel silicide를 형성하여 SBH (schottky barrier height)를 낮추는 역할을 한다. 또한 Ta layer가 NiSi phase의 interface energy를 줄여 NiSi phase stability를 증가시킨다. 그림 11의 GIXRD peak를 참조하면 Ni에 Ta, Yb를 첨가 silicide은 600 °C, 30min post annealing 이후 NiSi peak가 여전히 남아 있는 것을 확인 할 수 있다. 반면에 Ni만을 사용하여 형성한 silicide는 post annealing 이후 NiSi peak가 사라지고 저항이 높은 NiSi₂ Phase가 형성되었다.

본 연구실에서는 현재의 공정과 유사하여 양산에 유리한 공정의 개발을 위해서 Si 위에 NiN layer을 증착하여 열 안정성이 향상된 NiSi 형성 기술도 연구 중이다. NiN 내의 nitrogen으로 Ni의 확산을 늦춰져서 고온에서도 contact resistance

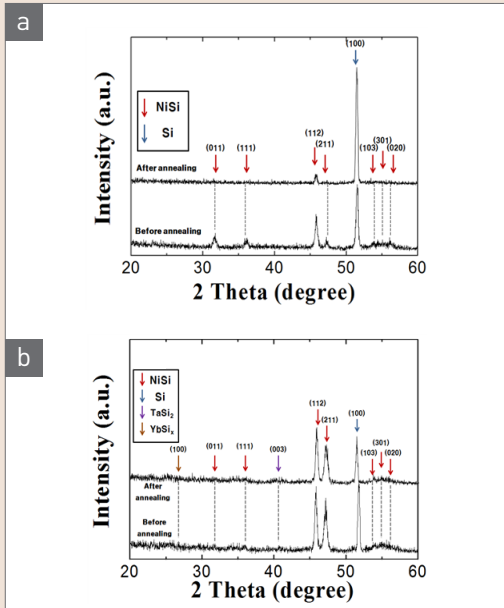


그림 11 ▶ (a) Ni layer만을 이용한 NiSi and (b) Ta/Ni/Yb multi layer silicide.

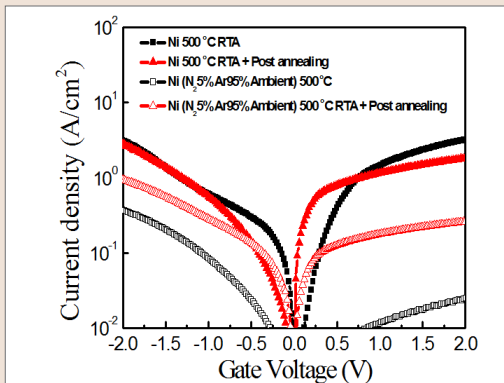


그림 12 ▶ NiN layer silicide I-V graph.

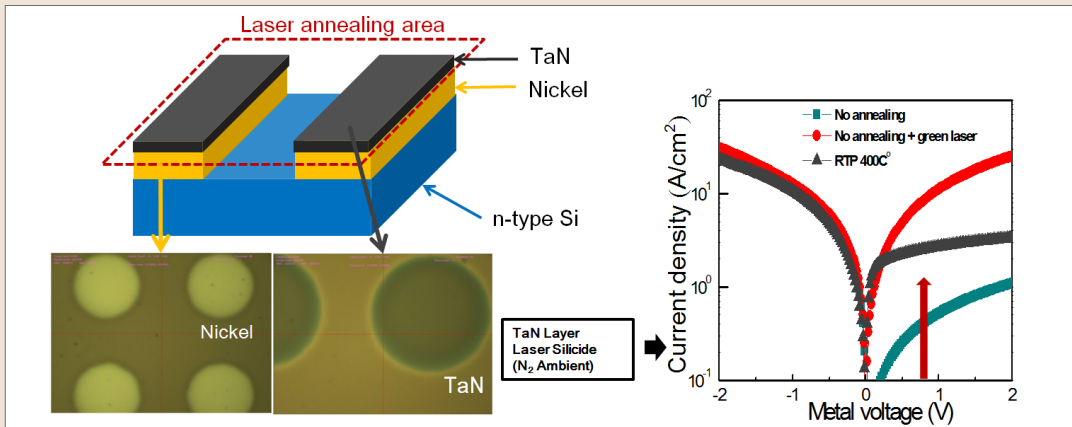


그림 13 ▶ Green laser와 TaN capping layer을 이용한 silicidation.

증가가 없는 silicide를 형성할 수 있다. 그림 13에서 보는 바와 같이 NiSi을 형성한 직후에는 Nitrogen의 영향으로 reverse voltage가 감소하는 경향이 있으나, 600 °C/30 min post annealing 진행 결과 기존 NiSi 대비 전기적 특성에 대한 열적 열화 현상이 완화된 것을 확인할 수 있다.

Silicide의 열 안정성 향상을 위한 다양한 연구들이 진행되고 있지만 궁극적으로는 작은 contact의 크기에서도 contact resistance를 줄일 수 있으며 FinFET, GAAFET 과 같은 3차원 형상의 소자에서도 구현이 가능하여야 한다. 또한 양산화를 고려한 연구가 되어야 할 것이다.

상부 소자 층의 laser 열처리 기술

앞서 말한 바와 같이 상부 소자 층의 형성 공정이 고온일 경우 낮은 열 안정성을 갖는 부분이 열화 되면서 하부 소자의 성능을 나빠지게 한다. 이를 막기 위해서는 근본적으로는 상부 소자 층의 공정을 저온에서 가능하도록 하여야 한다.

그러므로 furnace나 RTA를 이용하여 고온 anneal을 할 수 없으므로 laser를 이용한 국부적 열처리 기술 개발은 매우 중요하다. laser

annealing을 이용한 dopant activation, silicidation, 비정질 Si의 crystallization, gate stack 열처리 기술 등의 개발이 필요하다.

그림 13은 시퀀셜 소자의 상부층 소자를 위해 green laser을 이용한 laser silicidation 공정이다. 반사율이 높은 Ni layer위에 흡수율이 높은 TaN layer을 별도로 증착하여 광에너지가 충분히 흡수되도록 하였다. 이 경우 NiSi을 제조하는 일반적인 RTA 방법 대비 전기적으로 크게 열화되지 않는 우수한 특성을 구현할 수 있다.

상부층 poly-silicon channel 역시 laser annealing 공정을 이용하여 a-si을 poly silicon으로 결정화 가능하다. laser에 대한 amorphous 층의 흡수율이 높기 때문에, 하부소자에 영향을 주지 않는 장점이 있다. NNDL(대만)의 경우 laser spike annealing을 이용하여 상부 층과 하부 층의 특성차이가 거의 없는 CMOS inverter를 선보인 적이 있다 (그림 14).

Smart cut을 응용한 bonding 채널 전사 및 저온 단위 공정

수소이온의 implant를 이용한 Smart cut을 응용하여 채널 전사 공정을 연구 중이다. Patterned된 CMOS 하부 기판 위에 특정 깊이로

수소 Ion이 주입된 상부 소자를 본딩 한 후, 500°C 정도에서 열처리를 하여 수소가 빠져나가 crack을 형성하며 수백 nm 두께의 채널이 전사되는 원리이다 [13]. 전사된 상부 Si 채널층을 CMP 공정을 이용하여 surface roughness를 감소시켰다. 그림 15는 이와 같은 공정을 이용하여 하부 소자층 위에 전사된 상부 활성층의 단면을 보여주고 있다.

이렇게 CMP로 평탄화된 채널층 위에 Gate stack을 형성하고 source/drain (S/D) junction을 형성해야 한다. 일반적으로 S/D의 dopant activation을 위해서는 1,000 °C 이상의 고온 열처리가 필요하다. 그러나 앞서 말한 바와 같이 M3D 상부 소자층에서는 고온 열처리를 사용할 수 없으므로 in-situ doped 저온 S/D 형성 기술의 개발이 필요하다. 500 °C 이하에서 S/D 형성을 위하여 doping 된 SiGe epitaxy growth를 기술의 개발을 진행 중이다. 이와 함께 laser를 이용한 S/D activation을 함께 사용할 경우 하부 층 손상을 최소화하면서 우수한 접촉 저항을 구현할 수 있다. 이와 같이 저온에서 접촉 저항을 효과적으로 낮출 수 있는 junction 형성 기술은 MOSFET 소자 성능의 증대를 꾀할 수 있어 다방면의 기술 활용이 가능할 것이라 사료된다.

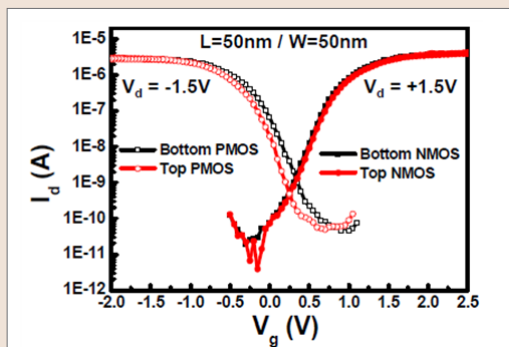


그림 14 ▶ 상부 층과 하부 층의 N/P-type MOSFET의 I_d - V_g 특성.

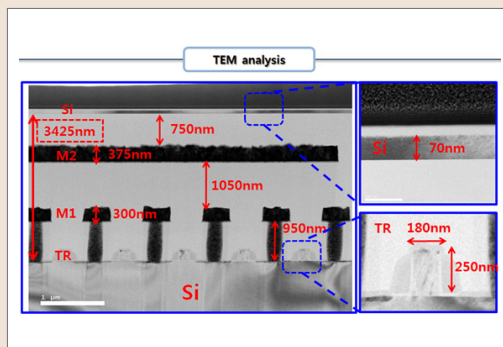


그림 15 ▶ 채널이 전사된 시퀀셜 소자의 TEM image.

3. 맺음말

반도체 산업은 CMOS 소자의 성능 향상을 통해 다양한 응용분야를 창출하면서 성장해 왔다. CMOS 소자의 성능 향상은 트랜지스터의 발명 이후 미세화를 통한 drive current 증가라는 어찌 보면 단순한 방법을 통해서 이루어져 왔다.

그러나 소자의 크기가 물질의 원자 단위에 근접해 갈수록 미세화는 점점 어려워지고 경제성을 상실하게 되었다. 이러한 상황에서 같은 면적에 많은 수의 다양한 소자를 집적할 수 있는 3D 적층 소자 기술은 반도체 기술의 또 다른 발전 방향으로서 제시되고 있다.

그 중 front end 공정을 이용하여 소자층을 적층하는 M3D 기술은 작은 크기의 Via를 이

용하여 짧은 연결 배선을 구현하므로써 RC delay를 감소시키고 전력 소모를 줄일 수 있다. 또한 다양한 소자의 결합을 통해 미래사회가 요구하는 여러 반도체 소자 제품 (Internet of Things, wearable device, 신경모사 반도체, smart car 등)을 구현할 수 있을 것으로 보인다.

그러나 이러한 M3D 소자 적층을 위해서는 중요한 단위 공정의 개발과 표준화 등의 난제도 있다. 그러므로 2차원 구조가 갖는 집적화의 한계를 극복할 뿐만 아니라 훨씬 적은 비용으로도 성능 향상이 가능한 M3D의 상용화를 위해서는 더욱 활발한 공동 연구와 방향성의 논의가 필요하다. 🌐

Acknowledgement

본 논문(원고)는 산업통상자원부 산업원천기술개발사업의 반도체미래소자사업 (No. 10052804) 및 과학기술정통부의 재원으로 한국연구재단의 지원을 받아 수행된 나노·소재기술개발사업 선행공정플랫폼개발사업 (No. 2015M3A7B7045470)의 지원을 받아 수행된 연구사업임.

참/고/문/헌

- [1] K. J. Kuhn, M. Y. Liu, and H. Kennel, Logic Technology Development, Intel Corporation (IEEE, Shanghai, China, 2010) p. 1.
- [2] J. Shi, D. Nayak, M. Ichihashi, S. Banna, and C. A. Moritz, Technology Research, GLOBALFOUNDRIES (IEEE, Pittsburgh, PA, USA, 2016) p. 449.
- [3] I. Lee, J. Park, H. Jeon, H. Kim, C. Shin, S. Shin, K. Lee, and H. Jeon, *American Vacuum Society*, 34, 1 (2016).
- [4] S. Mertens, T. Y. Hoffmann, C. Vrancken, S. Jakschik, O. Richard, E. Verleysen, H. Bender, C. Zhao, W. Vandervorst, A. Lauwers, and P. Absil, *The Electrochemical Society*, 13, 397 (2008).
- [5] E. Bourjot, M. Gregoire, F. Nemouchi, and D. Mangelinck, *Journal of Applied Physics*, 121, 13 (2017).
- [6] I. N. Makogon, E. P. Pavlova, S. I. Sidorenko, G. Beddies, D. L. Beke, A. Csik, T. I. Verbitska, E. V. Fihurna, and R. A. Shkarban, *Functional Materials*, 20, 332 (2013).
- [7] S. I. Kim, S. R. Lee, K. M. Ahn, and B. T. Ahn, *The Electrochemical Society*, 157, 231 (2010).
- [8] N. Shigemori, S. Sato, K. Kakushima, P. Ahmet, K. Tsutusi, A. Nishiyama, N. Sugii, K. Natori, T. Hattori, and H. Iwai, *The Electrochemical Society*, 33, 19 (2011).
- [9] P. S. Lee, D. Mangelinck, K. L. Pey, J. Ding, D. Z. Chi, J. Y. Dai, and A. See, *ELECTRONIC MATERIALS*, 30, 1554 (2001).
- [10] A. Severino, R. Magna, C. Anzalone, E. Bongione, and F. Rimini, *Journal of Applied Physics*, 101, 6 (2007).
- [11] W. Huang, L. Zhang, Y. Gao, and H. Jin, *Microelectronic Engineering*, 84, 678, (2007).
- [12] J. Choi, M. C. Nguyen, H. T. An, S. Y. Han, J. Y. Kim, and R. Choi, *Nanoscience and Nanotechnology Letter*, 9, 511 (2017).
- [13] R. Choi, H. Y. Yu, H. Kim, H. Y. Ryu, H. Bae, K. K. Choi, Y. W. Cha, and C. Choi, (IEEE S3S, Burlingame, USA, 2016) p. 1.

저/자/약/력

	성명	최리노	
	학력	1992년	서울대학교 무기재료공학과 학사
		1994년	서울대학교 무기재료공학과 석사
		2004년	University of Texas at Austin 대학교 재료공학 박사
	경력	2004~2007년	SEMATECH Project manager
2012~2014년		한국산업기술평가관리원 반도체공정, 장비 PD	
2007년~현재		인하대학교 신소재공학과 교수	
	성명	지형민	
	학력	2016년	인하대학교 유기응용재료공학 학사
		2017년~현재	인하대학교 신소재공학과 석사과정