

## 박막의 두께가 비정질 InGaZnO 무접합 트랜지스터의 소자 불안정성에 미치는 영향

전종석 · 조성호 · 최혜지 · 박종태\*

### Effects of thin-film thickness on device instability of amorphous InGaZnO junctionless transistors

Jong Seok Jeon · Seong Ho Jo · Hye Ji Choi · Jong Tae Park\*

Department of Electronic Engineering, Incheon National University, Incheon, 22012, Korea

#### 요 약

비정질 InGaZnO 박막 두께가 다른 무접합 트랜지스터를 제작하고 두께에 따른 양과 음의 게이트 스트레스 전압 및 빛을 비춘 상태에서 소자 불안정성을 분석하였다. 채널 박막 두께가 얇을수록 게이트 스트레스 및 빛이 인가된 상태에서 문턱전압 및 드레인 전류 변화가 큰 것을 알 수 있었다. 그 원인을 stretched-exponential 모델과 소자 시뮬레이션을 수행하여 설명하였다. 박막이 얇을수록 캐리어 트랩핑 시간이 짧기 때문에 전자나 홀이 빨리 활성화되는 것과 채널 박막의 뒷부분에서 채널의 수직 전계가 증가하여 전자나 홀을 많이 축적할 수 있는 것으로 설명하였다. IGZO 무접합 트랜지스터 제작에서 채널 박막의 두께를 결정할 때 채널 박막 두께가 얇을수록 소자 불안정성이 큰 것을 고려해야 됨을 알 수 있다.

#### ABSTRACT

In this work, a junctionless transistor with different film thickness of amorphous InGaZnO has been fabricated and its instability has been analyzed with different film thickness under positive and negative gate stress as well as light illumination. It was found that the threshold voltage shift and the variation of drain current have been increased with decrease of film thickness under the condition of gate stress and light illumination. The reasons for the observed results have been explained by stretched-exponential model and device simulation. Due to the reduced carrier trapping time with decrease of film thickness, electrons and holes can be activated easily. Due to the increase of vertical channel electric field reaching the back interface with decrease of film thickness, more electrons and holes can be accumulated in back interface. When one decides the film thickness for the fabrication of junctionless transistor, the more significant device instability with decrease of film thickness should be considered.

**키워드** : InGaZnO 박막 트랜지스터, 무접합 트랜지스터, 소자 불안정성, 박막 두께

**Key word** : InGaZnO thin film transistor, Junctionless transistor, Device instability, Thin film thickness

Received 16 May 2017, Revised 07 June 2017, Accepted 21 June 2017

\* Corresponding Author Jong Tae Park(E-mail:jtpark@inu.ac.kr, Tel:+82-32-835-8445)

Department of Electronic Engineering, Incheon National University, Incheon, 22012, Korea

Open Access <https://doi.org/10.6109/jkiice.2017.21.9.1627>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.  
Copyright © The Korea Institute of Information and Communication Engineering.

## I. 서 론

산화물 반도체인 비정질 InGaZnO (a-IGZO) 박막 트랜지스터 (Thin Film Transistors: TFTs)는 실리콘 박막 트랜지스터에 비해 높은 전자 이동도와 구동전류 대 누설전류 ( $I_{ON}/I_{OFF}$ ) 비율 등의 우수한 전기적 특성 외에 넓은 면적의 박막 증착이 용이하므로 차세대 디스플레이 소자로 평가받고 있다. 일반적으로 a-IGZO TFTs의 소스 및 드레인 전극 재료는 접촉저항이 적은 금속을 사용하고 있으나 빛의 투과성이 낮으므로 ITO (Indium Thin Oxide)와 IGZO 박막을 사용하는 연구가 진행되고 있다 [1-3]. ITO 소스 및 드레인 전극은 투명하지만 후공정에서 투명도가 변하는 단점이 있다고 알려져 있다[1]. 특히 IGZO 박막을 소스 드레인 전극재료로 사용하면 소자 공정 시 같은 스퍼터링 챔버를 사용할 수 있으므로 공정면에서 유리하다는 장점이 있다. 또한 채널 박막과 소스 및 드레인 전극이 같으므로 무접합 트랜지스터를 만들 수 있게 된다 [4,5].

무접합 트랜지스터는 실리콘 CMOS 소자의 크기가 나노미터로 축소되면서 단채널 현상이 심각하게 발생하는 것을 줄이기 위하여 제안된 소자구조이다[6]. CMOS 소자에서 단채널 현상을 줄이기 위해 채널 불순물 도핑을 높게 하는 경우 소스 및 드레인을 PN 접합으로 하지 않고 채널을 연장하여 소스 및 드레인 전극으로 사용하는 구조이다. 무접합 트랜지스터의 주된 동작 원리는 게이트에 전압이 인가되지 않는 OFF 상태에서는 채널 전자가 완전히 공핍이 되고 게이트에 문턱전압보다 높은 전압이 인가된 ON 상태에서는 전자에 의한 채널이 형성 되는 것이다. 무접합 트랜지스터의 주요 소자 설계 변수로는 박막의 두께, 게이트 일함수, 산화층 두께, 유전상수가 높은 게이트 산화층 물질 등이다 [7, 8]. 박막의 두께가 얇을수록 소자의 OFF 특성이 우수하므로 소자 설계가 용이하다. 그러나 산화물 반도체 소자에서는 박막의 두께가 얇을수록 전자 이동도가 낮으므로 구동전류가 감소하게 되는 단점이 있다 [9,10].

a-IGZO TFTs의 소자 불안정성으로 가장 큰 문제점은 높은 게이트 전압에서 문턱전압의 변화와 구동전류의 변화이다. 양의 게이트 스트레스 (positive bias stress : PBS)에서는 채널의 전자가 게이트 산화층으로 주입되면서 포획이 되어 장시간 소자를 사용하면 문턱전압이 증가하게 된다[11]. 또 음의 게이트 스트레스 전압

(negative bias stress : NBS)에서는 채널의 소수 홀이 게이트 산화층으로 주입되어 포획 되므로 문턱전압이 감소하게 되지만 문턱전압의 변화가 극히 적으므로 큰 문제는 되지 않는다[12,13]. 그러나 빛이 인가된 상태에서는 채널에서 많은 양의 전자와 홀이 생성되므로 PBS나 NBS에서 문턱전압의 변화가 증가하게 되므로 소자의 불안정성이 증가하게 된다[14, 15].

PBS에서는 박막이 얇을수록 전계가 크게 되어 문턱전압 변화가 증가한다는 연구와 빛이 인가된 음의 게이트 전압 스트레스 (negative bias illumination stress : NBIS)에서 박막이 얇을수록 큰 전계에 의해 에너지 밴드의 전도대 근처에 있는 donor state 생성이 가속되므로 문턱전압의 변화가 크다는 연구가 발표되었다[16]. 또 다른 연구에 의하면 박막의 두께가 증가할수록 박막의 결함이 증가하므로 PBS에서 문턱전압의 변화가 큰 것으로 발표되었다[17]. 박막 두께에 따른 PBS에서의 문턱전압 변화가 상이하게 발표되었고 빛이 인가된 양의 게이트 전압 스트레스 (positive bias illumination stress : PBIS)에서 박막 두께에 따른 문턱전압의 변화에 대한 분석이 미비하다. 또한 무접합 트랜지스터는 박막 두께가 소자 설계에서 중요한 변수 인데 박막 두께에 따른 문턱전압의 변화에 의한 소자 불안정성에 관한 연구가 전무하다.

본 연구에는 IGZO 박막 두께가 다른 무접합 트랜지스터를 제작하고 두께에 따른 PBS, PBIS, NBS, NBIS에서의 소자 불안정성을 측정 분석하였으며 그 원인을 stretched-exponential 모델과 소자 시뮬레이션을 통하여 설명하였다.

## II. 소자 제작

그림 1은 본 연구에서 제작한 a-IGZO 무접합 박막 트랜지스터로 p-형 불순물이 아주 높게 도핑된 실리콘을 하부 게이트로 사용한 소자 구조이다. 게이트 절연층의 두께는 100nm이며 열 산화 방법으로 성장하였다. RF 스퍼터링 방법으로 물 비가  $In_2O_3:Ga_2O_3:ZnO = 1:1:1$ 인 스퍼터링 타겟을 사용하여 박막 두께( $T_{IGZO}$ )가 10nm, 30nm, 50nm되게 InGaZnO 산화물 반도체 층을 증착하였다. 그리고 사진식각 방법으로 채널 영역을 정의한 후에 일반적인 열처리 방법 (CTA: Conventional Thermal

Annealing)으로 질소 분위기, 600도에서 30분간 열처리를 하였다. 소스 및 드레인 전극 형성을 위하여 채널 박막 증착과 같은 조건에서 InGaZnO 박막 70nm의 두께를 증착하였다. 소스와 드레인 전극의 크기는  $190\mu\text{m} \times 250\mu\text{m}$ 이다. 측정 시 소스 및 드레인 전극에 텅스텐 프로브 팁을 접촉하여 전압을 인가하고 전류를 측정하였다. 전기적 특성 분석은 Agilent B1500A 반도체 파라미터 분석기를 사용하였고 게이트에 양과 음의 높은 양의 전압을 인가하면서 측정 시간마다 스트레스를 중지하고 드레인 전류를 측정하였다. 그리고 PBIS와 NBIS에서 소자 불안정성을 측정하기 위하여 파장이 500nm에서 700nm, 빛의 강도가  $P_i=0.22\text{mW}/\text{cm}^2$  되는 할로겐 램프를 사용하였다. 측정에 사용된 소자의 게이트 길이는  $10\mu\text{m}$ 이며 채널 폭은  $20\mu\text{m}$ 이다.

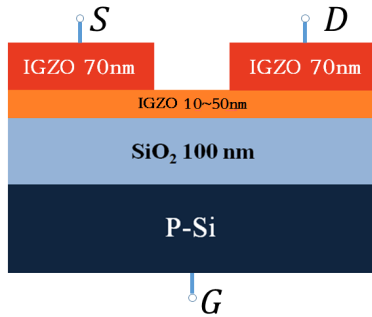


Fig. 1 Schematic diagram of a-IGZO junctionless TFT.

### III. 측정 결과

#### 3.1. PBS 및 PBIS에서 소자 불안정성

그림 2는 제작된 a-IGZO 무접합 트랜지스터의  $T_{IGZO}$  따른  $I_{DS}-V_{GS}$  전달특성 곡선으로  $V_{DS}=3.0\text{V}$ 에서 측정한 것이다. 그림으로부터 박막의 두께가 얇을수록 문턱전압이 증가하고 드레인 전류는 채널 박막이 클수록 증가하는 것을 알 수 있다. 박막의 두께에 따른 a-IGZO 무접합 트랜지스터의 소자 성능 변수들을 표 1에 정리하였다.  $T_{IGZO}$ 가 증가할수록 문턱전압이 감소하는 것을 알 수 있다. 이는 무접합 트랜지스터는 게이트와 박막의 일함수 차이로 채널 박막이 공핍되는데  $T_{IGZO}$ 가 증가할수록 채널 박막의 전자 농도가 증가하므로 채널을 완전히 공핍 상태로 만들기 위해서 더 큰 게이트 전압이 요구되

기 때문이다.  $T_{IGZO}$ 가 증가할수록 드레인 전류가 증가하는 것을 알 수 있다. 이는 표 1에서와 같이 전자의 유효 이동도 ( $\mu_{FE}$ )와 박막의 전자 농도 증가에 의한 것이다.  $T_{IGZO}$ 가 증가할수록 소자의 ON 상태에서 전자 농도의 최대가 위치하는 지점이 InGaZnO/SiO<sub>2</sub> 경계면에서 약간 떨어진 지점이 되므로 산란에 의한 이동도 감소가 적기 때문에 유효 이동도가 증가한다.  $T_{IGZO}$ 가 증가할수록 문턱전압 아래 기울기 (S)가 증가하는 것을 알 수 있는데 이는 박막의 결함 증가에 의한 트랩의 증가와 소자의 ON 상태에서 전자 농도의 최대가 위치하는 지점으로 설명할 수 있다. 소자 제작 시  $T_{IGZO}$ 만 다르고 모든 공정이 같기 때문에 박막내의 결함은  $T_{IGZO}$ 에 관계 없이 일정하다고 가정할 수 있다. 결국  $T_{IGZO}$ 가 증가할수록 S가 증가하는 것은 큰  $T_{IGZO}$ 에서는 게이트 산화층 커패시턴스와 전자 분포에 의하여 생성되는 박막 커패시턴스가 직렬로 연결되어 유효 게이트 커패시턴스가 감소하기 때문이다[18]. 소자의 ON 전류 증가로  $I_{ON}/I_{OFF}$  비율은  $T_{IGZO}$ 가 증가할수록 증가하는 것을 알 수 있다.

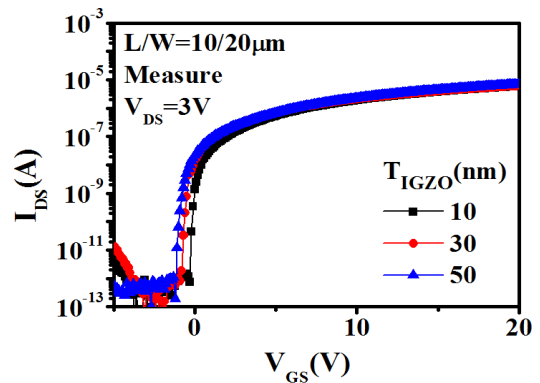


Fig. 2  $I_{DS}-V_{GS}$  transfer curve characteristics with different thin-film thickness.

Table. 1 Summary of electrical performances with different  $T_{IGZO}$

Device	10nm	30nm	50nm
$V_{ON}(V)$	-0.3	-0.8	-1
$V_{TH}(V)$	2.1234	1.3324	1.1138
$S(V/dec)$	0.1287	0.1529	0.2196
$\mu_{FE}(cm^2/V \cdot S)$	2.181	2.317	2.660
$I_{ON}/I_{OFF}(\times 10^6)$	7.28	10.1	27.2

그림 3은  $T_{IGZO}=10\text{nm}$  소자에서  $V_{GS}=18\text{V}$ 의 PBS에서 스트레스 시간에 따른  $I_{DS}-V_{GS}$  전달특성 곡선을 나타낸 것이다. 스트레스 시간이 증가할수록 문턱전압이 증가하고 드레인 전류가 감소하는 것을 알 수 있다. 이는 다른 많은 연구에서 발표된 것과 같이 스트레스가 인가되는 동안 채널의 전자가 게이트 산화층으로 주입되어 포획되기 때문이다[11].

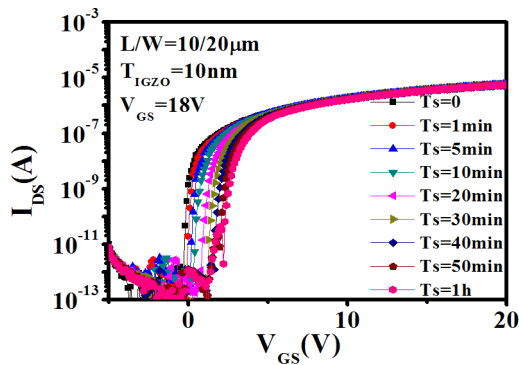


Fig. 3 Evolution of the transfer characteristics under PBS ( $V_{GS}=18\text{V}$ )

그림 4는 PBS에서  $T_{IGZO}$ 에 따른 문턱전압의 변화( $\Delta V_{TH}$ )를 나타낸 것이다. 채널 박막이 얇을수록  $\Delta V_{TH}$ 가 증가하는 것을 알 수 있다. 이전에 발표된 연구에 의하면  $T_{IGZO}$ 가 작을수록 에너지 밴드 갭 내에 위치하는 상태 밀도 수가 증가하여 채널 박막이 얇을수록  $\Delta V_{TH}$ 가 증가하기 때문이다[13].

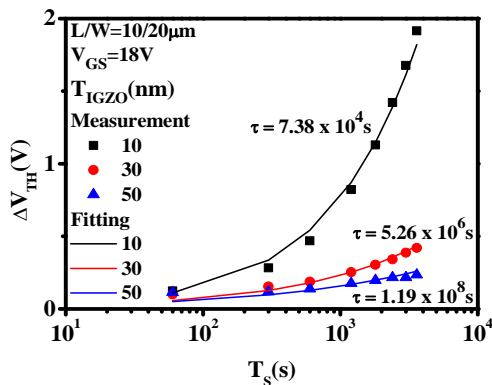


Fig. 4  $\Delta V_{TH}$  with  $T_{IGZO}$  as a function of stress time under PBS for different  $T_{IGZO}$

이는  $T_{IGZO}$ 가 증가할수록 채널 박막내의 총 트랩을 감소하게 한다는 것이다. 또 다른 연구는  $T_{IGZO}$ 가 작을수록 채널 박막의 전계가 증가하여 전자가 산화층으로 많이 주입 된다는 것이다[19]. 정반대로 채널 박막이 얇을수록  $\Delta V_{TH}$ 가 감소한다는 연구 결과이다. 이는  $T_{IGZO}$ 가 증가할수록 박막내의 트랩이 증가하므로  $\Delta V_{TH}$ 가 증가한다는 것이다[17]. 앞에서 서술한 것과 같이 소자 제작 시  $T_{IGZO}$ 만 다르고 모든 공정이 같기 때문에 박막내의 결함은  $T_{IGZO}$ 에 관계 없이 일정하다고 가정할 수 있다.

그림 4에서 채널 박막이 얇을수록  $\Delta V_{TH}$ 가 증가하는 원인을 분석하기 위해 PBS에서 비정질 실리콘과 a-IGZO 트랜지스터의 문턱전압 변화를 분석한 다음 식과 같은 stretched-exponential 모델을  $T_{IGZO}$  다른 소자에 적용하였다 [14].

$$\Delta V_{TH} = \Delta V_{TH0} [1 - \exp - (t/\tau)^\beta] \quad (1)$$

여기서  $\Delta V_{TH0}$ 는 무한 시간에서  $\Delta V_{TH}$ 를,  $\tau$ 는 캐리어 트랩핑 시간을,  $\beta$ 는 stretched-exponential 지수이다. 측정결과와 이론식을 맞추기 위하여  $\tau$  값을 조정할 결과 채널 박막이 얇을수록  $\tau$  값이 감소하는 것을 알 수 있다. 이것은  $\tau$  값이 감소할수록 트랩된 전자가 빨리 활성화 되므로 채널 전류가 증가하게 되어  $\Delta V_{TH}$ 가 증가하게 된다.

또 다른 방법으로 채널 박막이 얇을수록  $\Delta V_{TH}$ 가 증가하는 원인을 분석하기 위해 Sivaco의 ATLAS를 이용하여 2차원 소자 시뮬레이션을 수행하였으며  $T_{IGZO}$ 에 따른 전계를 계산하였다. 그림 5는 PBS 조건인  $V_{GS}=18\text{V}$ 에서  $T_{IGZO}$ 에 따른 채널의 수직 방향 전계를 나타낸 것이다. 그림으로부터 게이트 산화층과 채널 사이 즉 채널 표면에서는 박막 두께에 상관없이 전계가 동일하지만 박막의 뒷부분에서는  $T_{IGZO}$ 가 작을수록 채널 박막의 수직전계가 증가하는 것을 확인할 수 있다. 이는 기존에 발표된 연구결과와 일치하는 것으로 박막 뒷부분에서의 전계 증가는 전자를 축적하게 되므로 포텐셜이 낮게 되어 큰 문턱전압의 변화로 이어지게 된다[17].

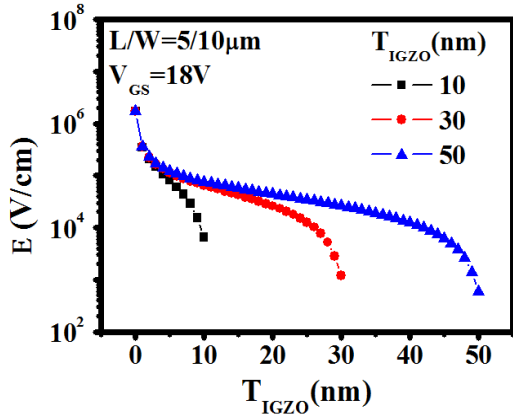


Fig. 5 Vertical channel electric field as a function of  $T_{IGZO}$

그림 6은 PBIS에서  $T_{IGZO}$ 에 따른  $\Delta V_{TH}$ 를 나타낸 것이다. 채널 박막이 얇을수록  $\Delta V_{TH}$ 가 증가하는 것을 알 수 있다. PBIS에서는 빛에 의해 전자와 홀이 생성되어 PBS보다  $\Delta V_{TH}$ 가 증가하게 된다. 채널 박막이 얇을수록  $\Delta V_{TH}$ 가 증가하는 이유는 PBS에서 설명한 것과 같이 채널 박막이 얇을수록 박막 뒷부분에서 전계가 증가하여 더 많은 전자를 축적할 수 있기 때문이다.

그림 7은  $T_{IGZO}=10\text{nm}$  소자의 PBS와 PBIS의 스트레스 시간에 따른  $\Delta V_{TH}$ 를 측정 결과와 stretched exponential 모델을 사용하여 맞춘 결과를 비교한 것이다. PBS보다 PBIS에서  $\tau$  값이 감소하는 것을 알 수 있다. 이것은 그림 4의 결과와 같이 PBIS에서 트랩된 전자가 빨리 활성화 되므로 채널 전류가 증가하게 되어  $\Delta V_{TH}$ 가 증가하게 된다.

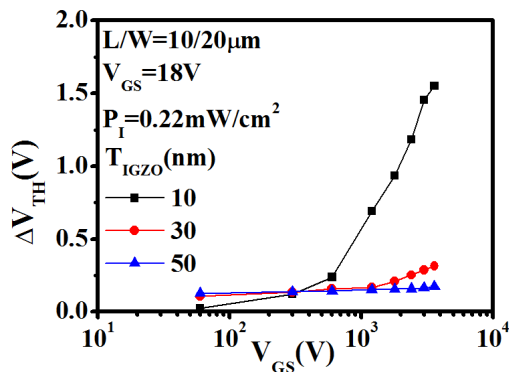


Fig. 6  $\Delta V_{TH}$  with as a function of stress time under PBIS for different  $T_{IGZO}$

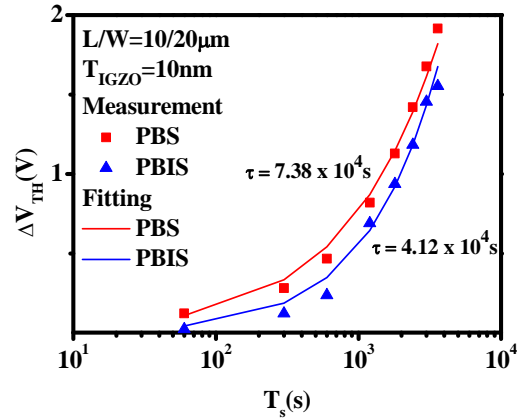


Fig. 7 Fittings of  $\Delta V_{TH}$  between an experimental and a stretched-exponential model for  $T_{IGZO}=10\text{nm}$  under PBS and PBIS

### 3.2 NBS 및 NBIS에서 소자 불안정성

그림 8은  $V_{GS}=-18\text{V}$ 의 NBS에서  $T_{IGZO}=10\text{nm}$  소자의 스트레스 시간에 따른  $I_{DS}-V_{GS}$  전달특성 곡선을 나타낸 것이다. 스트레스 시간이 증가하여도 문턱전압과 드레인 전류 변화가 거의 없는 것을 알 수 있다. 이는 다른 많은 연구에서 발표된 것과 같은 결과로 IGZO 박막은 전자가 다수 캐리어이며 홀이 아주 적으므로 NBS에서 아주 소수의 홀이 게이트 산화층으로 주입되므로 소자의 불안정이 거의 발생하지 않는다[13,15].

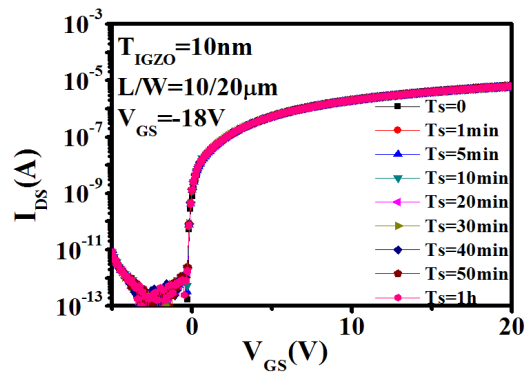


Fig. 8 Evolution of the transfer characteristics under NBS ( $V_{GS}=-18\text{V}$ )

그림 9는  $V_{GS}=-18\text{V}$ 와 빛을 비춘 NBIS에서  $T_{IGZO}=10\text{nm}$  소자의 스트레스 시간에 따른  $I_{DS}-V_{GS}$  전달특성

곡선을 나타낸 것이다. 스트레스 시간이 증가함에 따라 문턱전압이 감소하고 드레인 전류가 증가하는 것을 알 수 있다. 음의 게이트 전압에서 PBIS에서와 같이 빛을 비추면 전자와 홀이 생성되고 홀이 산화층으로 주입되어 포획되므로 문턱전압이 감소하게 되고 드레인 전류가 증가하게 된다. NBS에서는 채널에 홀 양이 적기 때문에 산화층에 주입된 양이 많지 않았지만 NBIS에서는 생성된 홀 양이 많으므로 산화층으로 많이 주입되어 NBS에서보다  $\Delta V_{TH}$ 가 증가하게 된다.

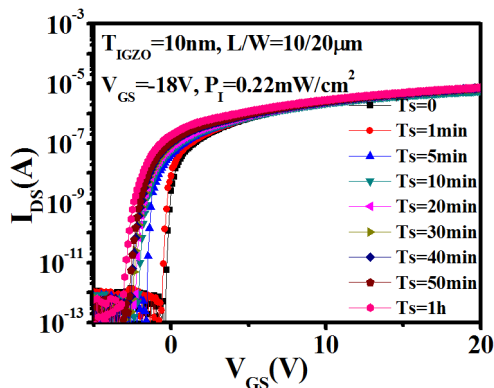


Fig. 9 Evolution of the transfer characteristics under NBIS ( $V_{GS}=-18V$  and  $P_I=0.22\text{ mW/cm}^2$ )

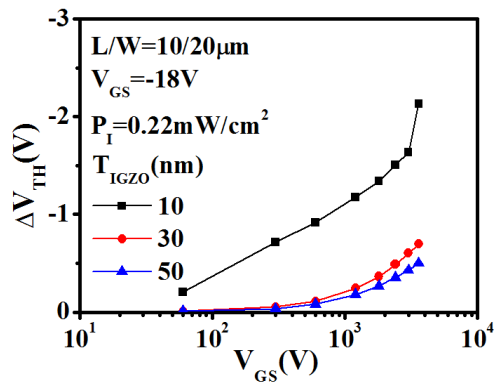


Fig. 10  $\Delta V_{TH}$  with as a function of stress time under NBIS for different  $T_{IGZO}$

그림 10은 NBIS에서  $T_{IGZO}$ 에 따른  $\Delta V_{TH}$ 를 나타낸 것이다. 채널 박막이 얇을수록  $\Delta V_{TH}$ 가 증가하는 것을 알 수 있다. 이는 PBS에서 설명한 것과 같이 채널 박막

이 얇을수록 박막 뒷부분에서 전계가 증가하여 더 많은 홀을 축적할 수 있기 때문이다. 또 중요한 결과는 PBIS에보다 NBIS에서  $\Delta V_{TH}$ 가 증가하는 것이다. 이는 PBIS에서 전자 트랩핑 보다 NBIS에서 홀 트랩핑 잘 되기 때문이다. 게이트 산화층과 IGZO 박막의 전도대 밴드 오프셋은 약 4.5eV인 반면에 가전대 밴드 오프셋은 1.3eV로 작기 때문에 산화층으로 홀 주입이 더 용이하다[14].

#### IV. 결 론

IGZO 박막 두께가 다른 무접합 트랜지스터를 제작하고 두께에 따른 PBS, PBIS, NBS, NBIS에서의 소자 불안정성을 측정 분석하였다. 채널 박막 두께가 얇을수록 PBS, PBIS 및 NBIS에서 문턱전압의 변화가 큰 것을 알 수 있었으며 그 원인을 2가지로 설명하였다. 첫째는 박막이 얇을수록 캐리어 트랩핑 시간이 짧아 전자나 홀이 빨리 활성화된다는 것이다. 둘째는 채널 박막의 두께가 얇을수록 박막의 뒷부분에서 채널의 수직 전계가 증가하여 전자나 홀을 많이 축적할 수 있기 때문이다. PBIS에서 보다 NBIS에서 문턱전압 변화가 큰 것을 알 수 있었다. IGZO 무접합 트랜지스터 제작에서 채널 박막의 두께를 결정할 때 채널 박막 두께가 얇을수록 소자 불안정성이 큰 것을 고려해야 됨을 알 수 있다.

#### REFERENCES

[ 1 ] J. Park, C. S. Kim, Y.S. Kim, Y. C. Park, H. J. Park, B. S. Bae, J. S. Park, and H. S. Kim, "The effect of ITO and Mo electrodes on the properties and stability of In-Ga-Zn-O thin film transistors," *Journal of Electronics*, vol. 36, no. 1, pp. 129-134, Jun. 2016.

[ 2 ] J. R. Yim, S. Y. Jung, H. W. Yeon, J. Y. Kwon, Y. J. Lee, J. H. Lee, and Y. C. Joo, "Effect of Metal Electrode on the Electrical Performance of Amorphous In-Ga-Zn-O Thin Film Transistor," *Japanese Journal of Applied Physics*, vol.51, pp. 011401-1-5, Dec. 2011.

[ 3 ] Y. Ueoka, Y. Ishikawa, J. P. Bermundo, H. Yamazki, S. Urakawa, Y. Osada, M. Horita, and Y. Uraoka, "Effect of contact material on amorphous InGaZnO thin-film transistor characteristics," *Japanese Journal*

- of *Applied Physics*, vol.53, pp.03CC04-1-5, Feb. 2014.
- [ 4 ] J. Jiang, J. Sun, W. Dou, and Q. Wan, "Junctionless flexible oxide based thin film transistors on paper substrates," *IEEE Electron Device Letters*, vol.33, no.1, pp.65-67, Jan. 2012.
- [ 5 ] J. Zhou, G. Wu, L. Guo, L. Zhu, and Q. Wan, "Flexible transparent junctionless TFTs with oxygen-tuned Indium-Zin-Oxide channels," *IEEE Electron Device Letters*, vol.34, no.2, pp.888-890, Feb. 2013.
- [ 6 ] J. P. Colinge, C. W. Lee, A. Afzalilian, N. D. Akhavan, R. Yan, I. Ferain, P. Razavi, B. Oneill, A. Blake, M. White, A.M. Kelleher, B. McCarthy, and R. Murphy, "Nanowire transistor without junction," *Nature Nanotechnology*, vol.5, no.3, pp.225-229, Mar. 2010.
- [ 7 ] C. W. Lee, I. Ferain, A. Afzalilian, R. Yan, N. D. Akhavan, P. Razavi, and J.P. Colinge, "Performance estimation of junctionless multigate transistors," *Solid-State Electronics*, vol.54, pp.97-103, Feb. 2010.
- [ 8 ] S. M. Lee, J. T. Park, "Device Design Guideline to Reduce the Threshold Voltage Variation with Fin Width in Junctionless MuGFETs," *Journal of the Korea Institute of Information and Communication Engineering*, vol.18. no.1, pp.135-141, 2014.
- [ 9 ] X. Ding, J. Zhang, . Li, H. Zhang, W. Shi, X. Jiang, Z. Zhang, "Influence of the InGaZnO channel layer thickness on the performance of thin film transistors," *Superlattice and Microstructures*, vol. 63, pp. 70-78, Aug. 2013.
- [10] M. Nakata, H. Tsuji, H. sao, Y. Nakajima, Y. Fujisaki, T. Takei, T. Yamamoto, and H. Fujikako, "Influence of oxide semiconductor thickness on thin-film transistor characteristics," *Japanese Journal of Applied Physics*, vol.52, pp. 03BB04-1-5, Mar. 2013.
- [11] S.M. Kim, M.J. Ahan, W.J. Cho, J.T.Park, "Device instability of amorphous InGaZnO thin film transistors with transparent source and drain," *Microelectronics Reliability*, vol.64, pp. 575-579, Oct. 2016.
- [12] K.H. Lee, T.G. Kang, K.Y. Lee, J.T. Park, "Hot carrier induced device degradation in amorphous InGaZnO thin film transistors with source and drain electrode materials," *Journal of the Korea Institute of Information and Communication Engineering*, vol.21. no.1, pp.82-89, 2017.
- [13] C. H. Jo, S. W. Jun, W. J. Kim, I. S. Hur, H. Y. Bae, S. J. Choi, D. H. Kim, and D. M. Kim, "Characterization of density-of-states and parasitic resistance in a-InGaZnO thin-film transistors after negative bias stress," *Applied Physics Letters*, vol.102, pp. 143502-1-5, Apr. 2013.
- [14] T. Y. Hsieh, T. C. Chang, T. C. Chen, and M. Y. Tsai, "Review of Present Reliability Challenges in Amorphous In-Ga-Zn-O Thin Film Transistors," *ECS Journal of Solid State Science and Technology*, vol. 3, no. 9, pp. Q3058-Q3070, Aug. 2014.
- [15] B. K. Ryu, H. K. Noh, E. A. Choi, and K. J. Chang, "O-vacancy as the origin of negative bias illumination stress instability in amorphous In-Ga-Zn-O thin film transistors," *Applied Physics Letters*, vol. 97, no. 7, pp. 022108-1-3, Jul. 2010.
- [16] D. S. kong, H. W. jung, Y. S. Kim, M. K. Bae, J. M. Jang, J. H. Kim, W. J. Kim, I. S. Hur, D. M. Kim, and D. H. Kim, "Effects of the active layer thickness on the negative bias illumination stress-induced instability in amorphous InGaZnO thin-film transistors," *Journal of the Korean Physical Society*, vol.59, no. 2, pp. 505-510, Feb. 2011.
- [17] E.N. Cho, J.H. Kang, and I.G. Yun, "Effects of channel thickness variation on bias stress instability of InGaZnO thin-film transistors," *Microelectronics Reliability*, vol.51, pp.1792-1795, Oct. 2011.
- [18] A. H. Chen, H. T. Cao, H. Z. Zhang, L. Y. Ling, Z. M. Liu, Z. Yu, Q. W, "Influence of the channel layer thickness on electrical properties of indium zinc oxide thin-film transistor," *Microelectronic Engineering*, vol. 87, pp.2019-2023, Jan. 2010.
- [19] S. J. Kim, S. Y. Lee, Y. W. Lee, W. G. Lee, K. S. Yoon, J. Y. Kwon, and M. K. Han, "Effect of channel layer thickness on characteristics and stability of amorphous hafnium-Indium-Zinc oxide thin film transistors," *Japanese Journal of Applied Physics*, vol.50, pp. 024104-1-3, Feb. 2011.



**전종석(Jong-Seok Jeon)**

2012년 ~ 현재 인천대학교 전자공학과 재학  
※관심분야 : CMOS Reliability, IGZO TFT, SOI/MOSFET



**조성호(Seong-Ho Jo)**

2014년 ~ 현재 인천대학교 전자공학과 재학  
※관심분야 : CMOS Reliability, IGZO TFT, SOI/MOSFET



**최혜지(Hye-Ji Choi)**

2014년 ~ 현재 인천대학교 전자공학과 재학  
※관심분야 : CMOS Reliability, IGZO TFT, SOI/MOSFET



**박종태(Jong-Tae Park)**

1981년 경북대학교 전자공학과 학사  
1983년 연세대학교 전자공학과 공학석사  
1987년 연세대학교 전자공학과 공학박사  
1983년 8월 ~ 1985년 8월 금성반도체(주) 연구소 연구원  
1991년 1월 ~ 1991년 12월 MIT Post Doc.  
2000년 7월 ~ 2001년 8월 UC Davis 방문교수  
1987년 3월 ~ 현재 인천대학교 전자공학과 교수  
전자통신공학과 공학학사  
※관심분야 : CMOS Reliability, Nano-scale CMOS, SOI/MOSFET, RF-CMOS