

10 nm 이하 저도핑 DG MOSFET의 SPICE용 DIBL 모델

정חק기*

Drain Induced Barrier Lowering(DIBL) SPICE Model for Sub-10 nm Low Doped Double Gate MOSFET

Hakkee Jung*

Department of Electronic Engineering, Kunsan National University, Gunsan 54150, Korea

요 약

기존의 MOSFET에서는 반전층보다 항상 실리콘 두께가 크기 때문에 드레인유도 장벽감소가 실리콘 두께에 관계 없이 산화막 두께 및 채널길이의 함수로 표현되었다. 그러나 10 nm 이하 저도핑 이중게이트 구조에서는 실리콘 두께 전체가 공핍층이 형성되기 때문에 기존의 SPICE 모델을 사용할 수 없게 되었다. 그러므로 이중게이트 MOSFET에 대한 새로운 SPICE 용 드레인유도 장벽감소 모델을 제시하고자 한다. 이를 분석하기 위하여 전위분포와 WKB 근사를 이용하여 열방사 및 터널링 전류를 구하였다. 결과적으로 드레인유도 장벽감소는 상하단 산화막 두께의 합 그리고 실리콘 두께의 2승에 비례하며 채널길이의 3승에 반비례한다는 것을 알 수 있었다. 특히 SPICE 파라미터인 정적 궤환계수가 1과 2사이에서 사용할 수 있어 합당한 파라미터로써 사용할 수 있었다.

ABSTRACT

In conventional MOSFETs, the silicon thickness is always larger than inversion layer, so that the drain induced barrier lowering (DIBL) is expressed as a function of oxide thickness and channel length regardless of silicon thickness. However, since the silicon thickness is fully depleted in the sub-10 nm low doped double gate (DG) MOSFET, the conventional SPICE model for DIBL is no longer available. Therefore, we propose a novel DIBL SPICE model for DG MOSFETs. In order to analyze this, a thermionic emission and the tunneling current was obtained by the potential and WKB approximation. As a result, it was found that the DIBL was proportional to the sum of the top and bottom oxide thicknesses and the square of the silicon thickness, and inversely proportional to the third power of the channel length. Particularly, static feedback coefficient of SPICE parameter can be used between 1 and 2 as a reasonable parameter.

키워드 : 드레인유도 장벽감소, SPICE, 이중게이트 MOSFET, 정적 궤환계수

Key word : drain induced barrier lowering, SPICE, double gate MOSFET, static feedback coefficient

Received 03 April 2017, Revised 05 April 2017, Accepted 20 April 2017

* Corresponding Author Hakkee Jung(E-mail:hkjung@kunsan.ac.kr, Tel:+82-63-469-4684)

Department of Electronic Engineering, Kunsan National University, Gunsan 54150, Korea

Open Access <https://doi.org/10.6109/jkiice.2017.21.8.1465>

print ISSN: 2234-4772 online ISSN: 2288-4165

© This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서 론

반도체 소자의 미세화는 집적회로 발전의 가장 기본적인 요소이며 이는 반도체공정 개발 및 집적회로 설계 기술의 발전을 이끌고 있다. 트랜지스터를 작게 만들기 위한 공정기술의 개발은 7 nm급 MOSFET를 제작하기 위하여 발전하고 있다. 반도체 로드맵에 따르면 2020년 이후 7 nm 급 MOSFET가 상용화되고 시스템 반도체의 주류를 이룰 것으로 예측하고 있으나[1] 이미 삼성전자에서는 올해 7 nm 공정기술 개발을 위한 연구에 착수하여 트랜지스터 미세화를 이끌고 있다[2].

트랜지스터의 미세화를 가능케한 원인은 공정개발 및 설계기술의 발전 뿐만이 아니라 트랜지스터 구조의 변화가 가장 큰 역할을 하였다. 20 nm 이상 급에서 사용되어 왔던 기존의 CMOSFET 구조는 심각한 단채널 효과 때문에 7 nm 급 트랜지스터에서는 더 이상 사용할 수 없게 되었다. 메이저급 반도체 회사에서는 이미 14 nm 급에서 다중게이트 MOSFET의 일종인 FinFET를 이용하기 시작하였으며 다중게이트 구조는 7 nm 에서도 계속 사용할 것이다. 그러므로 트랜지스터가 미세화 할수록 기존의 SPICE에서 사용되어 왔던 모델들의 오차 때문에 모델의 수정 및 개발이 요구되고 있다. 이에 부응하기 위하여 본 논문에서는 다중게이트 MOSFET 중 가장 간단한 구조인 이중게이트(Double Gate; DG) MOSFET에 대하여 SPICE에서 사용할 수 있는 드레인 유도 장벽감소 현상 (Drain Induced Barrier Lowering; DIBL)을 분석하고자 한다. DIBL은 채널길이가 감소함에 따라 드레인 전압의 증가가 소스 측 전위분포에 영향을 미쳐 결국 문턱전압 감소 때문에 발생하는 단채널 효과이다[3, 4]. 채널길이가 10 nm 이하로 감소하면 DIBL이 매우 크게 나타나므로 이에 대한 분석이 요구되고 있으나 회로 시뮬레이션 프로그램인 SPICE에서는 아직 합당한 DIBL 모델이 제시되고 있지 않은 상태이다. 기존의 CMOSFET에서는 실리콘 두께가 반전층보다 매우 크기 때문에 실리콘 두께는 전류 흐름에 영향을 미치지 않았다. 그러므로 SPICE 용 DIBL 모델은 단지 산화막 두께 및 채널길이, 그리고 SPICE 파라미터인 정적 궤환 상수(static feedback coefficient, η)을 이용하여 표현하였다[5]. 그러나 DG MOSFET의 경우, 실리콘 두께가 전체적으로 공핍층화 되기 때문에 실리콘 두께에 따른 DIBL의 분석이 필요할 것이다. 그러므로

본 논문에서는 DG MOSFET의 상하단 산화막 두께, 채널길이, 실리콘 두께 등 구조적 파라미터의 DIBL 의존성을 관찰하고 SPICE에서 사용할 수 있는 합당한 정적 궤환 상수 값을 제시할 것이다. 이를 위하여 포아송 방정식으로부터 유도한 전위분포와 WKB(Wentzel-Kramers-Brillouin) 근사를 이용하였다.

2장에서는 기존의 CMOSFET에서 사용하였던 문턱 전압과 DIBL 모델을 설명할 것이며, 전위분포 및 WKB 근사를 이용하여 구한 터널링 전류 모델의 영향 등을 설명할 것이다. 3장에서는 2장에서 유도한 전류 모델을 이용하여 DIBL의 구조적 파라미터 의존성을 분석하여 합당한 정적 궤환 상수를 제시할 것이다. 마지막으로 4장에서 결론을 맺을 것이다.

II. DG MOSFET의 DIBL 모델

그림 1에 기존의 MOSFET 구조와 DG MOSFET 구조의 차이점을 도시하였다. 각 소자에 대하여 채널로 이용할 수 있는 부분을 음영으로 표시하였다. 그림 1(a)에서 알 수 있듯이 DG MOSFET의 경우 실리콘 두께 전체가 공핍화(음영부분) 되어 채널로 이용되고 있다는 것을 알 수 있었으며 이와 달리 그림 1(b)에서 알 수 있듯이 기존의 MOSFET의 경우는 실리콘두께의 일부만이 공핍화되고 반전층(음영부분) 이 형성되어 채널로 이용되고 있다는 것을 알 수 있다. 이와 같이 DG MOSFET의 경우는 실리콘 두께 t_{si} 전체가 채널로 사용되기 때문에 t_{si} 는 전송특성에 영향을 미칠 가능성이 크다. 전송특성을 표현하기 위하여 드레인 전압 V_d 에 대한 드레인 전류 I_d 의 변화 즉, 출력특성이 사용될 것이며 드레인 전압에 대한 문턱전압이 출력특성

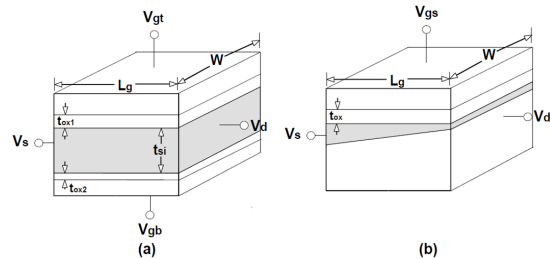


Fig. 1 Schematic diagrams of (a) DG MOSFET and (b) conventional MOSFET.

에 사용될 것이다. 여기서 드레인 전압에 대한 문턱 전압의 의존성 즉, DIBL 현상을 나타내기 위하여 기존의 MOSFET에서 사용하고 있는 SPICE 모델은 다음과 같다 [6].

$$\sigma_D = 8.15 \times 10^{-22} \eta / (C_{ox} L_g^3) = 2.36 \times 10^{-11} \eta t_{ox} L_g^{-3} \quad (1)$$

여기서 게이트 산화물질로는 이산화규소 SiO_2 를 사용하였으며 η 는 정적 궤환 상수로서 일반적으로 0.7을 사용하고 있다. 식 (1)을 살펴보면 전술한 바와 같이 실리콘 두께에 무관한 값을 갖는다는 것을 알 수 있다. 이는 기존의 MOSFET의 경우, 실리콘 두께가 충분히 두꺼워 반전층 두께에 영향을 미치지 않으므로 전송특성에도 영향을 미치지 않고 있기 때문이다. 그러나 그림 1(a)에서 알 수 있듯이 DGMOSFET는 일반적으로 채널이 완전결핍 (fully-depleted) 상태에서 사용되기 때문에 실리콘 두께는 전송특성에 영향을 미치게 될 것이다. 본 논문에서는 DGMOSFET에서 실리콘 두께 뿐만 아니라 식 (1)에서 나타난 게이트 산화막 두께 및 채널 길이에 따른 DIBL의 변화를 관찰하여 SPICE에서 사용할 수 있는 DGMOSFET용 DIBL 모델을 제시하고자 한다. 식 (1)에서도 알 수 있듯이 DIBL을 나타내는 σ_D 는 단지 산화막 두께, 채널길이 그리고 정적 궤환 상수만으로 결정되는 값으로 SPICE 파라미터는 아니다. SPICE 파라미터는 η 라는 것을 식 (1)에서 알 수 있다. 본 연구에서는 DGMOSFET의 σ_D 에 대한 구조적 파라미터에 따른 의존성을 구하고 정적 궤환 상수의 범위 등을 구할 것이다.

문턱전압이하 영역에서 DGMOSFET에 대한 드레인 전류모델은 이미 발표한 논문 [7-9]에서 언급한 바와 같이 열방사 전류(I_{ther})와 터널링 전류(I_{tunn}) 모델을 사용하였다. 단지 10 nm 이하로 채널길이가 감소하면 실제로 채널 내 존재하는 불순물의 수가 급격히 감소하기 때문에 전하의 가우시안 분포 대신 일정한 도핑분포를 가정하고 계산하였다. 각 전류의 영향을 관찰하기 위하여 7 nm의 채널길이를 갖는 DGMOSFET의 경우 드레인 전류와 게이트 전압과의 관계를 그림 2에 도시하였다. 그림 내에 도시한 바와 같이 실리콘 두께는 2 nm, 상하단 게이트 산화막 두께는 1 nm이며 상하단 게이트 전

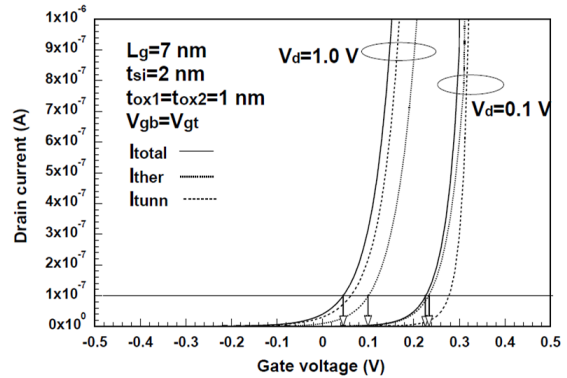


Fig. 2 Transfer characteristics of drain current vs. gate voltage under conditions of channel length of 7 nm, silicon thickness of 2 nm and top/bottom gate oxide thickness of 1 nm. Solid line denotes total drain current as sum of tunneling current (I_{tunn}) and thermionic emission current (I_{ther}).

압은 동일하게 인가한 경우에 해당하는 전달특성 곡선이다. 이때 채널 폭은 채널길이와 동일하게 사용하였다. 그림 2에서 알 수 있듯이 드레인 전압에 따라 전달특성 곡선은 크게 변화하였다.

이는 DIBL 효과 때문이며 그 강도를 나타내는 변수가 SPICE 모델에서 σ_D 로 표시할 수 있다. 그림 2에서 드레인 전류가 $1 \times 10^{-7} A$ 일 때 게이트 전압을 문턱전압으로 정의하여 드레인 전압의 변화에 대한 문턱전압의 변화를 관찰하였다. 그림 2에서 알 수 있듯이 드레인 전압이 0.1 V에서는 문턱전압에서 드레인 전류의 대부분이 열방사 전류로 구성되지만 드레인 전압이 1 V 까지 상승하면 열방사 전류보다 터널링 전류가 대부분의 드레인 전류를 구성하고 있었다. 즉, 드레인 전압 증가에 따라 터널링 전류의 구성비가 크게 증가하고 있었으며 드레인 전압 증가에 따른 문턱전압의 감소에 터널링 전류가 큰 영향을 미치고 있다는 것을 관찰할 수 있었다. 오직 열방사 전류만을 고려한 경우의 문턱전압을 그림 2에서 관찰할 수 있다. 그림 2에서 알 수 있듯이 드레인 전압이 0.1 V로 작을 경우는 터널링 전류가 매우 작기 때문에 열방사 전류만을 고려하였을 경우의 문턱전압은 전체 전류를 고려하였을 경우 문턱전압과 큰 차이가 나지 않는 것을 관찰할 수 있다. 그러나 드레인 전압이 증가하여 발생하는 DIBL 현상에 의하여 터널링 전류가 증가하기 때문에 큰 드레인 전압에서는 열방사

전류 만 고려한 문턱전압은 전체 전류를 고려한 문턱전압과 큰 차이를 보이는 것을 알 수 있었으므로 반드시 터널링 전류를 포함하여 DIBL 현상을 관찰하여야 할 것이다.

III. DGMOSFET의 정적 궤환 상수

이미 발표한 논문 [7-9]에서 전류모델의 타당성은 입증하였으므로 본 논문에서는 이 모델을 이용하여 DGMOSFET용 SPICE 정적 궤환 상수를 유도할 것이다. 먼저 DIBL의 채널길이에 대한 의존성을 관찰하기 위하여 실리콘 두께를 파라미터로 계산한 DIBL를 채널 길이에 따라 그림 3 도시하였다. 이때 산화막 두께는 상하단 동일하게 1 nm로 고정하였으며 $10^{16}/cm^3$ 의 저도핑 채널을 사용하였다. 그림 3서 알 수 있듯이 채널 두께가 증가할수록 단채널 효과에 의하여 DIBL이 크게 증가하고 있었다. 터널링 전류의 효과를 관찰하기 위하여 터널링 전류의 유무에 따라 DIBL을 계산하여 도시하였다. 그림 3서 알 수 있듯이 터널링 전류를 포함하여 계산한 결과, DIBL이 매우 크게 증가하는 것을 관찰할 수 있었다. 이와 같이 터널링 전류가 DIBL에 미치는 영향이 매우 크므로 지금부터는 터널링 전류를 포함한 경우에 대해서만 언급할 것이다. 채널길이의 -3승에 DIBL이 비례하는 기존의 MOSFE와 비교하기 위하여

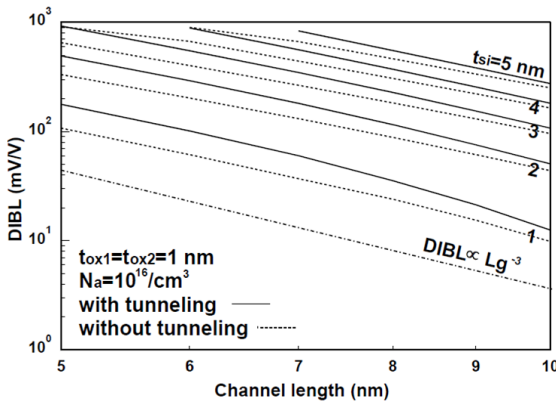


Fig. 3 DIBLs for channel length with silicon thickness as a parameter for sub-10 nm DGMOSFET. Solid lines denote the case included tunneling current in total drain current, and dotted lines included only thermionic emission current.

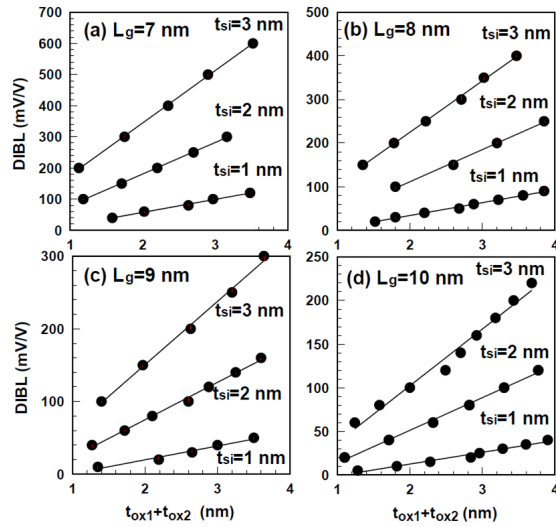


Fig. 4 DIBLs for sum of top and bottom gate oxide thicknesses with silicon thickness as a parameter for DGMOSFET in case of (a) $L_g = 7nm$, (b) $L_g = 8nm$, (c) $L_g = 9nm$ and (d) $L_g = 10nm$.

그림 3에 $\propto L_g^{-3}$ 의 그래프를 함께 도시하였다. 결과적으로 DGMOSFET의 경우, 채널길이 및 실리콘 두께에 관계없이 -3승에 비례 비례하는 것을 관찰할 수 있었다. 그러나 채널길이가 증가할수록 그리고 실리콘 두께가 감소할수록 -3승에 비례하는 관계가 변화한다는 것을 관찰할 수 있다.

식 (1)에서도 알 수 있듯이 기존의 MOSFET의 경우 DIBL 값 즉, σ_D 는 산화막 두께에 비례한다. 본 논문에서 DGMOSFET의 경우 산화막 두께변화에 대한 DIBL의 변화를 관찰하기 위하여 그림 4에 채널길이 및 실리콘 두께 변화에 따른 DIBL을 상하단 산화막 두께의 합에 대하여 도시하였다. 비대칭 DGMOSFET의 경우 상하단 산화막 두께를 다르게 제작할 수 있으며 산화막 두께 변화에 대한 DIBL의 변화는 상단과 하단의 산화막 두께를 상호 교환하여도 동일하게 나타난다는 결과 [10] 를 이용하였다.

즉, 상단 과 하단 게이트 산화막 두께의 합이 일정하면 DIBL 값은 변함이 없을 것이다. 그림 4에서 점은 계산 결과이며 실선은 각 점들을 데이터 피팅한 결과이다. 채널길이가 10 nm 일 때 약간의 부정합이 나타날 지라도 결과적으로 채널길이 및 실리콘 두께에 관계

없이 상하단 산화막 두께의 합에 DIBL은 선형성을 갖는다는 것을 관찰할 수 있었다. 이는 기존의 MOSFET에서 σ_D 가 단지 상하단 산화막 두께의 합에 대한 관계만 상이할 뿐 산화막 두께에 선형성을 갖는 것과 동일한 결과이다. 그림 4에서 실리콘 두께가 증가하면 상하단 산화막 두께의 합에 따라 DIBL의 증가율이 매우 크다는 것을 관찰할 수 있다. 이와 같은 효과는 그림 3과 그림 4에서 함께 관찰할 수 있다. 그러나 실리콘 두께 증가에 따른 DIBL의 변화는 선형적이지 않다는 것도 관찰할 수 있다.

실리콘 두께변화에 따른 DIBL의 변화를 관찰하기 위하여 채널길이를 파라미터로 계산한 DIBL을 그림 5에 도시하였다. 그림 3, 4에서도 알 수 있듯이 단채널 효과에 의하여 채널길이가 감소할수록 DIBL은 크게 증가하는 것을 관찰할 수 있다. 그림 5에서 알 수 있듯이 채널길이에 관계없이 DIBL은 실리콘두께와 선형적인 관계를 보이고 있다. 여기서 x 축과 y 축이 각각 대수값으로 표기되었으므로 DIBL은 t_{si}^m 에 비례하는 관계를 가질 것이다. m 값은 채널길이에 따라 약간씩 변화할 것이나 본 연구에서는 $m = 2$ 의 값을 이용하여 정적 궤환 상수를 고찰하였다. 그림 5에 $\propto t_{si}^2$ 의 그래프도 함께 도시하였으며 다른 직선과 증가율이 유사한 결과를 관찰할 수 있었다.

결과적으로 DIBL은 상하단 산화막 두께의 합에 1승, 실리콘 두께의 2승에 비례하며 또한 채널길이의 -3승에 비례하는 것을 알 수 있었다. 이는 DIBL이 채널길이

에 가장 큰 영향을 받고 있다는 것이며 다음은 실리콘 두께 그리고 마지막으로 상하단 산화막 두께의 합에 영향을 받고 있다는 것을 알 수 있다. 채널길이의 감소, 실리콘 두께 및 상하단 산화막 두께의 합의 증가에 따라 DIBL이 증가하는 단채널 효과가 발생하고 있다는 것을 알 수 있다.

결과적으로 DG MOSFET에서 DIBL을 나타내는 σ_D 는

$$\sigma_D = A\eta t_{ox} t_{si}^2 L_g^{-3} \quad (2)$$

의 관계를 가질 것이다. $t_{ox} = t_{ox1} + t_{ox2}$ 이다. 여기서 A를 11.36으로 놓고 SPICE 파라미터인 정적 궤환 상수 η 의 범위를 구해본 결과를 그림 6에 도시하였다. 기존의 MOSFET의 경우 일반적으로 η 는 0.7의 값을 사용하여 실험값과 데이터 피팅시키고 있다. 그러나 그림 6에서 알 수 있듯이 DG MOSFET의 경우 η 는 계산한 범위인 채널길이 $5\text{ nm} < L_g < 10\text{ nm}$, 실리콘 두께 $1\text{ nm} < t_{si} < 5\text{ nm}$ 그리고 상하단 산화막 두께의 합 $1\text{ nm} < t_{ox} < 4\text{ nm}$ 의 경우, $1 < \eta < 2$ 범위 내에 있으므로 충분히 SPICE 파라미터로 사용할 수 있다고 사료된다. 특히 η 값은 실리콘 두께가 1 nm 일 경우를 제외하면 거의 일정한 값을 보이고 있어 기존의 MOSFET와 마찬가지로 각 실리콘 두께에 해당하는 단일 값을 사용하여도 무방할 것이다.

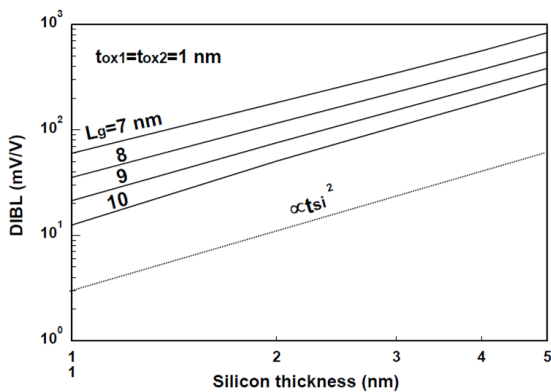


Fig. 5 DIBLs for silicon thickness with channel length as a parameter for sub-10 nm DG MOSFET in case of top and bottom gate oxide thicknesses of 1 nm.

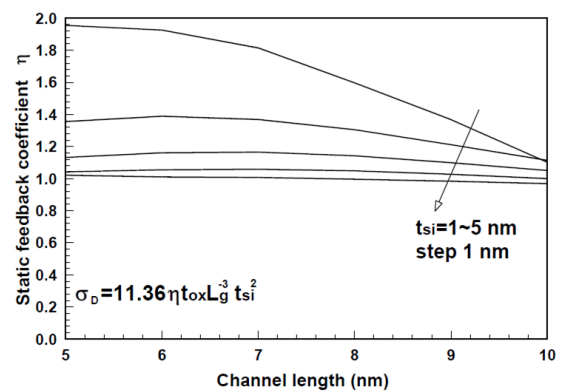


Fig. 6 Static feedback coefficients for channel length with silicon thickness as a parameter for sub-10 nm DG MOSFET.

IV. 결론

본 논문에서는 DG MOSFET를 이용한 회로설계 시 사용할 수 있는 SPICE 정적 궤환상수 η 를 유도하였다. SPICE에서 사용하는 DIBL 모델은 σ_D 로 표시할 수 있고 이는 SPICE 파라미터가 아니며 단지 트랜지스터의 구조적 파라미터와 SPICE 파라미터인 η 로 나타낼 수 있다. 이를 유도하기 위하여 DG MOSFET의 구조적 파라미터인 채널길이, 산화막 두께 및 실리콘 두께에 대한 DIBL을 전류 모델을 이용하여 계산하였다. 계산한 결과 채널길이의 -3 승, 상하단 산화막 두께의 1승, 그리고 실리콘 두께의 2승에 비례하며 비례상수를 11.36η 로 놓으면 η 는 1과 2 사이의 SPICE 파라미터로 표현할 수 있다는 것을 알 수 있었다. 기존의 MOSFET용 SPICE 모델에서는 구조적인 특성에 의하여 실리콘 두께와 무관한 σ_D 를 이용할 수 있었으나 DG MOSFET의 경우, 실리콘 두께 전체가 채널로 이용되는 공핍층이 형성되기 때문에 실리콘 두께의 2승에 비례하는 결과를 유도할 수 있었다. 이와 같은 결과는 향후 DG MOSFET를 이용한 집적회로 설계에 사용될 수 있으리라 사료된다.

REFERENCES

[1] International Technology Roadmap for Semiconductors, 2015. [Internet] Available: <http://www.itrs2.net/itrs-reports.html>.
 [2] ANANDTECH. Samsung and TSMC Roadmaps: 8 and 6 nm Added, Looking at 22ULP and 12FFC [Internet] <http://www.anandtech.com/show/11337/samsung-and-tsmc>

-roadmaps-12-nm-8-nm-and-6-nm-added/2.
 [3] J. Qu, H. Zhang, X. Xu, and S. Qin, "Study of Drain Induced Barrier Lowering(DIBL) Effect for Strained Si nMOSFET," *Procedia Engineering*, vol. 16, pp. 298-305, Nov. 2011.
 [4] T. Yamada, Y. Nakajima, T. Hanajiri, and T. Sugano, "Suppression of Drain-Induced Barrier Lowering in Silicon-on-Insulator MOSFETs Through Source/Drain Engineering for Low Operating Power System on Chip Applications," *IEEE Transactions On Electron Devices*, vol. 60, no. 1, pp. 260-267, January 2013.
 [5] S. Dimitrijevic, *Principles of Semiconductor Devices*, 2nd ed., New York, Oxford University Press, 2012.
 [6] G. Massobrio, and P. Antognetti, *Semiconductor Device Modeling with SPICE*, 2nd ed., New York, McGraw-Hill, 1993.
 [7] Z. Ding, G. Hu, J. Gu, R. Liu, L. Wang and T. Tang, "An analytical model for channel potential and subthreshold swing of the symmetric and asymmetric double-gate MOSFETs," *Microelectronics Journal*, vol. 42, no. 3, pp.515-519, March 2011.
 [8] H. K. Jung, "Influence of Tunneling Current on Treshold Voltage Shift by Channel Length for Asymmetric Double Gate MOSFET," *Journal of Korea Institute of Information and Communication Engineering*, vol. 20, no. 7, pp. 1311-1316, July 2016.
 [9] H. K. Jung, and S. Dimitrijevic, "Optimum top and bottom thickness and flat-band voltage for improving subthreshold characteristics of 5 nm DG MOSFET," *Superlattices and Microstructures*, vol. 101, no. 1, pp. 285-292, January 2017.
 [10] H. K. Jung, "Top and Bottom Gate Oxide Thickness Dependent DIBL of Asymmetric Double Gate MOSFET," *Information*, vol. 19, no. 6(A), pp. 2021-2026, June 2016.



정학기(Hak Kee Jung)

1983.3 아주대학교 전자공학과 B.S.
 1985.3 연세대학교 전자공학과 M.S.
 1990.8 연세대학교 전자공학과 Ph.D
 1995.8 일본 오사카대학 교환교수
 2005.8 호주 그리피스대학 교환교수
 1990.3 - 현재 군산대학교 전자공학과 교수
 2014.1 - 2015.12 한국정보통신학회 회장
 2016.1 - 2017.1 호주 그리피스대학 QMF 연구교수
 ※관심분야 : 반도체소자 시뮬레이션