

무스위치 정합 네트워크를 이용한 900 MHz ZigBee CMOS RF 송수신기

A 900 MHz ZigBee CMOS RF Transceiver Using Switchless Matching Network

장 원 일 · 어 윤 성 · 박 형 철*

Won Il Jang · Yun Seong Eo · Hyung Chul Park*

요 약

본 논문에서는 868/915 MHz 대역의 CMOS ZigBee RF 송수신기를 설계, 제작하였다. 무스위치 정합 네트워크를 이용하여 외부 스위치를 사용하지 않아 저가격화 실현이 가능하게 하였고, 스위치의 삽입 손실을 없애 RF 수신기의 잡음지수와 송신기의 출력전력 대비 전력소모에 이득을 가져올 수 있었다. 수신기는 저잡음 증폭기와 믹서, 기저대역 아날로그 회로로 구성되었고, 송신기는 기저대역 아날로그 회로, 믹서, 드라이버 증폭기로 구성되었으며, 주파수 합성기는 정수 분주기 구조이다. 제안된 ZigBee RF 송수신기는 0.18 μm CMOS 공정 기술을 이용하여 단일칩 full transceiver 형태로 설계, 제작하였다. 측정 결과, 수신기의 최대 이득은 97.6 dB이고, 잡음지수는 6.8 dB이다. 수신 모드의 전류소모는 32 mA, 송신 모드의 전류소모는 33 mA이다.

Abstract

This paper presents a 868/915 MHz CMOS RF transceiver for the ZigBee application. Using a switchless matching network, the off chip switch is removed to achieve the low cost RF transceiver, and by the elimination of the switch's insertion loss we can achieve the benefits for the RF receiver's noise figure and transmitter's power efficiency at the given output power. The receiver is composed of low-noise amplifier, mixer, and baseband analog(BBA) circuit. The transmitter is composed of BBA, mixer, and driver amplifier. And, the integer N type frequency synthesizer is designed. The proposed ZigBee RF full transceiver is implemented on the 0.18 μm CMOS technology. Measurement results show that the maximum gain and the noise figure of the receiver are 97.6 dB and 6.8 dB, respectively. The receiver consumes 32 mA in the receiver mode and the transmitter 33 mA in the transmission mode.

Key words: ZigBee, Transceiver, Switchless Matching Network, CMOS

I. 서 론

최근 들어 수요가 급증하고 있는 근거리, 저비용, 저전력 무선통신을 실현할 수 있는 기술들 중 유력한 기술로

IEEE 802.15.4기반의 ZigBee 표준이 많은 응용분야에서 사용되고 있다. ZigBee의 주요 응용 분야로는 산업에서 모니터링과 제어, 자동화 솔루션, 그리고 센서 네트워크에 활용될 수 있으며, 가정에서는 홈오토메이션, 게임, 전자

「이 연구는 2017년도 정부(과학기술정보통신부)의 재원으로 정보통신기술진흥센터(2017-0-00959, 대학ICT기초연구실(RF 빔포밍 안테나 및 송수신기 다기능 MMIC 고도화 기술)) 및 한국산업기술평가관리원을 통해 산업통상자원부의 산업기술혁신사업(10053023, IoT향 다중대역 RF MEMS 소자 원천기술 개발) 지원에 의해 연구되었음.」

광운대학교 전자공학과(Department of Electronic Engineering, Kwang-woon University)

*서울과학기술대학교 전자IT미디어공학과(Dept. of Electronic and IT Media Engineering, Seoul National University of Science and Technology)

· Manuscript received May 29, 2017 ; Revised July 4, 2017 ; Accepted August 7, 2017. (ID No. 20170529-054)

· Corresponding Author: Hyung Chul Park (e-mail: hcpark@seoultech.ac.kr)

제품과 컴퓨터 주변기에 활용이 가능하다. 현재 할당된 주파수는 900 MHz 대역의 ISM band와 2.4 GHz 대역의 ISM band로 나뉘며, 변조 방식으로는 BPSK, ASK, O-QPSK 등이 사용된다. ZigBee용 RF 송수신기는 단일 칩의 SoC 형태를 위하여 CMOS 기반의 칩으로 개발되며, 저전력 및 저가격이 요구되는 응용분야에 많이 사용되므로 칩 면적이 비교적 작고, 외부에 사용되는 off chip 소자들의 개수가 작아야 한다. ZigBee는 시분할이중통신(TDD: Time Division Duplex) 방식을 사용하므로 안테나를 송신기 또는 수신기에 시간에 따라 번갈아 연결해 주는 RF 스위치가 필요하게 된다. RF 스위치는 외부의 칩을 사용하지 않고, CMOS IC에 집적되는 경우도 많으나, CMOS 기반의 RF 스위치는 substrate로의 손실에 의해 신호의 감쇄가 많이 일어나서 수신기에서는 잡음지수가 열화되고, 송신기에서는 출력전력이 열화되는 문제를 야기한다. 반면, 화합물반도체 기반의 고성능 외부 RF 스위치 IC를 사용하면 모듈의 크기가 커지고, 가격이 상승하는 문제가 있다. 최근에는 위의 문제를 극복하기 위해 RF 스위치가 필요 없고 송수신기가 하나의 RF 정합 회로에 연결되어 송신기 및 수신기의 성능이 보장되는 기술들이 개발되었다^{[1],[2]}.

본 논문에서는 900 MHz의 ISM 대역에서 동작하는 CMOS 기반의 무스위치 RF 송수신기칩을 설계, 제작하였다. 단순히 4~5개의 L, C소자만으로 수신기의 입력 정합과 송신기의 출력정합이 동시에 이루어지고, RF스위치가 필요 없는 송수신 정합 회로를 제안하여 적용하였다. 개발된 송수신기는 직접상향 변환(direct up conversion) 구조를 사용하였고, 수신기는 낮은 중간주파수(low-IF) 구조를 사용하였다. 그리고 주파수 합성기(PLL: Phase-locked Loop)의 경우 논문의 범위에서는 제외하였으나, 정수 분주기(integer N) 방식으로 구현하여 칩에 집적되었고, 본 논문에서는 PLL 부분에 대한 설명은 생략하기로 한다. 본 논문에서 설계한 802.15.4 ZigBee 900 MHz 송수신기는 0.18 μm CMOS 공정을 이용하여 설계, 제작하였고, 측정 결과를 포함한다.

II. RF 송수신기 구조

그림 1은 개발된 ZigBee용 RF CMOS 송수신기 IC의 구조를 보여준다. 송신기는 집적도가 우수한 direct up

conversion 구조로서 전류소모도 최소화한다. 수신기는 DC 오프셋과 $1/f$ 잡음에 강인한 low IF 구조를 사용하여 집적도가 뛰어나고 전류소모가 최소화한다^[6]. 일반적으로, ZigBee와 같은 WPAN 통신 기술들은 TDD 방식이므로 그림 2(a)에서 보이는 바와 같이 RF 스위치를 사용하여 안테나와 연결되는 송신부의 출력 부분과 수신부의 입력부분을 격리한다^{[3]~[5]}.

그림 2와 같이 RF 스위치를 사용하면 RF 입출력단의 격리도가 우수하지만, 부품의 크기뿐만 아니라 일반 L, C 소자에 비해 가격이 비싸다. 일부 스위치의 경우, 추가의 L, C 소자를 요구하는 경우도 있어 저가격이 어렵고 크기

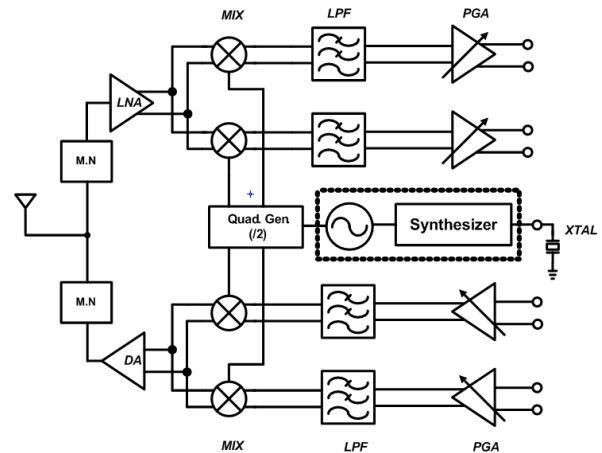


그림 1. ZigBee RF 송수신기 구조
Fig. 1. ZigBee RF transceiver architecture.

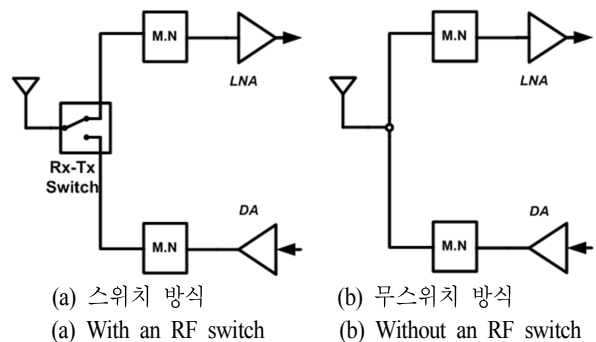


그림 2. TDD 방식에서 RF 송신기와 수신기의 안테나 연결방법
Fig. 2. Connection methods of RF transmitter and receiver to the common antenna in TDD system.

가 커지는 문제점이 있다. 뿐만 아니라, 스위치의 삽입 손실은 송신기의 경우 최대 출력전력을 감소시키고, 수신기의 경우 잡음지수를 증가시키는 문제가 있다^[2]. 따라서, 본 논문에서는 그림 2(b)에서 보이는 바와 같이 스위치가 없는 정합회로를 제안하여 적용함으로써 스위치의 삽입 손실을 없애 기존의 송수신기의 성능을 유지하면서도 저가격의 ZigBee RF가 가능하도록 하였다. 또한, RF 수신기는 단일-차동(S2D: Single-to-Differential) 입출력 구조의 저잡음 증폭기(LNA: Low Noise Amplifier)를 이용하여 외부의 off-chip balun을 제거함으로써 저가격 및 작은 크기가 가능하도록 하였다. 그리고 하향 변환(down conversion) 혼합기(mixer)는 트랜스임피던스 증폭기(TIA: Transimpedance Amplifier)를 이용한 수동(passive) mixer 구조로서 저전력에서도 높은 선형성을 얻을 수 있도록 설계하였다. 송신기 또한 외부의 off-chip balun을 제거하기 위해 차동-단일(D2S: Differential-to-Single) 방식을 사용하였고, 저전력을 위해 드라이버 증폭기(DA: Driver Amplifier)는 inverter 구조를 이용하여 저전력으로 동작하면서도 칩 인덕터를 이용하지 않아 작은 면적에 구현이 가능하도록 하였다. 그리고, PLL은 integer N 방식으로 구현되었으며, divider 2를 이용한 IQ LO 발생회로를 포함하고 있다.

III. RF 송수신기 회로설계

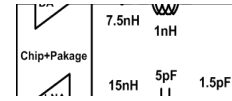
3-1 무스위치 정합 네트워크

그림 3(a)는 제안한 정합 네트워크 구조를 보여준다. 송신기가 켜진 상황에서 $Z_{Tx,load}$ 는 전력 정합이 되어 있어야 하며 동시에 $Z_{Rx,off}$ 는 $Z_{Tx,load}$ 에 영향이 없도록 안테나의 임피던스인 50 Ω보다 매우 커야 한다. 반대로 수신기가 켜져 있는 상황에서 $Z_{Rx,on}$ 은 50 Ω으로 정합이 되면서 동시에 $Z_{Rx,SRC}$ 는 잡음 정합이 되어야 한다. 그리고 이때 $Z_{Tx,off}$ 의 크기는 송신기가 꺼졌을 때 더 커져서 LNA의 입력에서 보이는 임피던스에 영향을 최소화하여야 한다.

$$Re\{Z_{Tx,off}\} \ll 50 \tag{1}$$

$$Im\{Z_{Tx,off}\} \gg 50 \tag{2}$$

식 (1)은 $Z_{Tx,off}$ 에 저항성분이 있을 때 발생하는 열 잡음(thermal noise)이 LNA의 입력 잡음에 추가되는 양을 최소



ZRx,src

(a) (b)

그림 3. (a) 무스위치 정합 네트워크 구조, (b) 무스위치 정합 네트워크
 Fig. 3. (a) A structure of the switchless matching network, (b) A switchless matching network.

화하기 위한 조건이다. 식 (2)는 $Z_{Tx,off}$ 가 LNA 입력 정합에 주는 영향을 최소화하기 위한 조건이다. 즉, $Z_{Tx,off}$ 는 크기는 비교적 큰 임피던스이면서 저항성분이 적은, 즉 순수한 커패시턴스 또는 인덕턴스가 되도록 설계가 되는 것이 바람직하다. 반면, 송신기가 동작할 때 동작하지 않는 수신기 입력 임피던스 $Z_{Rx,off}$ 는 비교적 큰 임피던스가 되어 송신기의 정합에 영향을 주지 않고 대부분의 전력이 안테나로 전달되어야 한다. 따라서 수신기와 마찬가지로 저항성분이 거의 없으면서 순수하게 리액턴스(reactance)만을 가진 높은 임피던스가 되도록 하는 것이 바람직하다. 그림 3(b)은 설계된 정합 네트워크를 보여준다. 전력 정합에 2개의 소자를 사용하였고 LNA 입력 정합에 3개의 소자를 사용하여 외부소자의 사용을 최소화 하면서 무스위치 정합 조건을 만족시켰다. 그림 4는 850~950 MHz 대역의 정합 네트워크 결과를 스미스 도표에 나타낸 것이다. 송신기가 동작할 때 전력 정합이 된 상태이며 동작하지 않을 때 식 (1), (2)을 만족하고, 수신기가 동작할 때 50 Ω 정합이 되어 있으며, 동작하지 않을 때 $Z_{Tx,load}$ 에 영향이 없도록 수신기가 꺼진 상태에서는 임피던스는 높게 된다. 이는 수신기가 꺼진 상태에서 송신기에서 안테나를 바라본 임피던스 (Tx → Ant)가 50 Ω에 가까움을 통해 알 수 있다.

3-2 수신기

3-2-1 LNA

LNA는 수신기의 제일 앞에 위치하여 잡음성분을 억제

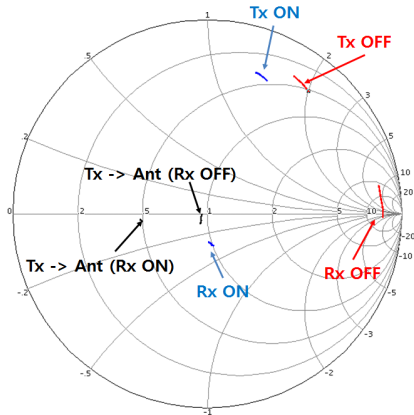


그림 4. 정합 네트워크의 임피던스
Fig. 4. Impedance of a matching network.

하고 원하는 신호를 증폭하는 역할을 한다. 그림 5는 제안한 LNA 회로도이다. 제안한 LNA는 noise cancellation 구조이며, 단일-차동 기능을 갖고 있다. 입력된 RF 신호는 공통 게이트 증폭기(M_2)와 source degeneration 공통 소스 증폭기(M_1)를 통해 차동 신호를 만들며 R_1 , R_2 , M_1 , M_2 의 크기조절을 통해 차동신호의 부정합을 최소화 하였다. degeneration 인덕터(L_1)는 칩 면적을 줄이기 위하여 bonding wire를 이용하였으며, 외부 소자인 L_2 는 M_2 의 DC 전류 경로를 만들며, 동시에 LNA 정합소자로 사용된다. 제안한 LNA의 주요 잡음은 공통게이트 증폭기 M_2 의 채널에서 발생 한다(i_{nd2}). i_{nd2} 는 M_1 을 거치면서 위상이 반전되어 LNA의 차동 출력 노드에서 잡음이 동 위상을 갖게

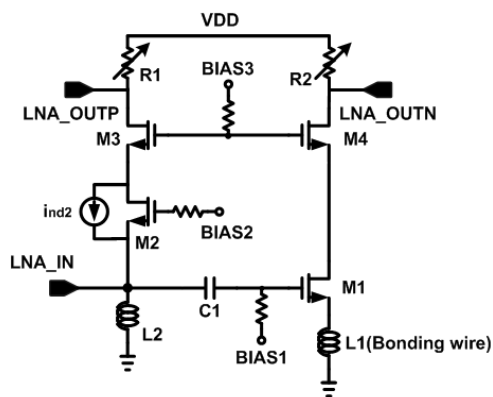


그림 5. 저잡음 증폭기 회로도
Fig. 5. LNA circuit schematic.

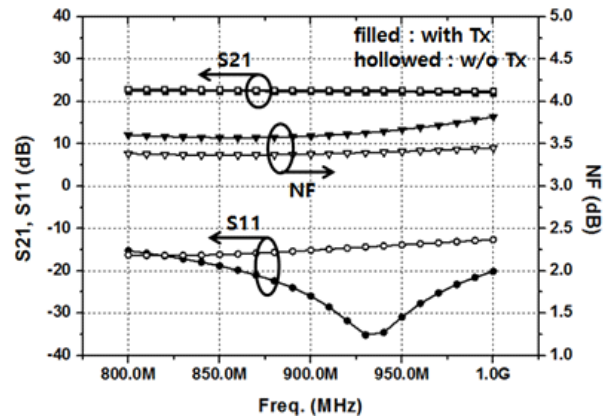


그림 6. LNA의 S-parameter 모의실험 결과
Fig. 6. S-parameter simulation result of the LNA.

되어 차동신호를 취하게 되면 잡음이 소거되는 구조로 설계를 하였다. 즉, 잡음지수는 공통소스 경로와 공통게이트 경로의 이득을 맞추어 최소화 가능하며 이는 M_1 , M_2 의 크기와 각 전류를 조절하여 최적화하였다. 또한 R_1 과 R_2 를 가변하여 저이득 모드를 두어 입력 신호의 크기에 따라 이득을 가변 가능하도록 하였다. 그림 6에 LNA의 S-parameter 모의실험 결과를 나타내었다. 모의실험은 송신기가 함께 연결된 상태에서 수행하였다. 915 MHz를 중심으로 입력정합이 되어 있어 반사손실(S_{11})이 -15 dB 이하이며, RF부의 이득(S_{21})은 22 dB를 얻었다. 잡음지수는 3.6 dB를 얻었으나, 스위치를 사용하는 경우와 비교하여 스위치의 삽입손실에 의한 잡음지수 증가를 고려할 때 비슷한 수준의 잡음지수 성능이다. 한편, 그림 6에서는 송신기를 연결하지 않은 상태와도 비교하고 있다. 송신기가 연결되어 있지 않은 상태와 비교하여 이득은 동일하고, 잡음지수는 0.3~0.4 dB 정도의 성능 저하만이 있으며, 반사계수는 성능에 영향을 주지 않는 수준이다.

3-2-2 Down Conversion Mixer 설계

그림 7은 mixer 회로도를 보여준다. Passive mixer는 선형성이 우수하고, 저전력 동작에 유리하다. Mixer는 switching cell과 TIA로 구성되어 있다. Switching cell은 I 채널과 Q 채널을 합하여 8개의 NMOS switch로 구성되어 있으며, LNA로부터 증폭된 신호가 LO 신호와 곱하여 기저대역(baseband) 신호를 생성한다. 이때 신호는 전류 형태

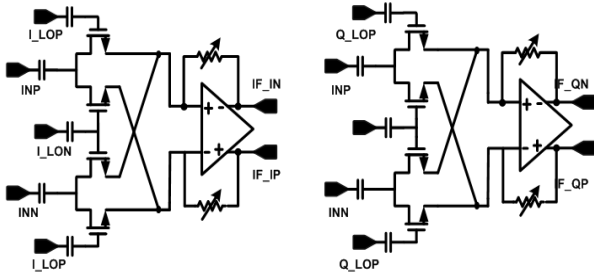


그림 7. Mixer 회로도
Fig. 7. Mixer circuit schematic.

이고, TIA의 입력에서의 전압스윙은 매우 작아 선형성이 매우 좋게 된다. 이 전류는 TIA를 통해 전류 신호가 전압 신호로 변환되는 동시에 신호 증폭이 이루어진다. Passive mixer의 선형성 및 잡음지수는 switch cell NMOS의 게이트 단자의 바이어스와 소자의 크기에 따라 변한다. 일반적으로 게이트 바이어스가 올라가면 선형성은 개선되지만 잡음지수가 열화된다. 그리고, 소자가 일정 이상으로 크면 선형성은 더 이상 개선되지 않으나, 잡음지수는 갑자기 열화되는 특징이 있다. 이런 현상들을 감안하여 소자의 크기와 바이어스를 최적의 선형성(IIP3)과 잡음지수가 되도록 선정하게 된다. 그리고 TIA는 저항 feedback을 이용한 OP-amp를 사용하였으며, 저항을 조절하여 2 bit의 이득 조절이 가능하도록 하였다.

3-2-3 BPF(Band Pass Filter)와 PGA(Programmable Gain Amplifier)

그림 8은 제안한 BPF의 회로도를 보여준다. 3 dB 대역폭을 조절할 수 있는 4차 복소 여과기(complex filter)이며, 이미지 신호를 제거하기 위해 4개의 complex pole을 중첩시켜 BPF를 설계하였다. 또한 이득 조절 기능을 갖도록 설계하였는데, 그림 8에서 OP-amp에 직렬로 연결된 저항을 가변하여 12 dB씩 총 36 dB의 동적 범위(dynamic range)를 갖는다.

그림 9는 BPF를 포함한 PGA 구조를 보여준다. PGA는 두 단계인 coarse PGA와 fine PGA로 구성되어 있으며, DC 오프셋 제거(DCOC: DC Offset Cancellation) 회로를 추가하여 DC오프셋에 의한 포화(saturation) 등을 방지하였다. Coarse PGA는 12 dB 이득을 조절하며, fine PGA는 1 dB

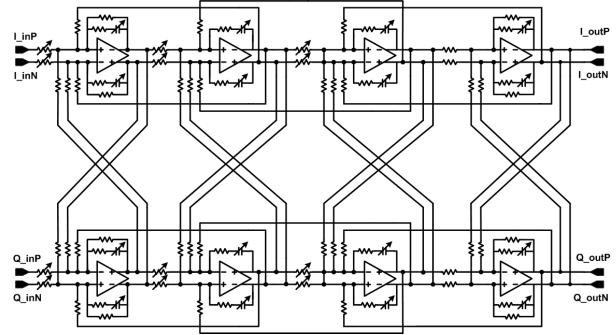


그림 8. BPF 회로도
Fig. 8. BPF circuit schematic.

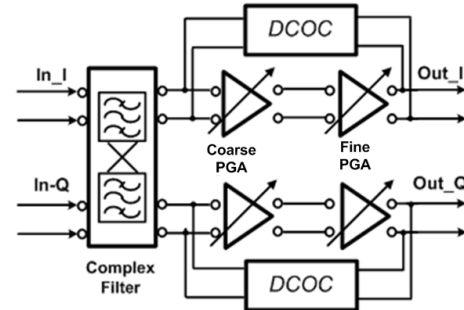


그림 9. BPF와 PGA 구조도
Fig. 9. Block diagram of BPF and PGA.

간격으로 4 bit의 이득 조절이 가능하다. 그림 10은 PGA의 모의실험 결과를 보여준다. BPF의 1 dB 대역폭 조정 범위는 1.3~6 MHz이며, PGA의 조정 범위는 1 dB 간격으로 8~81 dB이다.

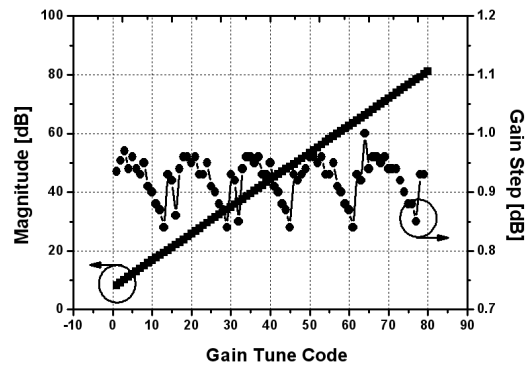


그림 10. PGA 모의실험 결과
Fig. 10. Simulation result of PGA.

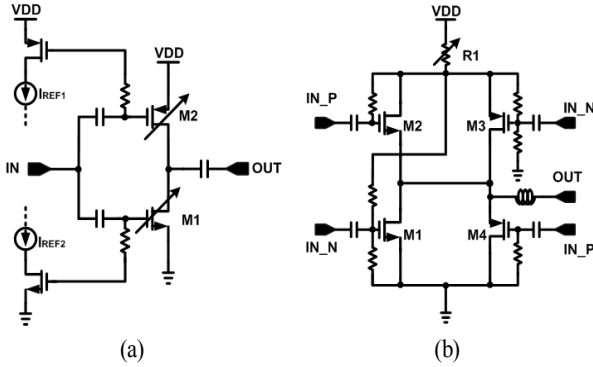


그림 11. (a) DA 회로도, (b) D2S 회로도
Fig. 11. Circuit schematic of (a) DC and (b) D2S.

3-3 송신기 설계

3-3-1 DA와 차동-단일단

그림 11은 DA와 차동-단일단 회로를 보여준다. 그림 11(a)에 보이는 DA는 inverter type이고, push-pull 구조로서 이득이 비교적 높고 인덕터가 없는 설계가 가능하다는 장점이 있다. 또한, 설계된 DA의 출력전력 기준의 P_{1dB} 는 6 dBm 이상이며, DA는 출력 전력 정합이 매우 용이하다는 장점을 가지고 있다. 또한 설계된 DA는 M_1 과 M_2 를 각각 크기가 다른 3개의 트랜지스터를 병렬로 연결하고 각 트랜지스터들의 바이어스를 on/off 함으로써 3 bit의 이득 조절이 가능하다. DA의 출력 정합은 출력 전력이 최대가 되도록 임피던스에 최적화된 전력 정합을 하였다. 설계된 정합 네트워크에서 DA의 출력 전력은 스위치를 사용하는 일반적인 시스템과 비교하여 스위치의 삽입손실 만큼의 전력 손실을 줄일 수 있고, 이는 전력소모 측면에서 장점이다. 그림 11(b)에 보이는 D2S 회로는 mixer로부터 오는 차동 신호를 단일 신호로 변환하는 회로이다. 공통소스 증폭기인 M_1 과 M_3 가 입력신호를 반전시켜 증폭을 시키고 공통드레인 증폭기인 M_2 와 M_4 는 입력신호의 위상을 유지하면서 신호를 증폭시켜 출력 노드에서 단일 신호가 출력이 된다. 또한 R_1 을 가변 하여 1 dB의 이득 조절이 가능하다.

3-3-2 Up Conversion Mixer

그림 12는 passive quadrature 구조의 up conversion mixer

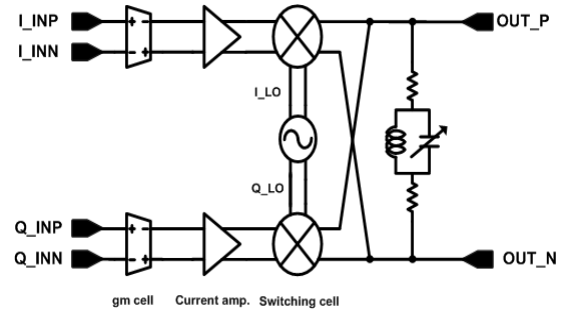


그림 12. Up conversion mixer 구조도
Fig. 12. Block diagram of up conversion mixer.

를 보여준다. 기저대역 아날로그(BBA: Base Band Analog) 회로로부터 IQ 차동신호를 입력 받아 gm cell이 전압신호를 전류신호로 전환하여준다. 변환된 전류는 전류 증폭기를 통해 전류가 증폭이 되며, 동시에 각각의 전류 증폭기가 IQ 차동신호를 만들어 주는 역할을 한다. 증폭된 전류는 switching cell을 통해 LO 신호와 함께 곱해져 주파수 변환이 이루어진다. Mixer의 출력은 LC 공진을 이용해 높은 임피던스를 만들어 전류신호를 다시 전압신호로 바꾸어 차동-단일회로로 전달된다.

3-3-3 PGA와 LPF(Low Pass Filter)

그림 13은 PGA와 LPF 회로도를 보여준다. PGA는 전류 조정(current steering) DAC(Digital to Analog Converter)와 연동을 위해 높은 입력 임피던스가 필요하여 R_1 과 R_2 를 높은 저항을 사용하였다. 또한 가변 이득을 얻기 위해 R_1 과 R_2 값을 조절하여 1 dB 간격으로 4 bit 조절이 가능하다. LPF는 2차 butterworth 구조로 설계가 되었다. LPF의 1 dB 대역폭은 0.66~2.9 MHz까지 조절이 가능하다.

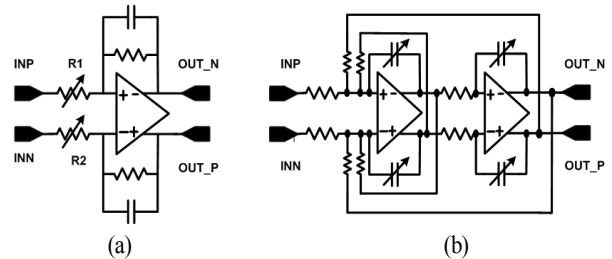


그림 13. (a) PGA 회로도, (b) LPF 회로도
Fig. 13. Circuit schematic of (a) PGA and (b) LPF.

IV. 실험 및 결과

그림 14는 0.18 um CMOS 공정으로 제작한 RF 송수신기 IC를 보여준다. 제작한 IC의 크기는 2.4×2.5 mm이다. 그림 15는 수신기 전체 이득과 잡음지수 측정결과를 보여준다. 측정 결과, 수신기의 최대 이득은 97.6 dB, 잡음지수는 최대 6.8 dB이나, 대부분 약 6 dB임을 알 수 있다. 그리고 이때 소모 전류는 32 mA이다. 공급전원은 1.8 V이며, 내부 LDO를 통해 각 회로 블록마다 공급이 되며, 송

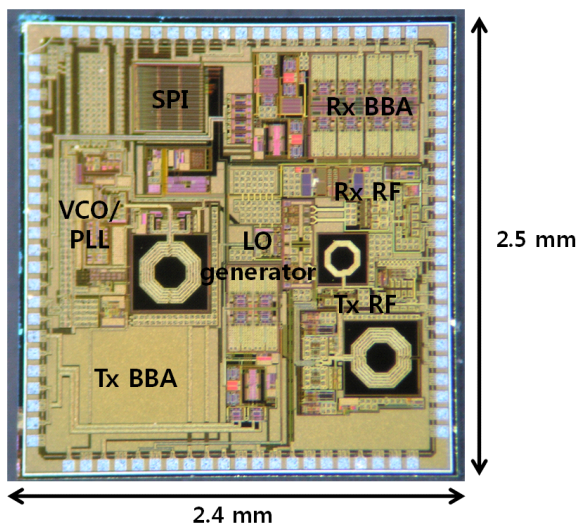


그림 14. 900 MHz ZigBee RF 송수신기 IC 사진
Fig. 14. Microphotograph of 900 MHz ZigBee RF transceiver.

신기와 수신기 및 PLL 부의 LDO가 나뉘어져 있다. 측정된 잡음지수는 설계된 값에 비하여 대략 2 dB 정도 열화되었는데 이는 수동소자의 손실과 일부 부정합 및 기판 손실에 의한 것이다. 그러나, 스위치를 사용하는 기존 구조에서는 PCB 기판과 수동부품 뿐 만 아니라 스위치에서도 추가적인 삽입손실이 발생하는 단점이 있다. 그림 16은 BPF의 측정 결과를 보여준다. BPF의 이미지 제거비(image rejection ratio)는 약 31.6 dB이다. 그림 17은 송신기의 출력 P1dB 측정 결과를 보여주고 있으며, 측정결과 최대 이득에서 2.1 dB이며, 최대 4.1 dBm까지 출력이 가능하다.

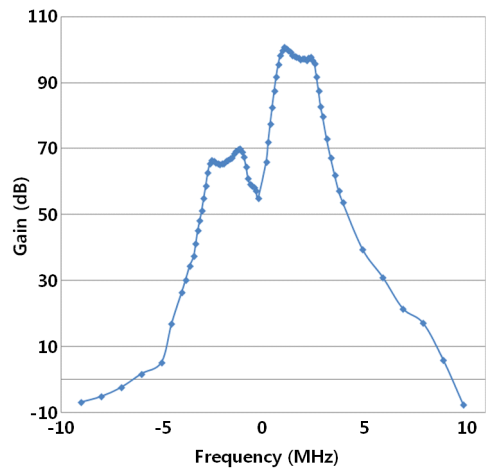


그림 16. BPF 측정 결과
Fig. 16. Measurement result of BPF.

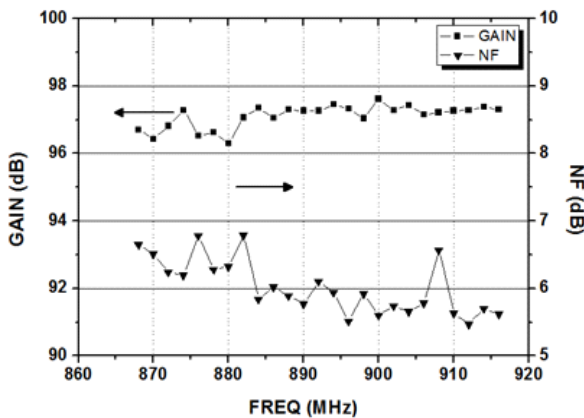


그림 15. 수신기 이득 및 잡음지수 측정 결과
Fig. 15. Measurement gain and NF of receiver.

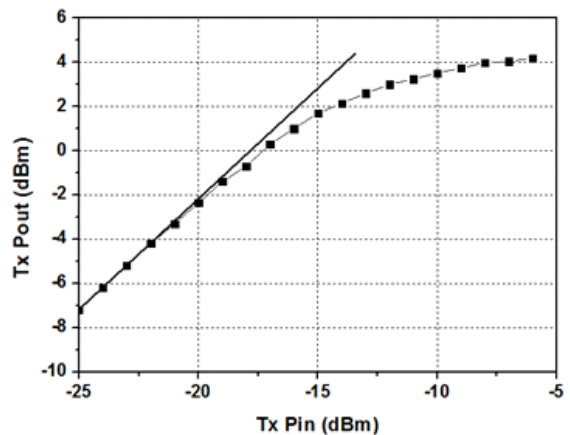


그림 17. 송신기 출력 P1 dB 측정 결과
Fig. 17. Measurement result of output P1dB of transmitter.

표 1. 900 MHz ZigBee RF 송수신기 IC의 성능 측정 결과
Table 1. Measurement results for the 900 MHz ZigBee RF transceiver IC.

Part	Parameter	Specification, simulation result	Measurement result
Tx	Max. transmission power	6 dBm	4.1 dBm
	Output IP3	11 dBm	11 dBm
	Current consumption @ 4.1 dBm	31 mA @ 1.8 V	33 mA @ 1.8 V
Rx	Max. gain	97.6 dB	97.6 dB
	NF	3 dB	6.8 dB
	Image rejection ratio	31.6 dB	31.6 dB
	Current consumption	24 mA @ 1.8 V	32 mA @ 1.8 V

한편, 측정 결과 송신기의 출력 IP3는 11 dBm, 소모 전류는 최대출력에서 33 mA이다. 표 1에 제작된 IC의 측정 결과를 정리하였다.

V. 결 론

본 논문에서는 IEEE 802.15.4 규격을 만족하는 868/915 MHz 대역의 RF 송수신기를 설계, 제작하였다. 무스위치 정합 네트워크를 이용하여 RF 스위치를 없애 저가격화 실현이 가능하게 하였다. 또한, 스위치의 삽입 손실을 제거하여 RF 수신기의 잡음지수가 개선하도록 하였고, 송신기도 동일한 출력전력 대비 전력소모를 줄였다. 제안한 ZigBee RF 송수신기는 0.18 μ m CMOS 공정 기술을 이용하여 full transceiver 형태로 제작되었다. 수신기는 단일-차동 기능을 갖는 noise cancellation LNA와 passive mixer, 그리고 low IF 구조의 complex filter가 이용된 BBA로 구성되었다. 수신기의 최대 이득은 97.6 dB이고, 잡음지수는

6.8 dB이다. 송신기는 출력 P1dB가 2.1 dBm이며, 최대 4.1 dBm까지 출력이 가능하다. 실험을 통해서 수신 모드의 전류소모는 32 mA, 송신 모드의 전류소모는 33 mA이다.

References

- [1] W. Kluge, F. Poegel, H. Roller, M. Lange, T. Ferchland, L. Dathe, and D. Eggert, "A fully integrated 2.4-GHz IEEE 802.15.4-compliant transceiver for ZigBee™ applications", *IEEE J. Solid-State Circuits*, vol. 41, no. 12, pp. 2767-2775, Dec. 2006.
- [2] Y. J. Kim, I. C. Hwang, and D. Baek, "A switchless Zigbee frontend transceiver with matching component sharing of LNA and PA", *IEEE Microwave and Wireless Components Letters*, vol. 20, no. 9, pp. 516-518, Sep. 2010.
- [3] Y. Eo, H. Yu, S. Song, Y. Ko, and J. Kim, "A fully integrated 2.4 GHz low IF CMOS transceiver for 802.15.4 ZigBee applications", *IEEE Asian Solid-State Circuits Conference*, Jeju, pp. 164-167, Nov. 2007.
- [4] J. H. Lim, K. S. Cho, B. L. Seo, Y. I. Kwon, W. S. Lee, K. M. Lee, M. S. Kim, S. H. Min, and T. J. Park. "A fully integrated 2.4 GHz IEEE 802.15.4 transceiver for Zigbee applications", *IEEE Asia-Pacific Microwave Conference*, Yokohama, pp. 1779-1782, Dec. 2006.
- [5] 권재관, 박강엽, 최우영, 오원석, "ZigBee 응용을 위한 900 MHz CMOS RF 송수신기 구현", *전자공학회논문지*, 43-TC(11), pp.1436-1445, 2006년 11월.
- [6] Behzad Razavi, *RF Microelectronics*, Prentice Hall, pp. 118-165, 1998.

장 원 일



2013년 2월: 광운대학교 전자공학과 (공학사)
2013년 3월 ~ 현재: 광운대학교 전자공학과 석박통합과정
[주 관심분야] 무선 통신 및 레이더 시스템을 위한 CMOS RF/ Analog 집적회로 설계

박 형 철



1996년 2월: 한국과학기술원 전기 및 전자공학과 (공학사)
1998년 2월: 한국과학기술원 전기 및 전자공학과 (공학석사)
2003년 2월: 한국과학기술원 전자전산학과 (공학박사)
2003년 2월 ~ 2005년 2월: 하이닉스반도체 SoC 설계팀 선임연구원
2005년 3월 ~ 2010년 2월: 한밭대학교 정보통신컴퓨터공학부 전임강사/조교수
2010년 3월 ~ 현재: 서울과학기술대학교 전자HT미디어공학과 조교수/부교수
[주 관심분야] 무선 통신 VLSI 설계

어 윤 성



1993년 2월: 한국과학기술원 전기 및 전자공학과 (공학사)
1995년 2월: 한국과학기술원 전기 및 전자공학과 (공학석사)
2001년 2월: 한국과학기술원 전기 및 전자공학과 (공학박사)
2000년 8월 ~ 2002년 8월: LG전자기술원 RF Team 선임연구원
2002년 9월 ~ 2005년 8월: 삼성종합기술원 RF Chip Solution Center 책임연구원
2014년 3월 ~ 현재: 광운대학교 전자공학과 교수
2009년 9월 ~ 현재: 실리콘알앤디 대표이사(겸)
[주 관심분야] CMOS RF Transceiver 설계, CMOS Power AMP 설계