Regular Paper Best Paper
J. Korean Inst. Electr. Electron. Mater. Eng.
Vol. 30, No. 9, pp. 535-540 September 2017
DOI: https://doi.org/10.4313/JKEM.2017.30.9.535
ISSN 1226-7945(Print), 2288-3258(Online)



# 협대역 고출력 전자기파에 의한 CMOS IC의 전기적 특성 분석

**박진욱, 허창수[a], 서창수, 이성우**
인하대학교 전기공학과

# An Electrical Properties Analysis of CMOS IC by Narrow-Band High-Power Electromagnetic Wave

Jin-Wook Park, Chang-Su Huh[a], Chang-Su Seo, and Sung-Woo Lee
Department of Electrical Engineering, Inha University, Incheon 22212, Korea

(Received July 10, 2017; Revised July 24, 2017; Accepted July 25, 2017)

**Abstract**: The changes in the electrical characteristics of CMOS ICs due to coupling with a narrow-band electromagnetic wave were analyzed in this study. A magnetron (3 kW, 2.45 GHz) was used as the narrow-band electromagnetic source. The DUT was a CMOS logic IC and the gate output was in the ON state. The malfunction of the ICs was confirmed by monitoring the variation of the gate output voltage. It was observed that malfunction (self-reset) and destruction of the ICs occurred as the electric field increased. To confirm the variation of electrical characteristics of the ICs due to the narrow-band electromagnetic wave, the pin-to-pin resistances (Vcc-GND, Vcc-Input1, Input1-GND) and input capacitance of the ICs were measured. The pin-to-pin resistances and input capacitance of the ICs before exposure to the narrow-band electromagnetic waves were 8.57 MΩ (Vcc-GND), 14.14 MΩ (Vcc-Input1), 18.24 MΩ (Input1-GND), and 5 pF (input capacitance). The ICs exposed to narrow-band electromagnetic waves showed mostly similar values, but some error values were observed, such as 2.5 Ω, 50 MΩ, or 71 pF. This is attributed to the breakdown of the pn junction when latch-up in CMOS occurred. In order to confirm surface damage of the ICs, the epoxy molding compound was removed and then studied with an optical microscope. In general, there was severe deterioration in the PCB trace. It is considered that the current density of the trace increased due to the electromagnetic wave, resulting in the deterioration of the trace. The results of this study can be applied as basic data for the analysis of the effect of narrow-band high-power electromagnetic waves on ICs.

**Keywords**: Narrow-band electromagnetic radiation, CMOS logic IC, Electrical properties analysis, Microscopic analysis

## 1. 서 론

CMOS (complementary metal oxide semicond-uctor) 타입의 소자들은 소비전력이 작고, MOS- FET (metal oxide semiconductor field effect transistor)을 저항으로 사용할 수 있어 집적도를 향상시킬 수 있으며, 잡음여유가 크다는 장점이 있다. 이러한 장점으로 인해, 반도체 소자의 90% 이상을 CMOS가 차지하고 있다. 그러나 gate가 산화막으로 절연되어 있어 BJT (bipolar junction transistor)에 비해 ESD (electrostatic discharge)에 영향을 받기 쉽다는 단점을 가지고 있다 [1,2]. 따라서 모든 CMOS IC는 ESD 보호 회로를 내장하고 있다. 일반적으로 ESD 보호 회로는 ESD뿐만 아니라, EMI (electro-magnetic interference)에 대한 보호 대책으로 사용되기도 한다. 그러나 수 GHz~ 수십 GHz의 주파

**a. Corresponding author; emblemdo@kopti.re.kr**

Copyright ©2017 KIEEME. All rights reserved.
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (http://creativecommons.org/licenses/by-nc/3.0) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

수와 최대 수십 MV/m의 피크전계를 가지는 IEMI (intentional electro-magnetic interference)가 전자부품에 발생할 경우 CMOS IC는 ESD, latch-up 등으로 인해 오동작, 고장을 일으킬 수 있다. 또한, 많은 전자시스템은 L-band (1~2 GHz), S-band (2~4 GHz)에서 큰 간섭 효과를 나타내는데, 이로 인해서 시스템의 영구적 파괴가 일어나기도 한다. 따라서 본 논문에서는 2.45 GHz 협대역 전자기파에 의한 CMOS IC의 전기적 특성 변화를 알아보고자 한다.

## 2. 실험 방법

그림 1은 전자파 소스(microwave system), 피시험체(device under test, DUT), 측정 시스템(oscilloscope)으로 이루어진 전체 실험의 구성을 보여준다.

전자파 소스는 마그네트론(LG2M290)이 사용되었다. 이 마그네트론은 마그네트론 출력단으로부터 0.5m 거리에서 최대 3 kW의 출력으로 중심주파수 2.45±0.05 Ghz (V.S.W.R≤1.1)의 전자기파를 생성할 수 있다. 이렇게 발생한 전자기파는 WR-340 규격의 도파관을 따라 진행하며 반도체 소자가 놓여있는 jig를 지나 더미로드에서 열로 소멸한다. DUT (CMOS IC)를 일정한 전계 하에서 실험하기 위해서 도파관 하부에 구멍을 뚫어 jig를 제작하였다. 실험 방법으로는 협대역 전자기파가 CMOS IC에 3초간 1회만 방사되도록 하였다. 이후 실험이 종료된 CMOS IC의 pin-to-pin 저항, 입력 커패시턴스를 측정하여 고장 형태를 분석하였다 [3].

그림 2는 실험에 사용된 DUT (CMOS IC)의 사양을 보여준다. 실험에 사용된 CMOS IC는 HD74HC (Quad 2-input OR gate)이 사용되었다.

IC를 도파관 내부에서 실험하기 위해서 제작된 jig에 IC가 고정되도록 소켓을 만들어 고정하였으며, 소켓은 테스트 회로와 플랫 케이블로 연결하였다. IC의 이상 상태는 테스트 회로의 출력 전압변동으로 확인하였다.

IC의 오동작 특성은 MT, MB와 MFR 그래프를 이용하였다. MFR (malfunction failure rate)은 실험에 사용된 소자 중 오동작을 일으킨 소자의 개수를 확률로 나타내는 방법을 말하며, 식 (1)과 같다. 여기서 오동작이란, 전자기파 입사 중 IC가 오동작한 후 스스로 정상 동작으로 회복하는 것을 말한다. MT (malfunction threshold)는 오동작이 발생하기 시작하는 임계 전압으로 MFR의 임계 5%를 나타낸 것이다. MB (malfunction bandwidth)는 임계 5%에서 95%까지의 전압 범위를 나타낸 것이다. IC의 파괴 특성은 DT, DB, DFR를 이용하였다. DFR (destruction failure rate)은 실험에

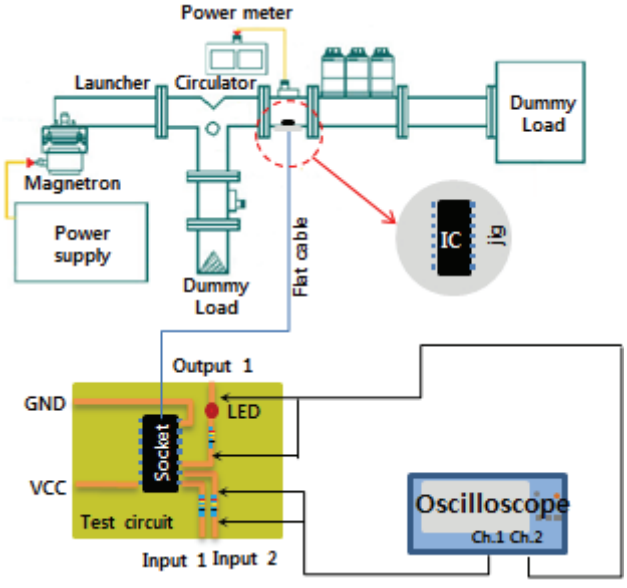
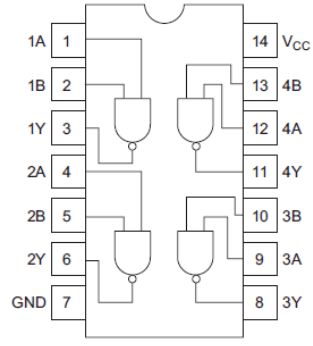



**Fig. 1.** Experiment setup.

(a)




(b)

| CMOS technology | HCMOS |
|---|---|
| Part name | HD74HC32P |
| System integration | SOP(system on package) |
| Package material | Plastic |
| Assembly | IM-PTH |
| Vcc | 3 V |
| Input voltage | 3 V |

**Fig. 2.** DUT specification. (a) IC pin arrangement and (b) OR gate IC specification.

사용된 소자 중 고장난 소자의 개수를 확률로 나타내는 방법을 나타내며, 식 (2)와 같다. 여기서 고장이란, 전자기파 입사 중 IC가 물리적인 손상을 입어, IC의 교체로만 시스템 의 기능이 회복되는 것을 말한다. DT (destruction threshold)는 고장이 발생하기 시작하는 임계 전압으로 DFR의 임계 5%를 나타낸 것이다. DB (destruction Bandwidth)는 임계 5%에서 95%까지의 전압 범위를 나타낸 것이다 [5].

$$MFR = \frac{Number\ of\ Malfunction}{The\ total\ number\ of\ tested\ devices} \quad (1)$$

$$DFR = \frac{Number\ of\ Destruction}{The\ total\ number\ of\ tested\ device} \quad (2)$$

본 실험에 사용된 IC는 반도체 제작공정에서 웨이퍼 위에 트랜지스터, 커패시터, 저항기 등의 개별 소자들이 동시에 제작된 Monolithic IC이기 때문에, 손상부위의 분석이 어렵다는 단점을 가지고 있다. 그래서 IC의 pin-to-pin 저항(Vcc-GND, Input1-GND, Vcc-Input1)과 Input capacitor의 측정을 통해 내부 물리적 변화를 확인하였다 [3,4].

반도체 소자 내부 IC 표면의 손상 정도를 확인하기 위해서 EMC (epoxy molding compound)를 제거한 후 광학현미경으로 측정하였다. 이 과정을 통해 IC 표면의 컴포넌트, 온칩 와이어, 본딩 와이어의 손상정도를 확인할 수 있다.

## 3. 결과 및 고찰

### 3.1 도파관 내부의 전계 크기

WR-340 도파관에서는 TE모드와 TM모드가 존재하지만, TEM모드는 존재할 수 없다. 또한, 도파관 사이즈와 모드(m, n)에 따라서 차단주파수($f_c$) 이하에서는 파가 전파되지 않는 특징을 가지고 있다. 차단 주파수는 식 (3), (4)로 구할 수 있다.

$$f_{c_{mn}} = \frac{1}{2\sqrt{\mu\epsilon}}\sqrt{\left(\frac{m}{a}\right)^2 + \left(\frac{n}{b}\right)^2} \quad (3)$$

$$f_{c_{mn}} = \frac{1}{2a\sqrt{\mu_0\epsilon_0}} \quad (4)$$

가장 낮은 차단주파수를 가지는 모드를 기본 모드라고 하며, WR-340에서 $a > b$ (a: 도파관의 내부 가로 길이, b: 도파관의 내부 세로 길이)이기 때문에 TE10 (m=1, n=0) 모드에서 $f_c$가 가장 작아진다. WR-340에서 a=8.636 cm, b=4.318 cm이고, 공기 중에서의 $1/\sqrt{\mu_0\epsilon_0} = c \doteq 3\times10^8$이기 때문에, 식 (3)은 식 (4)로 나타낼 수 있다. 이를 계산하면 $f_c$=1.735 GHz이다.

도파관 임피던스는 특정 주파수에서 전파하는 모드의 횡단 전기장과 횡단 자장 비로 구할 수 있으며, 식 (5)로 구할 수 있다.

$$Z_{10} = \frac{\eta_u}{\sqrt{1-\left(\frac{f_c}{f}\right)^2}} \quad (5)$$

여기서, $\eta_u$는 전파매체의 고유임피던스이며 공기 중에서는 120π Ω이다. 사용주파수 $f$와 차단주파수 $f_c$, $\eta_u$를 식 (5)에 대입하면, $Z_{10}$=534.5 Ω을 구할 수 있다 [6].

도파관 내부 전계의 크기와 $P_{peak}$의 관계식은 식 (6)로 정의할 수 있으며, a, b, $Z_{10}$, $P_{peak}$를 식 (7)에 대입하여 정리하면 식 (8), (9)를 구할 수 있다. 표 1은 식 (9)에 의해 계산된 여러 전력에 따른 전계를 나타낸다 [7,8].

$$P_{peak} = 2P_{av} = \frac{E_0^2 ab}{2Z_{10}} \quad (6)$$

**Table 1.** Relationship between the power and the peak electric field in WR-340.

| $P_{av}$ [W] | $E_0$ [kV/m] | $P_{av}$ [W] | $E_0$ [kV/m] |
|---|---|---|---|
| 100 | 7.57 | 900 | 22.71 |
| 200 | 10.71 | 1,000 | 23.94 |
| 300 | 13.11 | 1,200 | 26.22 |
| 400 | 15.14 | 1,500 | 29.31 |
| 500 | 16.93 | 1,800 | 32.11 |
| 600 | 18.54 | 1,900 | 32.96 |
| 700 | 20.03 | 2,100 | 34.69 |
| 800 | 21.41 | 2,200 | 35.50 |
| 900 | 22.71 | 2,300 | 36.3 |
| | | 2,400 | 37.08 |

$$P_{av} = \frac{E_0^2 ab}{4Z_{10}} \tag{7}$$

$$P_{av} = (1.744 \times 10^{-6}) E_0^2 \tag{8}$$

$$E_0 = 757\sqrt{P_{av}}\ [V/m] \tag{9}$$

### 3.2 오동작 확률 분석

그림 3, 표 2는 협대역 전자기파의 전계 세기에 따른 IC의 오동작, 고장 특성을 보여준다. 오동작, 파괴 현상 및 확률은 전계 세기에 따라 다르게 나타났다. Self-reset은 전자기파가 방사되는 동안 IC의 input과 output의 전압 강하가 발생하지만, 방사가 완료된 후에는 IC가 제 기능을 회복하는 것을 말한다. Destruction은 전자기파의 방사가 완료된 후 IC의 power reset에 상관없이 IC의 전체 또는 일부 gate가 정상동작을 하지 않는 것을 말한다.

실험 결과, IC의 MT, MB, DT, DB 는 각각 17.05 kV/m, 5.27 kV/m, 31.11 kV/m, 4.05 kV/m이었으며, 방사가 전계가 증가함에 따라 self-reset, destruction이 순차적으로 나타났으며, 발생 확률이 지수 함수적으로 증가하였다.

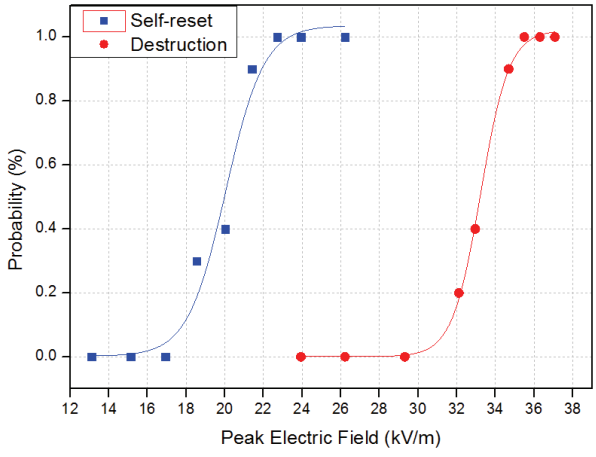



**Fig. 3.** MFR curve by E-field.

**Table 2.** MT and MB of IC.

| Mode | MT [kV/m] | MB [kV/m] | DT [kV/m] | DB [kV/m] |
|---|---|---|---|---|
| Self-reset | 17.05 | 5.37 | - | - |
| Destruction | - | - | 31.11 | 4.05 |

### 3.3 Pin-to-pin 저항 및 입력 커패시턴스 분석

협대역 전자기파에 의한 IC 내부의 전기적 특성 변화를 확인하기 위해서 IC의 pin-to-pin 저항, Input capacitance의 변화를 측정하였다.

pin-to-pin 저항은 IC에 어떠한 신호도 인가되지 않았을 때 pin간의 저항을 말한다. 그림 4는 측정된 pin-to-pin 저항을 보여준다. 협대역 전자기파에 노출되지 않은 정상적인 IC의 Vcc-GND, Input1-GND,

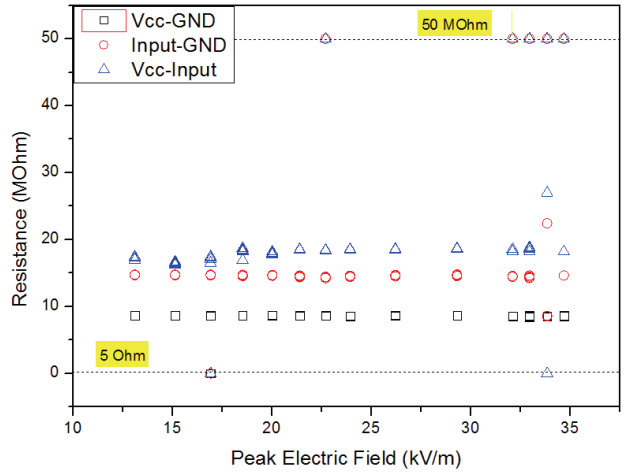



**Fig. 4.** Field amplitude vs Pin-to-pin resistance of IC.

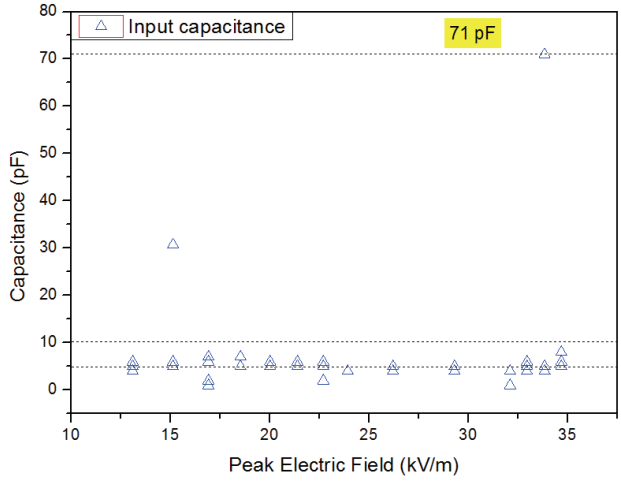



**Fig. 5.** Field amplitude vs Input capacitance of IC.

Vcc-Input1 저항은 각각 8.57 MΩ, 14.14 MΩ, 18.24 MΩ으로 나타났다. 협대역 전자기파에 노출된 CMOS IC도 대부분 유사한 pin-to-pin 저항을 보였으나, 고장을 발생시키는 전계에 노출된 일부 IC에서 50 MΩ 이상의 저항을 나타내거나, 2.5 Ω과 같은 매우 낮은 저항을 나타내었다. 특히, Input1-GND 저항이 50 MΩ인 경우, Vcc-Input1도 50 MΩ을 나타내었다. 이는 협대역 전자기파로 인해 발생한 latch-up이 pn접합의 공핍영역의 물성 변화를 일으킨 결과로 판단된다 [8].

입력 커패시턴스는 CMOS logic IC의 Vcc에 0V가 인가되었을 때 GND와 Input pin 사이의 커패시턴스를 말한다. 이것은 gate와 substrate 사이의 큰 커패시턴스와 leads, Input 보호회로의 커패시턴스로 이루어지며, 외부 요인에 의한 입력 커패시턴스 변화는 주로 gate와 substrate의 커패시턴스에 의해 발생한다. 입력 커패시턴스는 전송 게이트를 opening/closing함으로 IC의 데이터를 일시적으로 저장하는 이점을 가지고 있다. 그러나 입력 커패시턴스는 상호적으로 연결된 gate의 스위칭 속도를 늦출 수 있고 소비전력을 높일 수 있는 단점이 있다. 그림 5는 측정된 입력 커패시턴스를 나타낸다. 측정결과를 통해 일부 IC에서 커패시턴스 변화가 확인되었다. 정상 IC의 입력 커패시턴스는 약 5~10 pF이었으나, 고장을 발생시키는 전계에 노출된 일부 IC의 커패시턴스가 정상 값의 14배인 71 pF를 나타내었다. 이러한 IC의 입력 커패시턴스의 변화는 IC에 데이터가 일시적으로 저장될 때, 왜곡된 값을 저장할 수 있을 수 있으며, IC에 연결된 전체 시스템의 오동작을 초래할 수 있다.

### 3.4 CMOS IC의 내부 칩의 광학현미경 분석

본 실험에 사용된 IC는 Monolithic IC로 본래 고전압, 대전력에 취약한 특성을 가지고 있으나, 사용 전압이 높고 선로사이의 간격이 넓기 때문에 상대적으로 고출력 전자기파에 강한 내성을 가졌을 것으로 사료된다. 그림 6은 각 전계에 따라 오동작 및 고장을 일으킨 소자의 내부를 광학현미경으로 확대(1,200배)한 모습을 보여준다. 공통적으로 선로에서 심한 열화가 발생하였음을 확인할 수 있다. 이와 같은 열화는 협대역 전자기의 교란으로 인해 선로에 전류밀도가 증가하여 선로를 열화 시킨 결과로 사료된다. Destruction 모드를 보인 IC의 경우 thermal breakdown이 발생한 것으로 사료되며, 선로 및 pn접합에서의 국부가열로 인해 EMC (epoxy molding compound)가 열(熱)적 열화되어 IC에 용융된 것을 확인할 수 있었다. IC 외관상

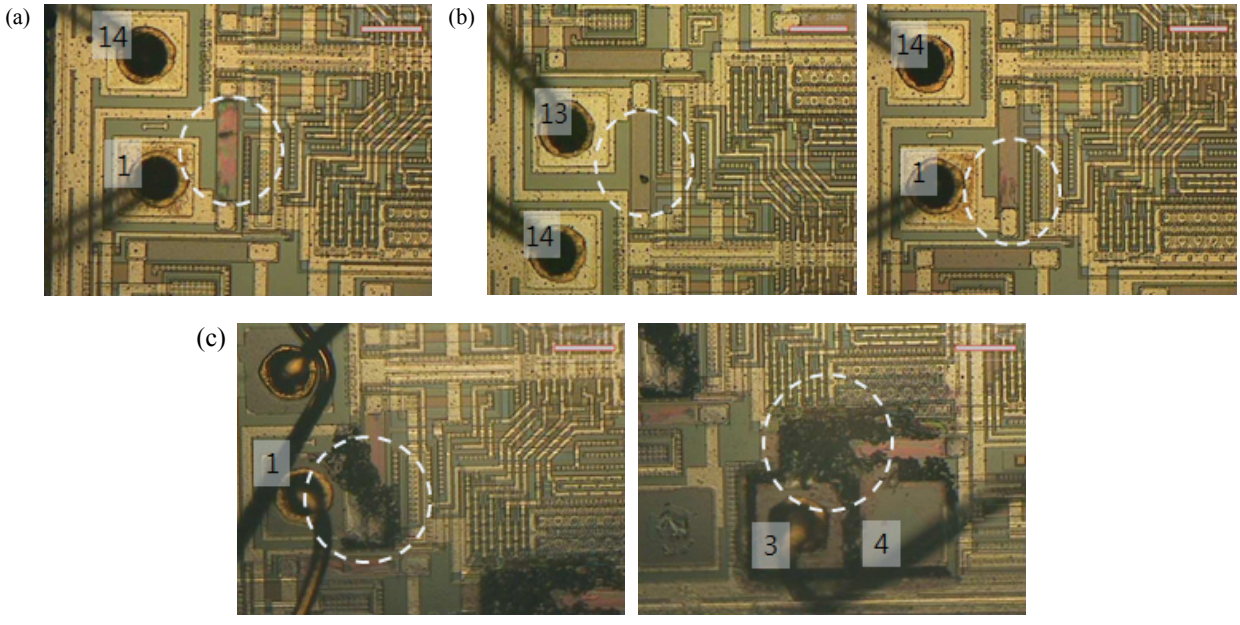



**Fig. 6.** The damage of CMOS IC by Narrow-band high-power electromagnetic wave. (a) Flicker, electric field amplitude: 26.22 kV/m, (b) self-reset, electric field amplitude: 32.11 kV/m, and (c) destruction, electric field amplitude: 37.08 kV/m.

트랜지스터, 다이오드와 같은 소자에서의 고장은 확인할 수 없었으나, pin-to-pin 저항, 커패시턴스의 변화의 결과를 통해 칩 내부의 컴포넌트에서 filamentation과 같은 열적 열화가 발생한 것으로 판단된다 [9,10].

## 4. 결 론

본 연구에서는 협대역 전자기파로 인한 CMOS IC에서의 전기적 특성 변화를 분석하였다. 실험 결과 다음의 결론을 도출하였다.

1. IC의 내부 물성 변화를 추정하기 위하여, pin-to-pin 저항변화, 입력 커패시턴스 변화를 측정하였다. 측정결과, IC의 고장을 일으키는 전계에 노출된 일부 IC에서 정상치에 비해서 현저히 높거나, 낮은 저항이 측정되었으며, 커패시턴스의 변화도 일부 IC에서 나타났음을 확인하였다. 이는 협대역 전자기파에 의해 발생한 latch-up이 pn 접합의 공핍영역의 물성 변화를 일으킨 결과로 판단된다.

2. IC의 EMC (epoxy molding compound)를 제거한 후 내부 칩 분석을 통해 소자의 고장 부위를 확인할 수 있었다. 오동작, 고장모드에 상관없이 선로에서 심한 열화가 발생하였음을 보였으며, 트랜지스터, 다이오드와 같은 비선형 소자에서의 파괴는 확인되지 않았다. 그러나 pin-to-pin 저항, 입력 커패시턴스 변화를 통해 칩 내부에서의 filamentation과 같은 열적 열화가 존재할 것으로 판단된다. 고장 모드를 보였던 소자에서는 IC의 일부 pn접합부에서의 국부가열로 인해 EMC가 열적 열화가 되어 용융된 것이 확인되었다. 본 연구 결과는 IC 보호 및 고출력 전자기파의 영향 분석의 기초 자료로 사용될 것으로 판단된다.

## REFERENCES

[1] M. G. Backstrom and K. G. Lovstrand, *IEEE Trans. Electromagn. Compat.*, **46**, 396 (2004). [DOI: https://doi.org/10.1109/temc.2004.831814]

[2] *Electromagnetic compatibility (EMC) - Part 2-13: Environment - High-power electromagnetic (HPEM) environments - Radiated and conducted*, **IEC 61000-2-13**, 40 (2005).

[3] J. W. Park, C. S. Huh, C. S. Seo, and S. W. Lee, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **29**, 559 (2016). [DOI: https://doi.org/10.4313/JKEM.2016.29.9.559]

[4] IEC 62132-4 Ed.1: Integrated Circuits – Measurements of Electromagnetic Immunity, 150 kHz to 1 GHz – Part 4: Direct RF Power Injection Method. [DOI: https://doi.org/10.3403/30149456]

[5] M. Camp, H. Garbe, and D. Nitsch, *Proc. 2002 IEEE International Symposium on Electromagnetic Compatibility* (IEEE, Minneapolis, USA, 2002) p. 87. [DOI: https://doi.org/10.1109/isemc.2002.1032453]

[6] D. M. Pozar, *Proc. 2012 IEEE/MTT-S International Microwave Symposium Digest* (IEEE, Montreal, Canada, 2012). [DOI: https://doi.org/10.1109/mwsym.2012.6259373]

[7] D. V. Giri, *High-Power Electromagnetic Radiators Nonlethal Weapons and Other Applications* (Harvard University Press, United States, 2004).

[8] J. I. Hong, S. M. Hwang, and C. S. Huh, *The Transactions of the Korean Institute of Electrical Engineers*, **56**, 1282 (2007).

[9] C. D. Taylor and D. V. Giri, *High-Power Microwave Systems and Effects* (Taylor & Francis, United Kingdom, 1994).

[10] O. Semenov, H. Sarbishaei, and M. Sachdev, *ESD Protection Device and Circuit Design for Advanced CMOS Technologies* (Springer Science & Business Media, Germany, 2008). [DOI: https://doi.org/10.1007/978-1-4020-8301-3]