

# 용액 공정을 이용한 Indium-Zinc-Oxide 박막 기반 저항 스위칭 메모리의 전기적 특성

김한상<sup>1</sup>, 김성진<sup>1,2,a</sup>

<sup>1</sup> 충북대학교 전자정보대학

<sup>2</sup> 충북대학교 컴퓨터정보통신연구소

## Electrical Characteristics of Resistive-Switching-Memory Based on Indium-Zinc-Oxide Thin-Film by Solution Processing

Han-Sang Kim<sup>1</sup> and Sung-Jin Kim<sup>1,2,a</sup>

<sup>1</sup> College of Electrical and Computer Engineering, Chungbuk National University, Cheongju 28644, Korea

<sup>2</sup> Institute for Computer and Information Communication, Chungbuk National University, Cheongju 28644, Korea

(Received May 16, 2017; Revised June 13, 2017; Accepted June 16, 2017)

**Abstract:** We investigated the rewritable operation of a non-volatile memory device composed of Al (top)/TiO<sub>2</sub>/indium-zinc-oxide (IZO)/Al (bottom). The oxygen-deficient IZO layer of the device was spin-coated with 0.1 M indium nitrate hydrate and 0.1 M zinc acetate dehydrate as precursor solutions, and the TiO<sub>2</sub> layer was fabricated by atomic layer deposition. The oxygen vacancies IZO layer of an active component annealed at 400°C using thermal annealing and it was proven to be in oxygen vacancies and oxygen binding environments with OH species and heavy metal ions investigated by X-ray photoelectron spectroscopy. The device, which operates at low voltages (less than 3.5 V), exhibits non-volatile memory behavior consistent with resistive-switching properties and an ON/OFF ratio of approximately  $3.6 \times 10^3$  at 2.5 V.

**Keywords:** Thin films, Sol-gel, Electrical properties, Electrical, IZO resistive random access memory

### 1. 서론

최근 정보화와 통신화가 가속되면서 반도체 소자인 메모리의 중요성이 대두되고 있다. 하지만 100 nm 이하 크기의 소자와 관련된 물리적 한계의 문제로 인해서 이를 극복하기 위한 근본적인 접근이 필요하다는 의견이 제시되어왔다. 더해서 소비자들은 비휘발성(non-

volatile)의 특성을 가지면서 SRAM (static random access memory)과 같은 빠르고 고용량의 메모리를 요구하고 있어서 이에 대한 연구가 필요할 것으로 보인다. 이에 이 논문에서는 뛰어난 특성으로 위와 같은 필요조건을 충족시키는 차세대 메모리 후보 중 하나인 산화물 기반의 저항 스위칭 메모리(resistive random access memory, ReRAM) 소자에 대해서 연구하였다. ReRAM은 DRAM 메모리와 NAND Flash를 잠정적으로 대체할 수 있는 가장 믿을만한 메모리 기술이다 [1-3]. 이러한 저항 기반의 스위칭 메모리 소자는 두 개의 금속 전극 사이에 절연체를 갖는 단순한 metal-insulator-metal (MIM) 구조를 이루고 있는데, 전압이 끊

a. Corresponding author; [ksj@chungbuk.ac.kr](mailto:ksj@chungbuk.ac.kr)

Copyright ©2017 KIEEME. All rights reserved.  
 This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

어저도 정보가 유지되는 비휘발성 메모리로의 응용이 가능하고 빠른 읽기/쓰기 동작도 가능한 점과 저전압 동작 특성과 빠른 속도를 가지고 있고 고 집적화를 보장하며 우수한 소자 신뢰성을 가지고 있다는 점에서 차세대 고성능 메모리 소자로서 사람들의 많은 이목을 끌고 있다 [4-6].

비휘발성 메모리로서 활용이 기대되며 저장 기반의 스위칭 특징을 갖는 물질로는  $\text{HfO}_2$ ,  $\text{NiO}$  [7,8],  $\text{ZnO}$  [9-11],  $\text{TiO}_2$  [12-16],  $\text{CuO}$ ,  $\text{BaSrTiO}_3$ , 그리고 Perovskite 류의  $\text{SrZrO}_3$ , 강자성체인  $\text{PrMnO}_3$ ,  $\text{CaMnO}_3$  등이 있다. 이 중에서도 특히 Indium-Zinc-Oxide (IZO)는 넓은 밴드갭, 뛰어난 광 투과성, 높은 이동도 그리고 유연성 같은 장점을 갖고 있어서 display application의 backplane 소자로 적용되고 있다. 현재 IZO는 산화물 반도체의 전기적 특성을 이용한 thin film transistor (TFT) 뿐만 아니라 ReRAM, flash memory 등 다양한 메모리 소자에 적용을 위한 연구가 활발히 진행 중이며 위와 같은 장점으로 메모리 소자의 재료로 주목 받고 있다.

이러한 산화물 박막 기반의 메모리 소자는 펄스레이저 증착법(pulsed laser deposition), 화학기상 증착법(metal-organic chemical-vapor-deposition), 스프레이 열분해법(spray-pyrolysis), 스퍼터(magnetron-sputtering)와 같은 다양한 방법으로 제작되고 있다 [17-20]. 하지만 기존의 공정적인 측면에서 펄스레이저 증착법, 스퍼터와 같은 진공 증착법은 비싼 장비와 유지비가 필요하므로 진공 증착법을 대신할 액상 기반 공정에 대한 연구가 진행되고 있으며, 저렴한 가격과 간단한 공정 과정으로 보다 짧은 시간에 높은 성능을 가지는 소자를 쉽게 제작할 수 있는 용액 공정(solution-process) 기반의 저항 스위칭 메모리가 크게 주목을 받고 있다 [21-23].

따라서 본 논문에서는 이러한 장점을 가진 용액 공정 기법을 통해 IZO 산화물 박막 기반의 저항 스위칭 메모리를 제작하였으며, 전기적인 특성을 평가하기 위해 I-V curve를 측정하였고 IZO 박막 표면의 metal-oxygen bonding에 대한 정량적인 분석을 위해 표면 분석법인 X-ray photoelectron spectroscopy (XPS) 분석을 실시하였다.

## 2. 실험 방법

### 2.1 멤리스터의 모델링

기존의 저항, 커패시터, 인덕터와 같은 수동 소자로

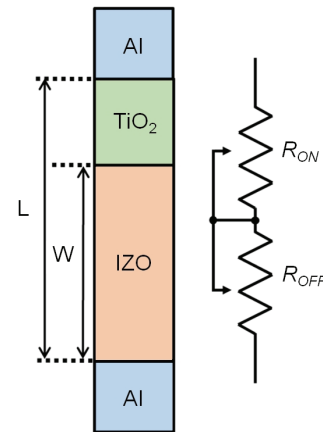


Fig. 1.  $\text{TiO}_2/\text{IZO}$  memristor model and equivalent circuit.

는 자속과 전하의 관계를 정의할 수가 없다. 그러나 자속과 전압의 관계를 입증할 수 있는 저항 스위칭 메모리인 멤리스터의 존재가 발견되었다. 전하(charge,  $q$ )가 제어된 멤리스터의 자속(magnetic flux,  $\Phi$ )은  $f_M$  ( $\Phi$ ,  $q=0$  유형의 구성 관계로 특징을 가지므로  $\Phi = f_M(q)$ )로 정의될 수 있으며,  $f_M$ 은 부분 구간에서 미분 가능한 함수이다 [24]. 시간에 대한 미분 식으로 표현하면 다음의 식 (1)과 같다.

$$\frac{d\Phi}{dt} = \frac{df_M(q)}{dq} \frac{dq}{dt} \quad (1)$$

여기에서  $df_M(q)/dq$ 를 멤리스터의 저항 성분인 멤리스턴스(memristance)  $M(q)$ 라 정의한다. ReRAM인 멤리스터는 그림 1과 같이 저항도가 낮은  $R_{ON}$ 과 저항도가 높은  $R_{OFF}$ 가 직렬로 연결된 가변 저항으로 모델링할 수 있다 [25,26].  $v(t)=M(q)i(t)$ 의 관계를 바탕으로 멤리스터의 전압 전류 관계는 옴의 법칙에 의해 다음의 식 (2)과 같이 표현된다.

$$v(t) = \left( R_{ON} \frac{w(t)}{L} + R_{OFF} \left( 1 - \frac{w(t)}{L} \right) \right) i(t) \quad (2)$$

여기에서  $L$ 은 멤리스터 소자의 크기이고  $w(t)$ 는 시간에 의해 변하는 도핑영역(IZO)의 크기로서 다음의 식 (3)과 같이 표현된다.

$$\frac{dw(t)}{dt} = \mu_v \frac{R_{ON}}{L} i(t) \quad (3)$$

여기에서  $\mu_v$ 는 양이온의 평균 이동도이다.  $w(t)$ 를  $x(t)=w(t)/L$ 로 대체하면 다음의 식 (4)와 같이 나타낼 수 있다.

$$\frac{dx(t)}{dt} = \mu_v \frac{R_{ON}}{L} i(t) \quad (4)$$

여기에서 식 (4)를 바탕으로 맴리스터를 모델링하면 다음의 식 (5)와 같이 나타낼 수 있다.

$$M(t) = R_{OFF} \left( \sqrt{1 - \frac{2c(t)}{r}} \right) \quad (5)$$

여기에서 자속( $\Phi$ )의 크기는  $L^2/\mu$ 이며,  $r=R_{OFF}/R_{ON}$ ,  $c(t)=\mu_v\Phi(t)/L^2$ 이다. 식 (5)를 바탕으로  $x(t)$ 는 다음의 식 (6)과 같이 나타낼 수 있다.

$$x(t) = 1 - \left( \sqrt{1 - \frac{2\Phi(t)}{r\beta}} \right) \quad (6)$$

## 2.2 소자 제작

그림 2(a)는 이번 연구에서 제작한 TiO<sub>2</sub>/IZO 기반의 저항 스위칭 메모리 소자의 구조를 나타낸다. 저항 스위칭 메모리는 MIM 구조로 제작하였다. 기판으로는 n-type 실리콘(Si) 웨이퍼를 기판으로 사용하였다. 피라냐 세정(piranha cleaning)을 이용하여 표준 세정을 실시한 뒤, 상기/하부 전극 층은 100 nm 두께의 알루미늄(Al)으로 열증착하였다.

본 논문에서는 이러한 저항 스위칭 메모리 소자에서 필요한 절연막 TiO<sub>2</sub>를 제작하기 위해 TiO<sub>2</sub>의 전구체인 tetrakis-dimethyl-amino-titanium (TDMAT)과 oxygen의 전구체인 H<sub>2</sub>O 증기를 기판 위에 반복적으로 불어넣어 박막을 성장시키는 원자층 증착 공정 방법(atomic layer deposition, ALD)을 사용하였다. 유체의 양을 조절하는 mass flow controller를 통해 chamber로 50 sccm의 질소 가스를 주입하여 TDMAT 증기를 process chamber로 이동시켰으며, 이후  $2.5 \times 10^{-2}$  torr의 압력과 200°C의 온도에서 TDMAT와 H<sub>2</sub>O 증착 공정을 반복적으로 4시간 30분 동안 공정을 진행하여 8 nm의 TiO<sub>2</sub>를 증착하였다.

그 후 용액 공정 기반의 IZO 산화물 활성층을 제작하기 위해서 시약으로 177 mg의 indium nitrate hydrate

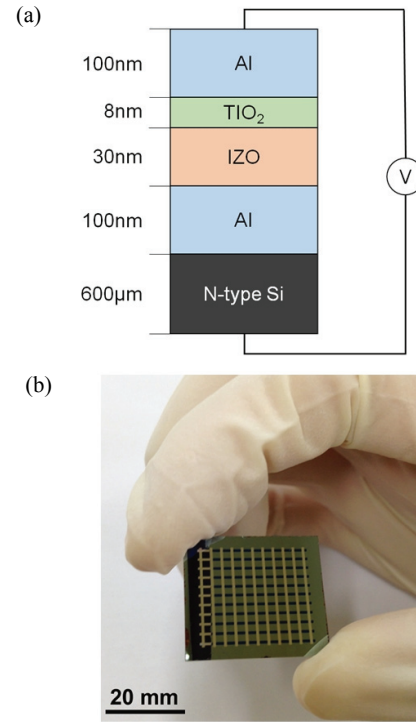


Fig. 2. (a) Schematic structure of rutile TiO<sub>2</sub>/IZO ReRAM and (b) top view of crossbar array ReRAM.

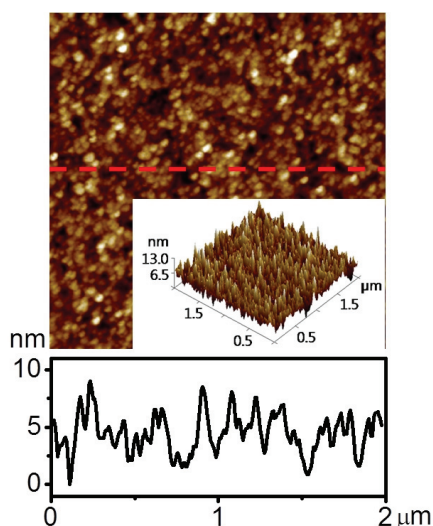
[In(NO<sub>3</sub>)<sub>3</sub> · xH<sub>2</sub>O], 110 mg의 zinc acetate dihydrate [Zn(CH<sub>3</sub>COO)<sub>2</sub> · 2H<sub>2</sub>O]를 사용하였으며, 용매로써 5 ml의 2-methoxyethanol을 이용하였다. 이후 용매를 혼합하여 각각 0.1 M의 indium, zinc 용액을 제작하였고, 100 µl의 acetylacetone을 각 용액에 안정제로서 첨가한 후에 시약을 용해시키기 위해 촉매의 역할을 하는 acetylacetone, NH<sub>3</sub>을 indium 용액에 첨가하였고, acetylacetone을 zinc 용액에 첨가하여 상온에서 stirring을 2시간 동안 충분히 진행하여 용액을 제작하였다. 그 후 In, Zn 용액을 6:4의 비율로 혼합하여 1시간 동안 stirring을 진행하였다. 기판에 박막을 제작하기 위해 IZO 용액을 30초 동안 1,500 rpm의 속도로 스핀 코팅(spin-coating)을 진행하여 IZO 산화물 박막을 30 nm의 두께로 코팅하며, 남아있는 용매를 증발시키기 위해 400°C의 온도에서 2시간 동안 어닐링(annealing)을 실시하여 결정화를 유도하였다.

최종적으로 크로스바 어레이(crossbar array) 형태의 메모리를 제작하기 위해서 금속 증착기(metal evaporator)를 이용하여 Al 소스(source)를 진공 열증착하여 100 nm의 상부 전극을 제작하였다. 이후 반도체 측정 장비인 Keithley 1500B를 사용하여 소자의 전기적 특성을

공기 중에서 측정하였다. 그림 2(b)는 제작한 ReRAM의 MIM 크로스바 배열(crossbar array) 구조의 저항 스위칭 메모리의 평면도를 보여준다. 그리고 IZO 박막 표면의 metal-oxygen bonding에 대한 정량적인 분석을 위해 PHI Quantera-II (Ulvac-PHI)의 X-ray photoelectron spectroscopy (XPS) 분석을 실시하였다.

### 3. 결과 및 고찰

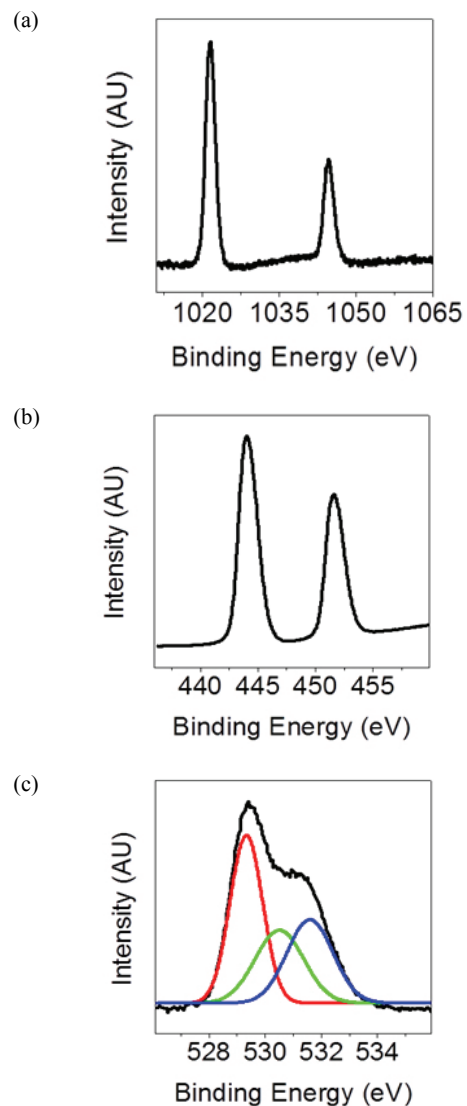
그림 3은 Si wafer 위에 TiO<sub>2</sub>를 성장시키고, IZO 박막을 생상한 뒤 표면의 morphology를 확인하기 위해서 원자간력 현미경(atomic force microscopy, AFM)을 사용한 결과이다. 2 × 2 μm 사이즈로 스캔 하였을 때 전체적으로 grain의 사이즈가 비슷하고 root-mean-square (RMS) 값이 0.36 nm인 것을 확인하였다. AFM 결과로부터 본 실험에서 제작된 용액 공정 산화물 박막은 균일하고 부드러운 표면을 보였으며, 외부의 추가적이고 급격한 열처리로 인한 분리된 다른 상이 관찰되지 않은 것으로 미루어 보아 분명한 무정형 상태임을 판단할 수 있었다. IZO 박막의 두께가 두꺼워질수록 소자의 성능 감소가 보고되었으며 얇은 박막에서는 용액 공정 중 하부 층의 pin-hole로 인해서 전기적인 특성이 나타나지 않는다. 표면의 단차는 박막의 표면 거칠기(surface roughness)와 관계가 있는데



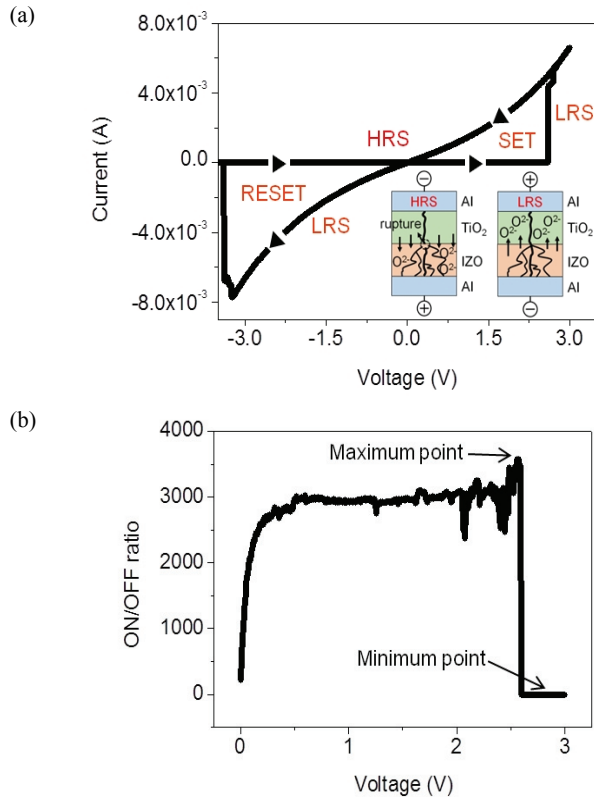
**Fig. 3.** AFM topographies and cross of resistive switching memory's TiO<sub>2</sub>/IZO layer. The cross sections are marked by solid green lines.

소자의 mobility를 감소하는 원인인 interface trap charge 현상과 표면 거칠기가 비교적 적으므로 소자로서의 좋은 성능을 기대할 수 있다.

그림 4는 ReRAM의 활성층으로 사용하기 위한 용액 공정으로 제작된 IZO 박막의 화학적, 구조적 분석을 위해 XPS 분석결과를 나타내고 있다. 특히 IZO 박막에 포함하고 있는 oxygen vacancies, metal oxide 및 hydroxide의 접합 관계는 XPS 측정 data 중에서



**Fig. 4.** XPS data for IZO (In:Zn = 6:4) films. (a) In 3d core level, (b) Zn 2p core level, and (c) oxygen 1s core level resolved into Gaussians representing different oxygen binding environments with OH species at a binding energy of ≈532.1 eV, fully coordinated oxygen at ≈529.9 eV, and oxygen vacancies at ≈534.1 eV. The XPS data were taken on the surface of the films.



**Fig. 5.** (a) I-V curves of the as fabricated memristors 30 nm thick IZO active layer and (b) ON/OFF current ratio of the fabricated device at positive voltage region.

O1s peaks로부터 추출하여 분석할 수 있다. In, Zn 용액을 6 : 4의 비율로 제작한 IZO 박막은 그림 4(a), (b)처럼 넓은 에너지 영역대에서 In, Zn peaks이 검출되었다. 일반적으로 XPS spectra의 O1s 영역에서는  $\approx 529.9$ ,  $\approx 531.1$ ,  $\approx 532.1$  eV의 명확한 peaks를 가진다. 이 중에서  $\approx 529.9$  eV peak은 oxide lattices에서 M-M-O( $O_{M-M-O}$ )의 결합 상태를 나타내고 [27],  $\approx 531.1$  eV peak은 oxygen vacancies ( $O_{vac}$ ) [28],  $\approx 532.1$  eV peak은 oxide 내부에서의 hydroxide 이온 결합( $O_{M-OH}$ )을 의미한다 [29]. 그림 4(c)의 O1s peaks들은 제작한 IZO 박막의  $O_{M-M-O}$ ,  $O_{vac}$ ,  $O_{M-OH}$ 의 분포를 나타내고 있다.  $O_{vac}$ 의 존재로 인해 저항 스위칭을 위한 활성층으로 작동할 수 있음을 예측하였다.

그림 5(a)는 제작한  $TiO_2$ /IZO 기반 저항 스위칭 메모리 소자의 I-V curve를 나타내고 있다. 그림 5(a)의 오른쪽 하단에는 본 소자의 양 극 저항 스위칭 기작에 대해 2개의 삽화로 간략하게 나타내었다. 왼쪽 삽화는 IZO 층의 산소 트랩이 전도성 전자의 이동을 막음으로

써 filament의 파열로 인해 HRS (high resistance state) 상태로 전환되는 것을 나타내었으며, 순방향의 바이어스가 가해졌을 때 오른쪽 삽화와 같이 계면의 산화된 산소 이온과 IZO 층의 트랩된 이온이 filament의 형성으로 인해  $TiO_2$  층으로 되돌아가서 LRS (low resistance state) 상태로 전환되는 것을 확인할 수 있다. 메모리 소자의 측정에서는 하부 전극을 접지로 사용하였고 상부 전극에 전압을 인가하였다. 본 메모리 소자는 +, - 극 모두 주기적인 전압 또는 전류에 의해 구동될 때 전압-전류 평면에서 볼 수 있는 리사주 곡선이 작은 폭의 히스테리시스(hysteresis) 곡선 [30, 31]이 되며, 가해진 전류량과 전류 방향에 따라 저항 값의 스위칭 효과를 이용함으로써 전자가 이동할 수 있는 통로인 filament의 생성과 소멸을 이용해 메모리의 write, erase 특성을 나타내는 비휘발성 메모리 소자이다. Positive bias를 인가하면 활성층인 IZO에서 filament를 생성하여 전류가 흐르게 되며(write), 이때를 저항이 낮은 상태인 LRS라고 표현한다. 또한, negative bias를 인가하여 filament가 소멸하면 저항이 높아져 전류가 흐르지 않는 상태가 되며 (erase), 이때를 HRS라고 표현하였다.

30 nm 두께의 IZO 박막으로  $-3.5 \sim 3.5$  V의 전압을 인가하여  $\pm 0.8 \times 10^{-1}$ 의 current hysteresis를 보임으로써 저항 기반의 비휘발성 메모리의 특성을 확인하였다. 전하의 이동을 유도할 filament를 형성시키기 위해 300초 동안 10 V의 전압을 양단에 인가하였다. 첫 번째 전압 sweep인 0~3.5 V에서는 HRS를 보이다가 reverse sweep인 2.8 V에서 LRS로 상태가 변하며 current level이 높아진다. 이는 소자의 메모리 특성이 "write"로 변하게 되는 순간이다. 이후, 소자의 상태는 negative bias인 -3.5 V까지 유지되다가, -3 V로 이동하면서 HRS로 변하게 된다. 이는 소자의 메모리 특성이 "erase"로 변하게 되는 순간이다. 이러한 결과를 통해서 전류량과 방향에 따른 소자의 current hysteresis와 write, erase가 가능함을 확인함으로써 저항 기반의 비휘발성 메모리 소자의 특성을 확인하였다.

그림 5(b)는 제작한  $TiO_2$ /IZO 기반 저항 스위칭 메모리 소자의 I-V curve에서의 ON/OFF current ratio를 측정한 그래프이다. ON/OFF current ratio는 ON 상태의 current를 OFF 상태의 current로 나눔으로써 계산되며, 메모리 소자에 대한 전류 밀도를 나타내는데 있어 중요하다 [32]. Maximum ON/OFF current ratio가 대략 2.5 V의 전압을 인가했을 때,  $3.6 \times 10^3$ 까지 도달하는 것을 확인할 수 있다. 반면, 소자



의 상태가 LRS로 변화하는 2.6~3.0 V 사이의 ON/OFF current ratio는  $1.2 \times 10^1$ 에서  $1.0 \times 10^1$ 까지 감소하며, minimum ON/OFF current ratio는 대략 2.9 V의 전압을 인가했을 때,  $1.0 \times 10^1$ 이다. 이를 통해 소자의 상태 변화에 따른 current hysteresis를 확인함으로써 용액 공정형 IZO 산화물 박막 기반의 저항 스위칭 메모리의 비휘발성 특성을 확인할 수 있었다.

#### 4. 결론

본 연구에서는 용액 공정을 이용하여 IZO 박막 기반의 저항 스위칭 메모리를 제안하였다. IZO 제작 시 indium과 zinc를 6:4의 비율로 제작하였고, I-V curve 측정을 통해 전류량과 방향에 따른 write, erase가 가능함을 확인하였다. 또한 maximum ON/OFF current ratio가 대략 2.5 V의 전압을 인가했을 때  $3.6 \times 10^3$ 까지 도달하고, minimum ON/OFF current ratio가 대략 2.9 V의 전압을 인가했을 때  $1.0 \times 10^1$ 임을 통해 current hysteresis를 확인함으로써 저항 기반의 비휘발성 메모리 소자의 특성을 측정하였다. 향후 본 연구의 기반 기술을 이용하여 DRAM, flash memory 이후의 차세대 저항 기반의 비휘발성 메모리의 기술로 응용할 수 있다고 판단한다.

#### 감사의 글

This research was supported by Basic Science Research Program through the National Research Foundation of Korea (NRF) funded by the Ministry of Education (2017R1D1A3B03029782) and the Human Resources Development of the Korea Institute of Energy Technology Evaluation and Planning (KETEP) grant funded by the Korea government Ministry of Trade, industry & Energy (No. 20144030200450). This research was also supported by the MSIP (Ministry of Science, ICT and Future Planning), Korea, under the ITRC (Information Technology Research Center) support program (IITP-2017-2015-0-00448) supervised by the IITP (Institute for Information & communications Technology Promotion).

#### REFERENCES

- [1] N. Duraisamy, N. M. Muhammad, H. C. Kim, J. D. Jo, and K. H. Choi, *Thin Solid Films*, **520**, 5070 (2012). [DOI: <https://doi.org/10.1016/j.tsf.2012.03.003>]
- [2] J. C. Bernede and T. Abachi, *Thin Solid Films*, **131**, L61 (1985). [DOI: [https://doi.org/10.1016/0040-6090\(85\)90153-1](https://doi.org/10.1016/0040-6090(85)90153-1)]
- [3] K. Eshraghian, K. R. Cho, O. Kavehei, S. K. Kang, D. Abbott, and S. M. Kang, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, **19**, 1407 (2011). [DOI: <https://doi.org/10.1109/TVLSI.2010.2049867>]
- [4] S. H. Kim and Y. K. Choi, *IEEE Trans. Electron Dev.*, **56**, 3049 (2009). [DOI: <https://doi.org/10.1109/TED.2009.2032597>]
- [5] D. B. Strukov, G. S. Snider, D. R. Stewart, and R. S. Williams, *Nature*, **453**, 80 (2008). [DOI: <https://doi.org/10.1038/nature06932>]
- [6] J. R. Contreras, H. Kohlstedt, U. Poppe, R. Waser, C. Buchal, and N. A. Pertsev, *Appl. Phys. Lett.*, **83**, 4595 (2003). [DOI: <https://doi.org/10.1063/1.1627944>]
- [7] S. E. Ahn, M. J. Lee, Y. Park, B. S. Kang, C. B. Lee, K. H. Kim, S. Seo, D. S. Suh, D. C. Kim, J. Hur, W. Xianyu, G. Stefanovich, H. Yin, I. K. Yoo, J. H. Lee, J. B. Park, I. G. Baek, and B. H. Park, *Adv. Mater.*, **20**, 924 (2008). [DOI: <https://doi.org/10.1002/adma.200702081>]
- [8] L. Goux, J. G. Lisoni, M. Jurczak, D. J. Wouters, L. Courtade, and C. Muller, *J. Appl. Phys.*, **107**, 024512 (2010). [DOI: <https://doi.org/10.1063/1.3275426>]
- [9] S. Lee, H. Kim, D. J. Yun, S. W. Rhee, and K. Yong, *Appl. Phys. Lett.*, **95**, 262113 (2010). [DOI: <https://doi.org/10.1063/1.3280864>]
- [10] S. Kim, H. Moon, D. Gupta, S. Yoo, and Y. K. Choi, *IEEE Trans. Electron Dev.*, **56**, 696 (2009). [DOI: <https://doi.org/10.1109/TED.2009.2012522>]
- [11] J. W. Seo, J. W. Park, K. S. Lim, S. J. Kang, Y. H. Hong, J. H. Yang, L. Fang, G. Y. Sung, and H. K. Kim, *Appl. Phys. Lett.*, **95**, 133508 (2009). [DOI: <https://doi.org/10.1063/1.3242381>]
- [12] I. S. Park, K. R. Kim, S. Lee, and J. Ahn, *Jpn. J. Appl. Phys.*, **46**, 2172 (2007). [DOI: <https://doi.org/10.1143/JJAP.46.2172>]
- [13] D. S. Jeong, H. Schroeder, and R. Waser, *Electrochem. Solid-State Lett.*, **10**, G51 (2007). [DOI: <https://doi.org/10.1149/1.2742989>]
- [14] S. Kim, O. Yarimaga, S. Choi, and Y. Choi, *Solid-State Electron.*, **54**, 392 (2010). [DOI: <https://doi.org/10.1016/j.sse.2009.10.021>]
- [15] J. Yun, K. Cho, B. Park, B. H. Park, and S. Kim, *J. Mater. Chem.*, **19**, 2082 (2009). [DOI: <https://doi.org/10.1039/B817062B>]

- [16] D. H. Kwon, K. M. Kim, J. H. Jang, J. M. Jeon, M. H. Lee, G. H. Kim, X. S. Li, G. S. Park, B. Lee, S. Han, M. Kim, and C. S. Hwang, *Nat. Nanotechnol.*, **5**, 148 (2010). [DOI: <https://doi.org/10.1038/nnano.2009.456>]
- [17] Y. S. Rim, H. S. Lim, and H. J. Kim, *ACS Appl. Mater. Interfaces*, **5**, 3565 (2013). [DOI: <https://doi.org/10.1021/am302722h>]
- [18] M. Katayama, S. Ikesaka, J. Kuwano, Y. Yamamoto, H. Koinuma, and Y. Matsumoto, *Appl. Phys. Lett.*, **89**, 242103 (2006). [DOI: <https://doi.org/10.1063/1.2404980>]
- [19] Y. C. Shin, J. W. Song, K. M. Kim, B. J. Choi, S. Choi, H. J. Lee, G. H. Kim, T. Y. Eom, and C. S. Hwang, *Appl. Phys. Lett.*, **92**, 162904 (2008). [DOI: <https://doi.org/10.1063/1.2912531>]
- [20] M. J. Lee, S. Seo, D. C. Kim, S. E. Ahn, D. H. Seo, I. K. Yoo, I. G. Baek, D. S. Kim, I. S. Byun, S. H. Kim, I. R. Hwang, J. S. Kim, S. H. Jeon, and B. H. Park, *Adv. Mater.*, **19**, 73 (2007). [DOI: <https://doi.org/10.1002/adma.200601025>]
- [21] P. Barquinha, A. Pimentel, A. Marques, L. Pereira, R. Martins, and E. Fortunato, *J. Non-Cryst. Solids*, **352**, 1749 (2006). [DOI: <https://doi.org/10.1016/j.jnoncrysol.2006.01.067>]
- [22] K. Song, Y. Jeong, T. Jun, C. Y. Koo, D. Kim, K. Woo, A. Kim, J. Noh, S. Cho, and J. Moon, *Jpn. J. Appl. Phys.*, **49**, 05EB02 (2010). [DOI: <https://doi.org/10.1143/JJAP.49.05EB02>]
- [23] B. Yaglioglu, H. Y. Yeom, R. Beresford, and D. C. Paine, *Appl. Phys. Lett.*, **89**, 062103 (2006). [DOI: <https://doi.org/10.1063/1.2335372>]
- [24] L. Chua, *IEEE Trans. Circuit Theory*, **18**, 507 (1971). [DOI: <https://doi.org/10.1109/TCT.1971.1083337>]
- [25] D. B. Strukov, G. S. Snider, D. R. Stewart, and R. S. Williams, *Nature*, **453**, 80 (2008). [DOI: <https://doi.org/10.1038/nature06932>]
- [26] H. Ha and O. Kim, *Appl. Phys. Lett.*, **93**, 033309 (2008). [DOI: <https://doi.org/10.1063/1.2960998>]
- [27] S. H. Jeong, Y. G. Ha, J. H. Moon, A. Facchetti, and T. J. Marks, *Adv. Mater.*, **22**, 1346 (2010). [DOI: <https://doi.org/10.1002/adma.200902450>]
- [28] H. Bong, W. H. Lee, D. Y. Lee, B. J. Kim, J. H. Cho, and K. Cho, *Appl. Phys. Lett.*, **96**, 192115 (2010). [DOI: <https://doi.org/10.1063/1.3428357>]
- [29] G. H. Kim, H. S. Shin, B. D. Ahn, K. H. Kim, W. J. Park, and H. J. Kim, *J. Electrochem. Soc.*, **156**, H7 (2009). [DOI: <https://doi.org/10.1149/1.2976027>]
- [30] L. O. Chua and S. M. Kang, *Proc. IEEE*, **64**, 209 (1976). [DOI: <https://doi.org/10.1109/PROC.1976.10092>]
- [31] L. Chua, *Memristor Networks* (Springer, Switzerland, 2014) p. 21-51. [DOI: [https://doi.org/10.1007/978-3-319-02630-5\\_3](https://doi.org/10.1007/978-3-319-02630-5_3)]
- [32] L. Wang, Z. Su, and C. Wang, *Appl. Phys. Lett.*, **100**, 213303 (2012). [DOI: <https://doi.org/10.1063/1.4721518>]