

위상 배열 안테나를 위한 C-대역 CMOS 양방향 T/R 칩셋

A C-Band CMOS Bi-Directional T/R Chipset for Phased Array Antenna

한 장 훈 · 김 정 근

Jang-Hoon Han · Jeong-Geun Kim

요 약

논문은 0.13 μm TSMC CMOS 공정을 이용한 위상 배열 안테나의 C-대역 양방향 T/R 칩셋에 관한 연구이다. 위상 배열 안테나의 필수 부품인 T/R 칩셋은 6 비트 위상변위기, 6 비트 가변 감쇄기, 양방향 증폭기로 구성하였다. 위상 변위기의 경우 정밀한 빔 조향을 위해서 5.625°의 간격으로 최대 354°까지 제어가 가능하며, 측엽 레벨을 제어하기 위한 가변 감쇄기는 0.5 dB 간격으로 최대 31.5 dB까지 감쇄가 가능하다. 또한, 1.2 V의 안정적인 전원공급을 위한 LDO(Low Drop Output) 레귤레이터와 디지털 회로의 제어가 간편하도록 SPI(Serial Peripheral Interface)를 집적화 하였으며, 칩 크기는 패드를 포함하여 2.5×1.5 mm²이다.

Abstract

This paper presents a C-band bi-directional T/R chipset in 0.13 μm TSMC CMOS technology for phased array antenna. The T/R chipset, which is a key component of phased array antenna, consists of a 6 bit phase shifter, a 6 bit step attenuator, and three bi-directional gain amplifiers. The phase shifter is controlled up to 354° with 5.625° phase step for precise beam steering. The step attenuator is also controlled up to 31.5 dB with 0.5 dB attenuation step for the side lobe level rejection. The LDO(Low Drop Output) regulator for stable 1.2 V DC power and the SPI(Serial Peripheral Interface) for digital control are integrated in the chipset. The chip size is 2.5×1.5 mm² including pads.

Key words: C-band T/R Chipset, Beamforming, Phased Array Antenna, CMOS

I. 서 론

최근에 군용 레이더에 많이 사용되고 있는 위상 배열 안테나 기법이 ISM C-대역에서 드론이나 무인 비행체가 착륙하지 않고 무선 충전을 할 수 있는 원거리 무선 전력 전송 기술의 솔루션으로써 관심이 높아지고 있다^[1]. RF 빔포밍 기술은 위상 배열 안테나 기법을 이용하여 빔을 집

중시키고, 위상 변위기를 이용하여 정밀하게 빔 조향을 가능하게 한다^[2]. RF 빔포밍 시스템을 구현하기 위한 칩셋은 빔 조향을 위한 위상 변위기, 형성된 빔의 측엽 레벨을 낮추기 위한 가변 감쇄기, 위상 변위기와 가변 감쇄기를 구성하는 많은 스위치의 손실을 보상하는 증폭기가 필요하다. 기존에 칩셋 구현을 위해서 높은 전력과 선형성 성능이 좋은 화합물 반도체인 GaAs 공정을 이용하였

「이 논문은 2017년도 정부(미래창조과학부)의 재원으로 정보통신기술진흥센터의 지원을 받아 수행된 연구임(No.20170004560012002, 자율주행 드론을 위한 낮은 SWaP-C를 갖는 Omniview 레이더 시스템 개발)」

광운대학교 전자공학과(Department of Electronic Engineering, Kwangwoon University)

· Manuscript received April 14, 2017 ; Revised May 16, 2017 ; Accepted June 30, 2017. (ID No. 20170414-036)

· Corresponding Author: Jeong-Geun Kim (e-mail: junggun@kw.ac.kr)

지만, CMOS 기술이 발전함으로써 회로의 높은 집적도, 손실이 적은 스위치 성능, 저전력, 모듈의 단가를 낮출 수 있는 장점을 가진 CMOS 칩셋 연구가 활발히 진행 중이다^{[3][4]}. 따라서 C-대역 CMOS T/R 칩셋은 SPDT(Single Pole Double Throw) 스위치를 포함하여 GaAs나 GaN 공정의 고효율 증폭기와 저잡음 증폭기를 포함하는 front-end 부분과 빔포밍을 위한 CMOS 양방향 T/R 칩셋의 위상변위기와 가변 감쇄기를 포함하는 back-end로 시스템 구현이 가능하다^[5].

본 논문은 0.13 μm TSMC CMOS 공정을 이용한 위상 배열 안테나의 C-대역 양방향 T/R 칩셋에 관한 연구이다.

II. C-대역 CMOS T/R 칩셋 설계

그림 1은 C-대역 CMOS 양방향 T/R 칩셋 블록도를 도시한다. CMOS 양방향 T/R 칩셋은 빔포밍 시스템에 빔조향을 위한 6 비트 위상변위기, 빔의 측엽 레벨을 낮추기 위한 6 비트 가변 감쇄기, 많은 스위치에 의해 발생하는 손실을 보상하기 위한 양방향 증폭기로 구성하였다. 위상 변위기와 가변 감쇄기는 DPDT(Double Pole Double Throw), 스위치의 전송 경로를 스위칭하여 위상 및 감쇄를 가변 할 수 있는 구조이다. 양방향 증폭기는 기존의 SPDT 스위치를 이용하여 양방향성이 가능하도록 설계하는 구조와 달리 스위치가 없는 1단의 쌍으로 구성된 cascode 증폭기를 사용함으로써, 칩의 크기를 줄일 수 있다. 또한 T/R 칩셋의 1.2 V의 안정적인 전원공급을 위한 LDO 레귤레이터와 디지털 회로의 제어가 간편하도록 SPI를 집적화하였다. 시뮬레이션 결과, 설계한 C-대역 CMOS T/R 칩셋은 4~7 GHz에서 8 dB 이상의 이득과 10 dB 이상의 반

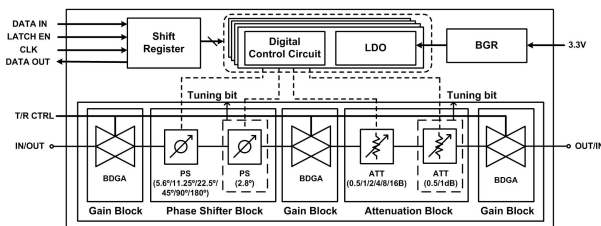


그림 1. C-대역 CMOS T/R 칩셋 블록도
Fig. 1. Block diagram of a C-band CMOS T/R chipset.

사 손실 결과를 가진다.

2-1 저손실 스위치 설계

C-대역 CMOS T/R 칩셋은 위상 변위 및 가변 감쇄를 위한 많은 스위치로 구성되고, 직렬 트랜지스터에 의한 손실이 발생한다. 이러한 손실을 줄이기 위해 DPDT 스위치를 이용하여, SPDT 스위치만으로 구성하였을 때에 비하여 스위치의 직렬 트랜지스터의 수를 줄여 손실을 개선하였다. 또한, 스위치의 손실을 개선하기 위해 CMOS body 단자에 높은 저항을 연결하여 기판으로 누설되는 신호를 억제함으로써 저손실 스위치를 구현하였다.

2-2 6 비트 위상 변위기 설계

6 비트 위상 변위기는 칩의 소형화 및 낮은 삽입 손실을 위하여 필터 타입의 구조와 저손실 스위치를 이용하여 설계하였다^[6]. LPF(Low Pass Filter)는 직렬 인덕터와 병렬 커패시터로 구성되어 있으며, 신호가 필터를 거치면 위상이 지연되고, HPF(High Pass Filter)는 병렬 인덕터와 직렬 커패시터로 구성되어 있고, 필터를 거치면 위상이 앞서게 된다. 따라서 그림 2와 같이 두 필터 간의 위상차를 스위칭하여 위상 변위기를 구현할 수 있다. 11.25°, 22.5°는 HPF 구현을 위해서 병렬로 높은 인덕턴스가 필요하기 때문에 칩 크기가 커진다는 단점이 있다. 따라서 병렬의 높은 인덕턴스가 필요한 HPF 대신에 직렬의 작은 인덕턴스로 구현이 가능한 BPF(Band Pass Filter)를 이용함으로써 칩 크기를 줄였다. 5.625°는 스위칭 LPF로 구성되어 있으며, 병렬로 트랜지스터와 커패시터가 연결되어 스위칭하는 방식으로 병렬 커패시턴스를 제어한다. 직렬 트랜지스터가 연결되어 있지 않기 때문에, 삽입 손실은 발생하지 않는다. 또한, 칩 내부에서 발생하는 위상 오차를 보상하기 위해서 5.625°와 같은 구조로 2.8°가 포함되어 있다.

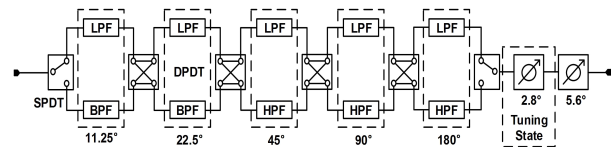


그림 2. 6 비트 위상 변위기 블록도
Fig. 2. Block diagram of a 6 bit phase shifter.

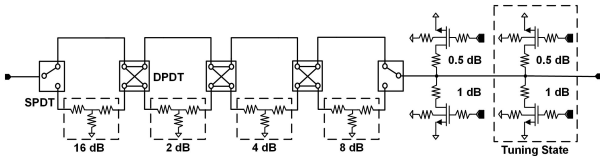


그림 3. 6 비트 가변 감쇄기 블록도
Fig. 3. Block diagram of a 6 bit step attenuator.

2-3 6 비트 가변 감쇄기 설계

그림 3에 도시된 것과 같이 6 비트 가변 감쇄기는 위상 변위기와 같은 구조로서 DPDT 스위치로 구성하며, 저항을 이용한 T-type 구조를 사용하였다^[7]. CMOS에서는 기판 상에서 발생하는 간섭 신호에 의한 영향이 크기 때문에 스위치의 격리도 특성뿐만 아니라, 각각의 감쇄 비트의 배치도 매우 중요하다. 인접하게 8 dB 또는 16 dB의 큰 감쇄 비트가 연속적으로 배치가 되면 서로 간의 간섭 신호로 인해 회로에 문제가 발생하게 된다. 따라서 큰 감쇄 비트를 서로 간의 간섭 신호를 줄이기 위해 서로 떨어 뜨려 배치하였다. 또한 0.5/1 dB의 경우, 스위칭 형태의 병렬 저항을 이용하여 칩 면적 및 손실을 줄였다. 가변 감쇄기도 칩 내부에서 발생하는 진폭 오차를 보상하기 위해서 0.5/1 dB와 같은 구조로 보상회로가 포함되어 있다.

2-4 양방향 증폭기 설계

기존의 양방향 증폭기의 경우, 두 개의 SPDT 스위치와 PA(Power Amplifier), LNA(Low Noise Amplifier)와 함께

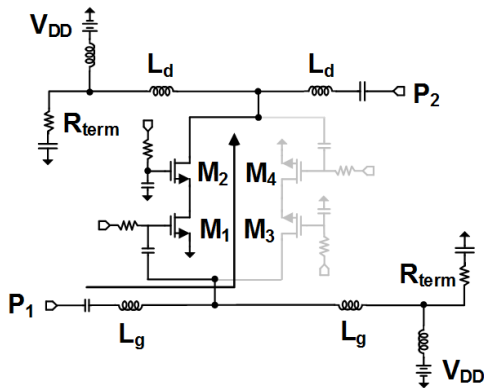


그림 4. 양방향 증폭기 회로도
Fig. 4. Schematic of a bidirectional gain amplifier.

구현하였다. 하지만 두 개의 SPDT 스위치로 인해서 칩 크기가 커지고, 스위치 손실이 발생한다. 따라서 스위치가 없는 1단의 쌍으로 구성된 cascode 증폭기를 사용함으로써, SPDT 스위치에 의해서 발생하는 손실을 줄이고, 칩 크기를 작게 구현할 수 있다^[8]. 순방향인 P_1 에서 P_2 로 작동하기 위해서는 M_1/M_2 트랜지스터가 ON되고 M_3/M_4 트랜지스터가 OFF되면서 1단 cascode의 등가회로로 구현된다. 또한 위상 변위기와 가변 감쇄기의 스위치 손실이 주파수가 커질수록 증가하기 때문에, 양방향 증폭기의 이득 특성이 주파수에 따라 증가하도록 설계함으로써 C-대역 T/R 칩셋의 이득 특성을 평탄하게 하였다.

III. CMOS T/R 칩셋 측정 결과

그림 5는 0.13 μm TSMC CMOS 공정을 이용하여 제작된 C-대역 T/R 칩셋의 칩 사진이다. 제작한 CMOS T/R 칩셋은 297 mW의 전력을 소비하며, 칩 크기는 패드를 포함하여 $2.5 \times 1.5 \text{ mm}^2$ 이다. 그림 6은 설계한 C-대역 T/R 칩셋의 위상 변위기 0° , 가변감쇄기 0 dB인 기준 조건에서의 S-parameter 측정 결과이다. 5~6 GHz 대역에서 입/출력 반사손실은 10 dB 이상이며, 이득은 8 dB 이상으로 측정된다. 그림 7은 6 비트 위상 변위기의 전체 비트 제어에 따른 위상 변화를 측정한 결과이며, 그림 8은 가변 감쇄기의 전체 비트 제어에 따른 감쇄 변화를 측정 결과이다. 위상 변위기는 5.625° 의 간격으로 최대 354° 까지 위상 제어 가능하며, 가변감쇄기는 0.5 dB 간격으로 최대 31.5 dB까지 감쇄가 가능하다. 그림 9는 C-대역 CMOS T/R 칩셋에 위상 변위기와 가변 감쇄기 제어에 따른 RMS 오차

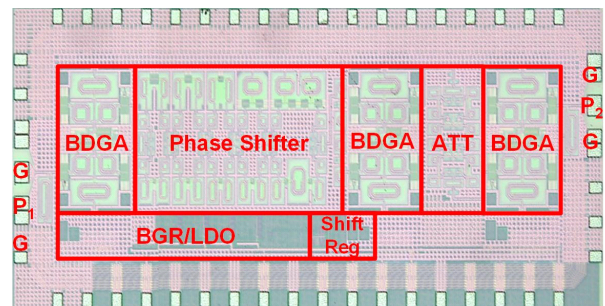


그림 5. C-대역 CMOS T/R 칩셋 사진
Fig. 5. Micro-photograph of a C-band CMOS T/R chipset.

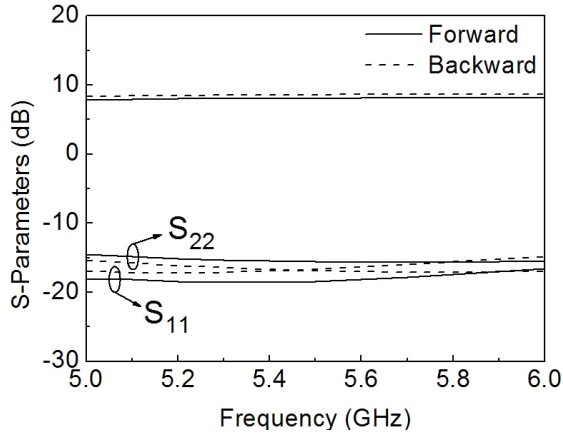


그림 6. CMOS T/R 칩셋의 S-parameter 측정 결과
Fig. 6. Measured S-parameter results of the CMOS T/R chipset(reference state).

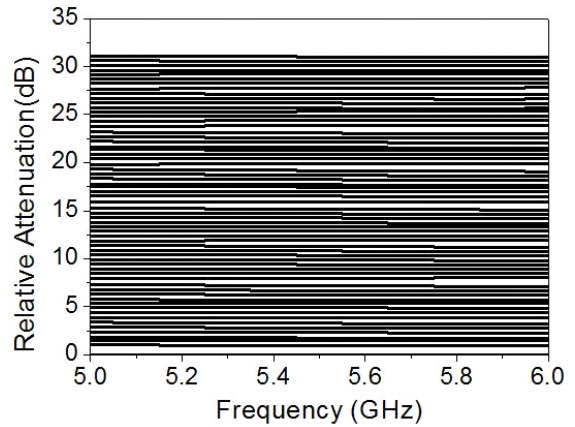


그림 8. 가변 감쇄기의 감쇄 특성 측정 결과
Fig. 8. Measured attenuation characteristic results of the attenuator(all attenuation states).

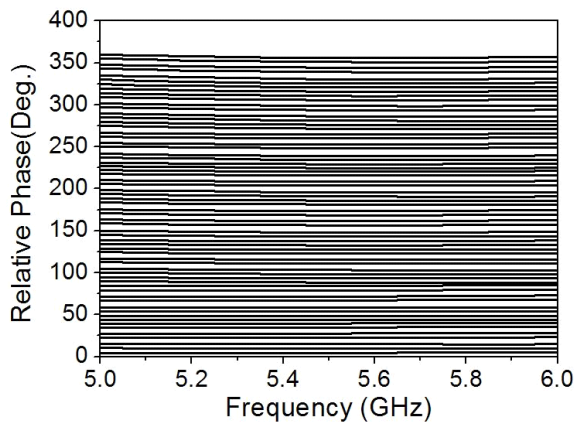


그림 7. 위상 변위기의 위상 특성 측정 결과
Fig. 7. Measured phase characteristic results of the phase shifter(all phase states).

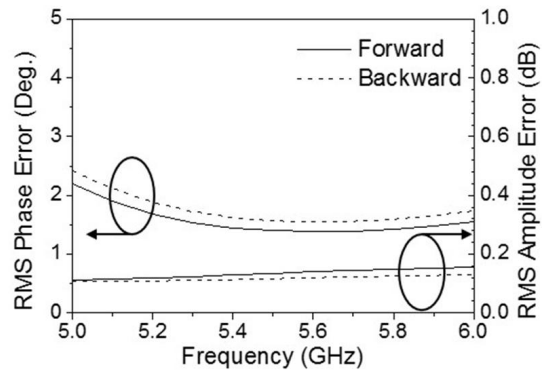


그림 9. CMOS T/R 칩셋 RMS 위상 오차 및 진폭 오차 측정 결과
Fig. 9. Measured RMS phase error and amplitude error results of the CMOS T/R chipset.

를 측정한 결과이며, 위상 변위기 가변했을 때 2°의 위상 오차 및 0.3 dB의 진폭 오차를 가지고 가변 감쇄기를 가변했을 때, 0.15 dB의 진폭 오차 및 4°의 위상 오차를 가진다.

IV. 결 론

본 논문은 0.13 μm TSMC CMOS 공정을 이용한 위상 배열 안테나의 C-대역 양방향 T/R 칩셋에 관한 연구이다. 위상 배열 안테나의 필수 부품인 T/R 칩셋은 6 비트 위상 변위기, 6 비트 가변 감쇄기, 양방향 증폭기로 구성하였

다. 또한, T/R 칩셋의 1.2 V의 안정적인 전원공급을 위한 LDO 레귤레이터와 디지털 회로의 제어가 간편하도록 SPI를 집적화 하였다. 제작한 CMOS T/R 칩셋은 패드를 포함하여 $2.5 \times 1.5 \text{ mm}^2$ 이며, 297 mW의 전력을 소모한다. 제작한 C-대역 양방향 CMOS T/R 칩셋은 8 dB 이상의 이득과 위상 변위기의 경우 5.625° 간격으로 최대 354°까지 위상 변화, 가변 감쇄기의 경우 0.5 dB 간격으로 최대 31.5 dB의 가변 감쇄가 가능하기 때문에, 원하는 방향으로 정밀하게 빔 조향이 가능한 C-대역 위상 배열 안테나의 T/R 칩셋으로 구현이 가능할 것으로 기대된다.

References

- [1] C. J. Ahn, "Wireless power transmission with rough beamforming method", *IEEE 2nd National Foundation for Science and Technology Development Conference on Information and Computer Science*, Oct. 2015.
- [2] D. Parker, D. Z. Zimmermann, "Phased arrays. Part 1: Theory and architectures", *IEEE Trans. Microw. Theory Tech.*, vol. 50, issue. 3, pp. 678-687, Mar. 2002.
- [3] A. Bettidi, D. Carosi, A. Cetronio, F. Corsaro, C. Costrini, C. Lanzieri, and L. Marescialli, "X-band transmit/receive module MMIC chipset on emerging GaN and SiGe technologies", *IEEE Phased Array Syst. Tech. Symp. Dig.*, pp. 250-255, Oct. 2010.
- [4] B. H. Ku, D. W. Kang, and S. C. Hong, "CMOS integrated circuits for X-band phased array systems", in *Proc. 54th MWSCAS Symp.*, Seoul, pp. 1-5, Aug. 2011.
- [5] S. H. Sim, L. Jeon, and J. G. Kim, "A compact X-band Bi-directional phased-array T/R chipset in 0.13 μ m CMOS technology", *IEEE Trans. Microwave Theory and Techniques*, vol. 61, issue. 1, pp. 562-569, Jan. 2013.
- [6] M. K. Cho, J. G. Kim, and D. H. Baek, "An X-band 5 bit phase shifter with low insertion loss in 0.18 μ m SOI technology", *IEEE Microwave and Wireless Components Letters*, vol. 22, issue. 12, pp. 648-650, Nov. 2012.
- [7] M. K. Cho, D. H. Baek, and J. G. Kim, "DC-20 GHz 5-bit CMOS digital step attenuator with low insertion loss and phase error", *Microwave and Optical Technology Letters*, vol. 55, issue. 4, pp. 762-764, Apr. 2013.
- [8] Z. El-Khatib, Leonard MacEachern and Samy A. Mahmoud, *Distributed CMOS Bidirectional Amplifiers*, Springer, 2012.

한 장 훈



2015년 2월: 광운대학교 전자공학과 (공학사)
 2014년 2월: 광운대학교 전자공학과 (공학석사)
 2014년 3월~현재: 광운대학교 전자공학과 박사과정
 [주 관심분야] 차량용 레이더 Front-end 회로 및 시스템 설계, 위상 배열 회로 및 시스템 설계, Si-based mm-wave 회로 및 시스템 설계

김 정 근



1999년 2월: 한국과학기술원 전기 및 전자공학과 (공학사)
 2001년 2월: 한국과학기술원 전기 및 전자공학과 (공학석사)
 2005년 8월: 한국과학기술원 전기 및 전자공학과 (공학박사)
 2005년 10월~2008년 2월: University of California, San Diego (Post doctoral research fellow)
 2008년 3월~현재: 광운대학교 전자공학과 부교수
 [주 관심분야] 차량용 레이더 Front-end 회로 및 시스템 설계, 위상 배열 회로 및 시스템 설계, Si-based mm-wave 회로 및 시스템 설계