

# Floating-Body 기술을 이용한 낮은 트리거 전압을 갖는 GCNMOS 기반의 ESD 보호회로에 관한 연구

## A Study on GCNMOS-based ESD Protection Circuit Using Floating-Body Technique With Low Trigger Voltage

정 준 모\*★

Jun-Mo Jung \*★

### Abstract

In this paper, a structure of GCNMOS based ESD protection circuit using floating-body technique is proposed. TCAD simulation of Synopsys was used to compare with the conventional GGNMOS and GCNMOS. Compared with the conventional GCNMOS, the proposed ESD protection circuit has lower trigger voltage and faster turn-on-time than conventional circuit because of the added NMOSFET. In the simulation result, the triggering voltage of the proposed ESD protection circuit is 4.86V and the turn-on-time is 1.47ns.

### 요 약

본 논문에서는 Floating 기술을 이용한 GCNMOS 기반의 ESD(Electrostatic Discharge) 보호회로를 제안한다. 제안된 보호회로의 특성 분석을 위해서 시뮬레이션사의 TCAD 시뮬레이션을 이용하였으며 기존의 GGNMOS, GCNMOS와 비교 분석하였다. 제안된 보호회로는 Gate coupling과 Body floating 기술을 적용하였으며 기존 ESD 보호회로인 GGNMOS, GCNMOS와 비교하여 더 낮은 4.86V의 트리거 전압 및 1.47ns의 짧은 턴-온 타임 특성을 갖는다.

*Key words* : ESD, GGNMOS, GCNMOS, RC-network, Body floating

\* Dept. of , Computer Science, Seokyeong University

★Corresponding author

e-mail: [jjmo@skuniv.ac.kr](mailto:jjmo@skuniv.ac.kr) ,tel: 02-940-7732

Manuscript received Jun. 16, 2017; revised Jun. 26, 2016 ;  
accepted Jun. 30, 2016

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

## 1. 서 론

ESD(Electrostatic Discharge)는 EOS(Electrical Overstress)의 현상 중 하나이며, 전하를 갖는 두 물체사이에 축적이 된 정전하가 마찰전기로 인해 전하가 이동하는 현상을 뜻한다. 보통 일상생활에서는 방전 경로상의 공기와 같은 큰 저항체가 존재하므로 발생하는 전류가 매우 작아 물체에 큰 영향을 주진 않는다. 그러나 사이즈가 수 마이크로만큼 작은 반도체일 경우 ESD 현상이 일어나면 그 반도체는 손상을 입거나 심각하게 파괴될 수 있다.[1] 반도체의 경우, 공정 과정 뿐 아니라 칩이 정상적으로 동작할 경우에도 반도체

의 동작 중 어느 순간에서라도 ESD에 의한 손상을 입을 수 있으며 이에 따라 제작 원가, 신뢰성 문제, 상품의 품질과 관련하여 지속적인 영향을 미치고 있다. 따라서 ESD로부터 반도체를 보호하고 신뢰성을 높이기 위한 연구가 꾸준히 진행되고 있다.[2] ESD 보호회로에 사용되는 소자에는 여러 가지가 있는데 가장 대표적인 소자는 다이오드, SCR, GGNMOS(Gate-Grounded NMOS)등이 있다. 그 중 GGNMOS는 구조적으로 단순하고 설계가 편리하며 기생적으로 존재하는 NPN/PNP BJT를 통하여 ESD를 효과적으로 방전시키기 때문에 반도체 집적회로의 ESD 보호회로로써 흔하게 쓰이고 있다.[3] 반도체 공정의 발전으로 게이트 산화막의 두께가 나노 급으로 점점 얇아지고 있는 중이며, 그에 따른 게이트 산화막의 항복전압이 감소하고 있다. 따라서 일반적인 GGNMOS를 I/O Clamp로 사용하면 높은 트리거 전압으로 인하여 IC 내부 소자의 게이트 산화막 파괴가 일어날 수 있다.[4-5] 이러한 이유로 GGNMOS의 트리거 전압을 낮추기 위한 연구가 다방면에서 이루어지고 있으며, 그 중 대표적으로 GCNMOS(Gate Coupled NMOSFET)가 있다. GCNMOS는 Gate단에 RC-network를 구성하여 트리거 전압을 낮추는 구조이다. 하지만 I/O Clamp단에 요구 전압과 ESD design window의 최적화를 위하여 트리거 전압을 향상시킬 필요성이 있다.

본 논문에서는 Floating 기술을 적용하여 기존 GCNMOS의 단점개선과 더불어 더욱 낮은 트리거 전압과 빠른 턴온 특성을 갖는 ESD 소자를 제안하였고 synopsys사의 TCAD 시뮬레이터를 이용하여 특성을 확인하였다.

## II. 본론

### 1. 제안된 ESD 보호회로

GGNMOS는 구조적으로 매우 단순하고 설계 시 매우 편리하기 때문에 가장 널리 사용되고 있는 ESD 보호 소자이다. 그림 1은 GGNMOS의 단면도이다. Gate, Source 및 Body를 접지에 연결하고 Drain을 Anode에 연결한 구조이다.

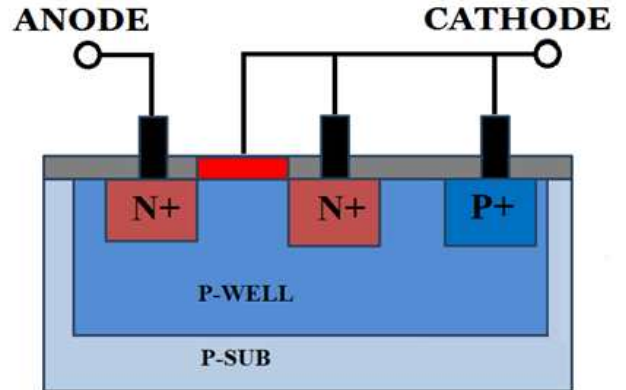


Fig. 1. Cross Sectional View of GGNMOS  
그림 1. GGNMOS의 단면도

GGNMOS의 동작원리는 다음과 같다. ESD event로 인하여 Anode단에 전압이 인가됨에 따라 Body와 Drain 간 역방향 바이어스에서 애벌런치 항복이 발생하게 된다. 이로 인하여 생성된 EHP 중 hole이 Body로 흐르게 되면서, 기생 저항으로 인한 전압강하를 일으켜 Body의 potential을 증가시킨다. 전압이 Body와 Source 간 PN junction을 순방향 바이어스로 턴-온 시킬 때까지 상승되면, Lateral NPN BJT가 턴-온되며, Anode에서 Cathode로 ESD 전류를 방전하게 된다. 즉 Lateral BJT의 self biasing동작으로 설명할 수 있다.

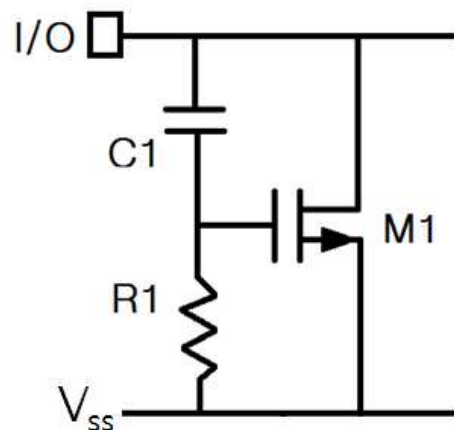


Fig. 2. Circuit of conventional GCNMOS  
그림 2. 기존 GCNMOS의 회로도

그림 2는 GCNMOS(Gate-Coupled NMOS)의 회로도를 나타낸 그림이다. Gate Coupling의 구조는 Gate와 I/O단 사이에 Cap(C1)을, Gate와

$V_{SS}$ 단에 저항(R1)을 연결하여 RC Network를 이루는 것으로 구성된다. ESD event가 발생하면 RC-network로 인한 biasing이 이루어진다. 이후 Drain에 인가된 전압으로 인하여 Drain-Body 간 더 낮은 전압에서 애벌런치 항복이 발생한 이후, GGNMOS의 동작원리로 Lateral NPN BJT를 턴-온시킴으로써 ESD current를 방전시키게 된다. Gate coupling으로 인하여 기존 GGNMOS보다 더 낮은 트리거 전압을 가지는 것을 목적으로 하는 보호회로이다.

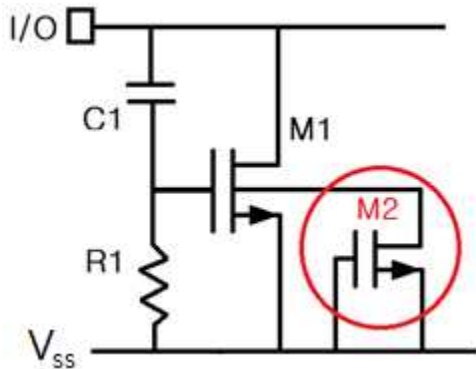


Fig. 3. Circuit of Floating GCNMOS  
그림 3. Floating GCNMOS의 회로도

그림 3은 GCNMOS 구조에 Floating 기술을 적용한 회로의 단면도를 나타낸다. GCNMOS 구조에 추가적으로 NMOSFET M2를 추가하여 M1의 Body를 Floating시킴으로써 더 낮은 트리거 전압을 가진다. 패드로부터 ESD가 인가되면 Gate coupling에 의해 낮은 전압에서 애벌런치 항복이 일어나게 되고 저항으로써 증가되는 M2에 의해 기생 BJT의 순방향 바이어스를 도와 더욱 낮은 전압에서 트리거하는 효과를 지닌다. 대부분의 ESD current는 M1을 통하여 방출하게 된다.

2. 시뮬레이션 결과

해당 절에서는 TCAD 소자 시뮬레이션을 통하여, 기존 ESD 보호회로인 GGNMOS, GCNMOS와 제안된 ESD 보호회로의 보호 성능 비교를 실시하고 전기적 특성 분석을 통해 유효성을

검증하였다. RC-network의 R1과 C1의 값은 1.5 k $\Omega$ , 100pF로 설정하였다.

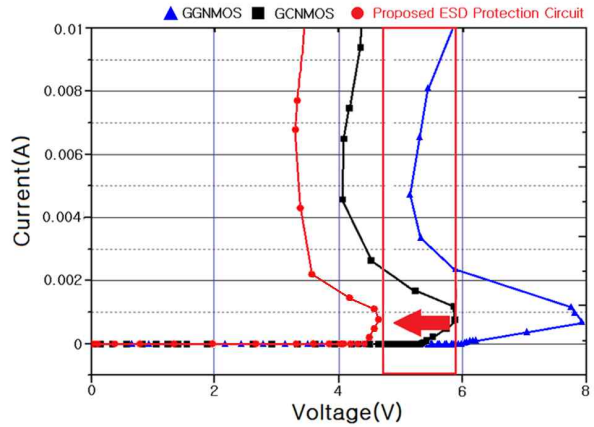


Fig. 4. IV Characteristic Simulation Result  
그림 4. IV 특성 시뮬레이션 결과

Table 1. Comparison of electrical characteristics  
표 1. 전기적 특성 비교

Structure	$V_t$ [V]	$V_H$ [V]
GGNMOS	7.95	5.19
GCNMOS	5.94	4.06
Proposed	4.86	3.34

그림4와 표1에 IV 시뮬레이션 결과를 살펴보면 제안된 소자의 트리거 전압은 4.86V, 홀딩 전압은 3.34V로 트리거전압이 낮은 기존의 GCNMOS보다도 1.08V의 트리거 전압이 감소한 전압 특성을 보여준다.

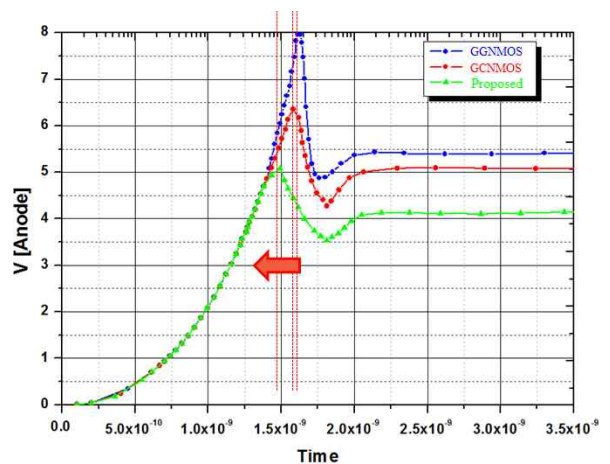


Fig. 5. Turn-On-Time Simulation Result  
그림 5. 턴-온-타임 시뮬레이션 결과

Table. 2. Turn-On-Time Simulation Result

표 2. 턴-온-타임 시뮬레이션 결과

Structure	Turn-on-time
GGNMOS	1.60ns
GCNMOS	1.55ns
Proposed	1.47ns

이러한 트리거 전압의 감소는 턴온 타임 또한 감소하는 관련성을 보여준다. 결과적으로 Gate와 Body의 biasing을 통한 애벌런치 항복 전압의 감소 때문에 입력 펄스의 상승에 대하여 GGNMOS, GCNMOS보다 비교적 빠른 턴온 특성을 보인다. 시뮬레이션 결과 제안된 보호회로의 턴온 타임은 1.47ns이며, GGNMOS, GCNMOS보다 빠른 턴온 타임 특성을 나타낸다.

### III. 결론

본 논문에서는 ESD 현상으로부터 내부 IC를 보호하기 위한 GCNMOS의 전기적 특성을 개선한 ESD 보호회로를 제안하였다. Gate coupling과 Floating기술을 적용한 결과로 biasing을 도와 더욱 낮은 트리거 전압과 향상된 턴온 타임 특성을 갖는다. 따라서 I/O Clamp의 요구 전압과 ESD design window의 최적화로 인하여 보다 효율적인 ESD보호회로 설계가 용이하다.

### References

- [1] Joo-Young Lee "Analysis of SCR, MVSCR, LVTSCR with I-V Characteristic and Turn on Time," *j.inst.Korean.electr.electron.eng*, vol. 20, no. 3, pp. 295-298, 2016. DOI:10.7471/ikeee.2016.20.3.295
- [2] Bo-Bae Song, Yong-Seo Koo, "Highly Robust AHHVSCR-Based ESD Protection Circuit," *ETRI Journal*, vol 38 no. 2, pp 272-279, 2015. DOI:10.4218/etrij.16.2515.0037
- [3] Jin-Woo Jung, "Analysis of The Dual-Emitter LIGBT with Low Forward

Voltage Loss and High Latch-up Characteristics" *j.inst.Korean.electr.electron.eng*, Vol. 15, No 2. 164-170, June 2011.

[4] M.D. Ker and C.C. Yen, "Investigation and Design of On-Chip Power-Rail ESD Clamp Circuits Without Suffering Latch up-Like Failure During System-Level ESD Test," *IEEE J. Solid-State Circuits*, vol. 43, no. 11, pp. 2533- 2545. 2008.

DOI:10.1109/JSSC.2008.2005451

[5] O. Quittard, Z. Mrcarica, F. Blanc, G. Notermans, T. Smedes, and H.van Zwol, "ESD protection for high-voltage CMOS technologies." *EOS/ESD Symp*, pp. 77-86, 2006.