JKIICE Journal of the Korea Institute of Information and Communication Engineering

한국정보통신학회논문지(J. Korea Inst. Inf. Commun. Eng.) Vol. 21, No. 6 : 1069~1074 Jun. 2017

# 10 nm 이하 DGMOSFET의 항복전압과 채널도핑농도의 관계

정학기*

# Relation of Breakdown Voltage and Channel Doping Concentration of Sub-10 nm Double Gate MOSFET

**Hakkee Jung***

Department of Electronic Engineering, Kunsan National University, Gunsan 54150, Korea

## 요 약

항복전압의 감소는 채널길이 감소에 의하여 발생하는 심각한 단채널 효과이다. 본 논문에서는 10 nm 이하 채널길이를 갖는 이중게이트 MOSFET에서 채널크기의 변화를 파라미터로 하여 채널도핑에 따른 항복전압의 변화를 고찰하였다. 이를 위하여 해석학적 전위분포에 의한 열방사 전류와 터널링 전류를 구하고 두 성분의 합으로 구성된 드레인 전류가 $10\mu A$가 될 때, 드레인 전압을 항복전압으로 정의하였다. 결과적으로 채널 도핑농도가 증가할수록 항복전압은 크게 증가하였다. 채널길이가 감소하면서 항복전압이 크게 감소하였으며 이를 해결하기 위하여 실리콘 두께 및 산화막 두께를 매우 작게 유지하여야만 한다는 것을 알 수 있었다. 특히 터널링 전류의 구성비가 증가할수록 항복전압이 증가하는 것을 관찰하였다

## ABSTRACT

Reduction of breakdown voltage is serious short channel effect (SCE) by shrink of channel length. The deviation of breakdown voltage for doping concentration is investigated with structural parameters of sub-10 nm double gate (DG) MOSFET in this paper. To analyze this, thermionic and tunneling current are derived from analytical potential distribution, and breakdown voltage is defined as drain voltage when the sum of two currents is $10\mu A$. As a result, breakdown voltage increases with increase of doping concentration. Breakdown voltage decreases by reduction of channel length. In order to solve this problem, it is found that silicon and oxide thicknesses should be kept very small. In particular, as contributions of tunneling current increases, breakdown voltage increases.

**키워드** : 항복전압, 이중게이트 MOSFET, 터널링전류, 채널도핑

Key word : Breakdown Voltage, Double Gate Mosfet, Tunneling Current, Channel Doping

**Received** 22 May 2017, **Revised** 24 May 2017, **Accepted** 30 May 2017

* **Corresponding Author** Hakkee Jung(E-mail:hkjung@kunsan.ac.kr, Tel:+82-63-469-4684)
Department of Electronic Engineering, Kunsan National University, Gunsan 54150, Korea

Open Access https://doi.org/10.6109/jkiice.2017.21.6.1069 print ISSN: 2234-4772 online ISSN: 2288-4165

ⓒThis is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(http://creativecommons.org/li-censes/ by-nc/3.0/) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright Ⓒ The Korea Institute of Information and Communication Engineering.

## Ⅰ. 서 론

트랜지스터 크기가 나노단위로 감소하면서 단채널 효과로 인한 트랜지스터 성능저하에 대한 연구가 활발히 진행되고 있다[1]. 대표적인 단채널 효과로는 문턱전압이하 스윙의 저하, 문턱전압의 이동 및 드레인유도 장벽감소 및 항복전압의 감소 등 여러 가지 형태로 트랜지스터 동작에 영향을 미치고 있다[2]. 특히 채널길이 감소에 따른 문턱전압의 이동은 매우 심각하게 발생하고 있으며, 일반적인 최대 동작 범위인 항복전압까지 감소시키고 있다. 항복전압의 감소는 트랜지스터의 동작 범위를 제한하게 되어 결국 회로설계의 여유도를 크게 감소시키게 될 것이다. 단채널 효과를 감소시키기 위하여 개발된 다중게이트 MOSFET의 경우도 10 nm 이하로 채널길이가 감소할 경우, 단채널 효과는 피할 수 없으며 이를 줄이기 위한 연구가 진행 중이다. 그러나 10 nm 이하 다중게이트 MOSFET의 항복전압에 대한 연구는 거의 이루어지지 않고 있다. 단지 Lee 등은 45 nm 채널길이 이상을 갖는 FinFET에 대한 항복전압에 대하여 분석하였으며[3], Mohammad 등은 50 nm 채널길이를 갖는 이중게이트 MOSFET의 수평 항복전압 모델을 Fulop의 어베런치(avalanche) 항복조건을 이용하여 해석하였다[4]. 이는 모두 임펙트(impact) 이온화에 의한 전자사태 현상에 기인하여 발생하는 항복현상에 대한 모델이다. 10 nm 이하로 채널길이가 감소하면 전자사태 현상이 발생할 수 없다. 왜냐하면 P형 영역에서 일반적인 이동도와 유효질량을 사용하여 계산한 전자의 평균산란 길이는 약 10 nm 정도이기 때문이다[5]. 10 nm 이하로 채널길이가 감소하면 임팩트 이온화 현상이 발생하기 전에 터널링에 의한 펀치스루(punch-through) 현상이 발생한다. 특히 채널이 완전 공핍화되는 이중게이트(Double Gate; DG) MOSFET에서는 펀치스루에 의한 항복현상이 발생하게 될 것이다. 그러므로 본 논문에서는 DGMOSFET에서 터널링 전류를 포함한 전류모델을 제시하고 채널도핑 변화에 대한 항복전압의 변화를 관찰할 것이다. 항복전압을 구하는 방법은 매우 어려우며 Lee 등이 사용한 방법은 임펙트 이온화가 발생한 경우로써 10 nm 이하 구조에서 적용하기는 적당치 않으므로 본 논문에서는 드레인 전류가 $10\mu A$일 때 드레인 전압을 항복전압으로 정의하였다. 드레인 전류를 구성하는 열방사 전류($I_{ther}$)와 터널링 전류($I_{tunn}$)를 구하기 위하여 포아송방정식의 해인 급수형 전위 분포[6]를 이용하였다.

2장에서는 이중게이트 MOSFET의 구조 및 전류모델에 대하여 설명할 것이다. 3장에서는 2장에서 유도한 전류모델을 이용하여 항복전압을 채널길이, 채널두께 등을 파라미터로 하여 채널도핑 변화에 대하여 고찰할 것이다. 마지막으로 4장에서 결론을 맺을 것이다.

## Ⅱ. DGMOSFET의 항복전압 모델

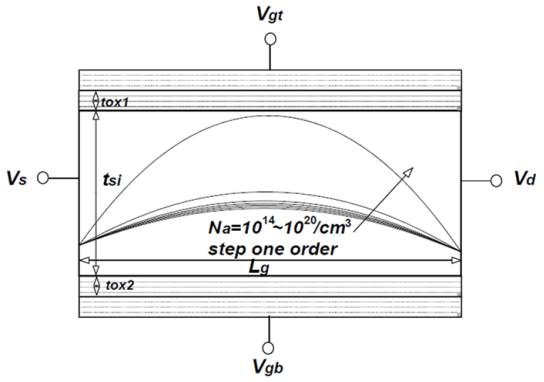



**Fig. 1** Schematic diagram of Double Gate MOSFET with doping concentration dependent potential energy

그림 1에 포아송 방정식을 이용하여 구한 채널 내 도핑 농도에 따른 전도중심에서의 포텐셜에너지 분포와 함께 DGMOSFET 구조를 도시하였다. 그림 1(a)에서 알 수 있듯이 10 nm 이하 DGMOSFET의 경우 도핑 농도의 변화에 따라 포텐셜에너지는 크게 변화하였으며 특히 도핑농도가 $10^{19}/cm^3$부터 크게 변화하기 시작하다가 $10^{20}/cm^3$에서는 포텐셜에너지가 매우 크게 변화하는 것을 알 수 있다. 포텐셜에너지의 변화는 결국 드레인 전류를 변화시킬 것이다. 드레인 전류를 구성하고 있는 열방사 전류는 포텐셜에너지의 최대크기에 따라 변화할 것이며 터널링 전류는 포텐셜에너지의 분포 즉, 분포의 폭에 따라 변화할 것이다. 그러므로 그림 1에서 알 수 있듯이 도핑 농도가 증가하면 상대적으로 열방사 전류가 감소할 것이다. 본 논문에서는 이미 기존의 논문에서 사용한 열방사 전류 모델과 터널링 전류 모델을 사용할 것이다[7, 8]. 결국 두 전류의 합이 다음 식과 같이 드레인 전류를 구성할 것이다.

$$I_d = I_{total} = I_{ther} + I_{tunn} \quad (1)$$

이미 언급한 바와 같이 10 nm 이하로 채널길이가 감소하면 드레인 전압에 의한 전자 표동 시 임펙트 이온화에 의한 전자사태현상이 발생하기 전에 펀치스루 현상에 의한 항복 현상이 발생할 것이다. 이를 관찰하기 위하여 그림 2(a)에 채널길이가 10 nm, 실리콘 두께가 5 nm 그리고 상하단 산화막 두께가 2 nm, 도핑농도가 $10^{16}/cm^3$일 경우 드레인 전압에 따른 포텐셜에너지의 변화를 도시하였다. 이때 수평전계에 의한 효과만을 관찰하기 위하여 상하단 게이트 전압은 0 V로 고정하였다. 그림 2(a)에서 드레인 전압 증가에 따라 드레인 유도장벽감소(Drain induced barrier lowering; DIBL) 현상이 크게 나타나는 것을 관찰할 수 있다. 특히 드레인 전압이 약 1.5 V 이상으로 증가하면 전 영역에서 포텐셜에너지가 0 eV 이하로 감소하면서 펀치스루 현상이 발생하게 되어 드레인 전류는 포화될 것이다. 즉, 10 nm 이하로 채널길이가 감소하면 1.5 V의 드레인 전압에서조차 펀치스루에 의한 전류포화 현상이 발생하므로 DGMOSFET의 동작영역은 매우 줄어들게 될 것이다.

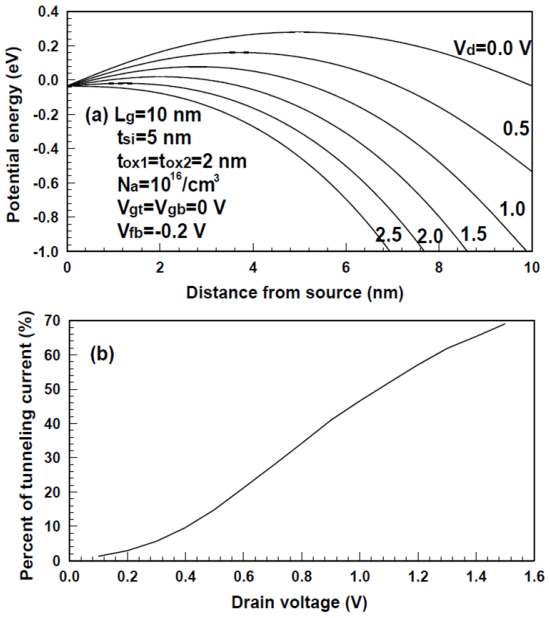



**Fig. 2** (a) Distributions of potential energy for drain voltages (b) contribution of tunneling current for drain voltage.

펀치스루 현상이 발생하기 전에 드레인 전류 중 터널링 전류의 증가를 관찰하기 위하여 그림 2(b)에 터널링 전류의 구성비를 도시하였다. 그림 2(a)에서 알 수 있듯이 드레인 전압이 증가하면 0 eV 이상의 포텐셜에너지 분포의 크기 및 폭이 감소하게 되어 열방사 전류뿐만이 아니라 터널링 전류도 함께 증가할 것이다. 그러나 그림 2(b)에서 알 수 있듯이 열방사전류보다 터널링 전류의 구성비가 드레인 전압에 따라 단조 증가한다. 이와 같이 터널링 전류의 증가는 10 nm 이하 DGMOSFET에서 무시할 수 없게 되며 이에 따라 드레인 전류가 크게 변화할 것이다. 결국 포텐셜에너지 분포를 변화시키는 도핑농도에 따라, 터널링 전류의 구성비가 변화할 것이며 이에 따라 드레인 전류도 크게 변화할 것이다.

도핑농도 변화에 따른 드레인 전류 변화를 그림 3에 도시하였다. 그림 2에 주어진 조건을 동일하게 사용하여 구한 결과이다. 그림 2에서 알 수 있듯이 드레인 전압이 작을 경우 포텐셜에너지의 크기가 크고 폭이 넓어 열방사 전류 및 터널링 전류가 매우 작다가 드레인 전압이 증가하면 포텐셜에너지의 분포가 점점 낮아지기 때문에 열방사 전류 및 터널링 전류가 크게 증가할 것이다. 이와 같은 결과를 그림 3에서 관찰할 수 있다. 그림 1에서 도핑농도가 증가하면 포텐셜에너지가 크게 증가하는 것을 알 수 있다. 즉, 도핑농도가 클수록 드레인 전압에 대한 드레인 전류가 매우 작게 흐를 것이다. 그러므로 그림 3에서 도핑농도가 낮을 때, 동일한 드레인 전압에서 드레인 전류는 크게 증가하는 것을 관찰할 수 있다. 본 논문에서 관찰하고자하는 항복전압은 그림 3에서 점선으로 표시한 바와 같이 드레인 전류가 $10\mu A$일 때 해당하는 드레인 전압으로 정의하였다. Lee 등은

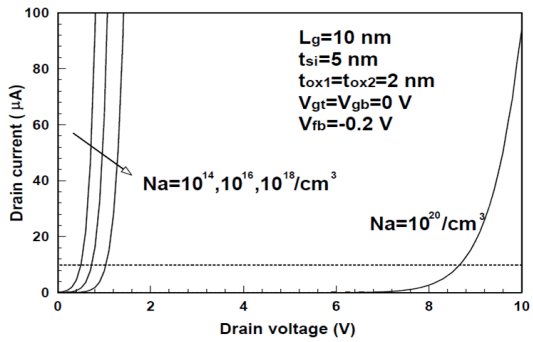



**Fig. 3** Drain current-drain voltage characteristics under given conditions in figure.

항복전압을 드레인전류의 대수 값이 드레인 전압에 대한 변화율이 최대일 경우로 정의하였으나 이는 단지 문턱전압을 구하는 정의[9]이고 임팩트이온화에 의한 항복을 고려하였을 경우이므로 본 논문에서는 일정한 드레인 전류 즉, $10\mu A$일 때 드레인 전압으로 정의하였다. 이는 일정한 드레인 전류($0.1\mu A$)에서 게이트전압을 문턱전압으로 사용하는 TCAD에서의 정의를 응용한 것이다. 본 논문에서는 10 nm 이하 채널길이를 갖는 DGMOSFET에서 채널길이, 실리콘 두께, 산화막두께 등 구조적 파라미터에 따른 항복전압의 변화를 도핑농도에 따라 관찰할 것이다.

## Ⅲ. DGMOSFET의 항복전압

이미 발표한 논문 [7,8]에서 전류모델의 타당성은 입증하였으므로 본 논문에서는 이 모델을 이용하여 DGMOSFET의 항복전압을 고찰할 것이다.

그림 4에 채널 길이를 파라미터로 구한 도핑농도에 따른 항복전압의 변화를 도시하였다. 일반적으로 트랜지스터의 안정적인 동작을 위하여 문턱전압은 0.3~0.4 V 정도의 값을 가지며 항복전압은 최소 1.5~2 V 이상의 값을 가져야한다. 채널 도핑농도에 따라 항복전압은 증가하는 것을 그림 4에서 관찰할 수 있으나 채널길이가 5 nm 까지 감소하면 도핑농도가 $10^{20}/cm^3$까지 증가하여도 주어진 조건에서 항복전압이 1 정도밖에 안되는 것을 알 수 있다. 이는 채널길이가 짧아지면 고 농도로 채널을 도핑할지라도 포텐셜에너지의 크기와 폭이 매우 작아서 열방사 전류뿐만이 아니라 터널링 전류가 함께 증가하기 때문에 작은 드레인 전압에서도 항복현상이 발생하기 때문이다. 또한 채널길이가 10 nm 까지 증가할지라도 채널 도핑농도가 $10^{19}/cm^3$이상의 고 도핑일 경우만 항복전압이 2 V 이상을 보이는 것을 알 수 있다. 즉, 채널길이가 감소하면 채널도핑농도가 더욱 높은 영역에서 만족할 만한 항복전압을 얻을 수 있다는 것을 관찰하였다. 또한 채널길이가 증가할수록 도핑농도에 더욱 민감하게 항복전압이 증가하는 것을 알 수 있다.

그림 4는 실리콘 두께가 5 nm로 비교적 두꺼운 경우이므로 실리콘 두께를 감소시켜 보다 얇게 채널을 형성할 때 항복전압의 변화를 관찰하고자 그림 5에 실리콘 두께를 파라미터로하여 도핑농도에 따른 항복전압의 변화를 도시하였다. 그림 5에서 알 수 있듯이 도핑농도가 증가하면 항복전압이 증가하는 현상을 관찰할 수 있다. 실리콘 두께가 증가할수록 항복전압은 감소한다. 이는 실리콘 두께 증가에 따라 전하가 흐를 수 있는 면적이 증가하여 전체적으로 드레인 전류가 증가하기 때문에 낮은 드레인 전압에서도 항복현상이 발생하기 때문이다. 그러므로 실제적으로 DGMOSFET에서는 채널길이보다 실리콘 두께변화에 따라 드레인 전류가 더욱 큰 영향을 받는다는 것을 관찰할 수 있다. 즉, 그림 4와 그림 5를 비교해보면 채널길이 1 nm 변화에 대한 항복전압 변화율보다 실리콘두께 1 nm 변화에 대한 항복전압의 변화율이 더욱 크다는 것을 관찰할 수 있다. 실리콘 두께가 3 nm 까지 감소하였을 경우, 도핑농도와 관계없이 2 V 이상의 항복전압을 나타내고 있다. 그러므로 채널길이가 감소할수록 실리콘 두께를 더욱 감소시

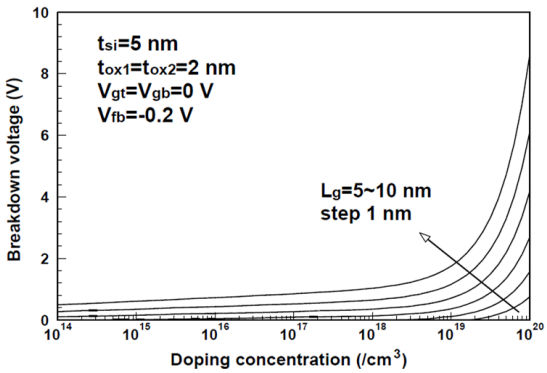



**Fig. 4** Breakdown voltages for doping concentrations with a parameter of channel length from 5 nm to 10 nm.

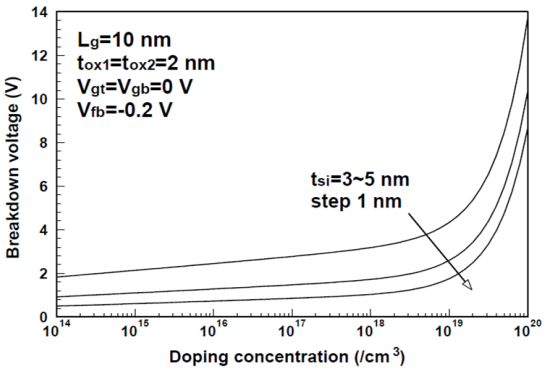



**Fig. 5** Breakdown voltages for doping concentrations with a parameter of silicon thickness from 3 nm to 5 nm.

켜 항복전압을 증가시켜야만 할 것이다.

본 논문에서는 일반적으로 DGMOSFET에서 사용하고 있는 $L_g \geq t_{si} \geq t_{ox1} = t_{ox2}$의 조건을 기초로 사용하였다. 전술한 바와 같이 채널길이보다 실리콘 두께가 작으면 작을수록 항복전압은 증가하는 것을 알 수 있었다. 그림 4와 그림 5는 산화막 두께가 공히 2 nm인 경우이다. 산화막 두께 변화에 따른 항복전압의 변화를 관찰하기 위하여 그림 6에 채널길이 10 nm, 채널두께 5 nm로 고정하고 산화막 두께를 0.5 nm에서 2 nm 까지 0.5 nm 단위로 증가시키면서 항복전압을 관찰한 결과를 도시하였다. 상단과 하단의 산화막 두께는 동일한 대칭형 DGMOSFET의 경우이다. 결과적으로 산화막 두께가 감소할수록 항복전압은 증가하는 것을 알 수 있었다. 산화막 두께가 작을 경우 DIBL 현상에 의한 포텐셜에너지 감소효과가 줄어들어 전체 드레인 전류는 크게 감소하기 때문에 항복전압은 크게 증가하고 있다는 것을 관찰할 수 있다[10]. 이와 같이 10 nm 이하 DGMOSFET의 경우 실리콘 두께 뿐만이 아니라 산화막 두께를 조절함으로써 항복전압을 변화시킬 수 있다는 것을 관찰하였다. 특히 산화막 두께가 0.5 nm 정도까지 감소하면 채널로 사용하는 실리콘 두께를 5 nm 까지 증가시켜도 도핑농도와 관계없이 4 V 이상의 항복전압을 얻을 수 있다는 것을 그림 6에서 관찰할 수 있었다. 산화막 두께의 감소는 문턱전압이동 현상을 감소시켜주는 효과도 있기 때문에 10 nm 이하 DGMOSFET에서는 산화막 두께를 공정상 가능한 한 얇게 제작하여야 할 것이다.

전술한 바와 같이 드레인 전류는 열방사 전류와 터널링 전류로 구성되어 있다. 터널링 전류의 드레인 전류

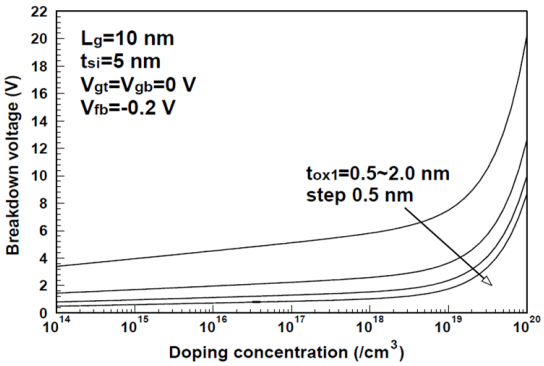



**Fig. 6** Breakdown voltages for doping concentrations with a parameter of oxide thickness from 0.5 nm to 2 nm.

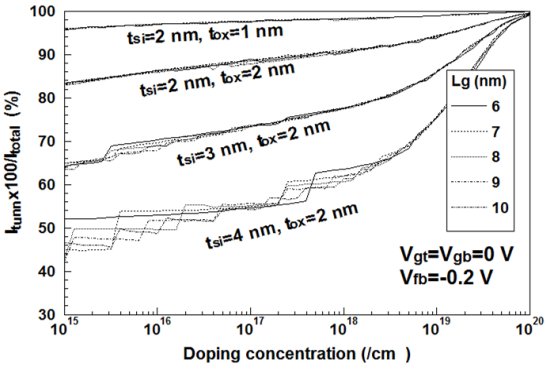



**Fig. 7** Contributions of tunneling current to drain current for doping concentrations under given conditions.

에 대한 구성비가 항복전압에 미치는 효과를 관찰하기 위하여 그림 7에 주어진 조건에 따라 항복이 발생하는 드레인 전압에서 터널링 전류의 구성비를 도핑농도 변화에 따라 도시하였다. 그림 7에서 알 수 있듯이 도핑농도가 증가하면 터널링 전류의 구성비가 채널 크기에 관계없이 증가하고 있었다. 이는 전술한 바와 같이 도핑농도가 증가하면 포텐셜에너지 크기가 매우 증가하여 열방사전류가 급격히 줄어들기 때문이다. 또한 실리콘 두께가 감소하면 터널링 전류의 구성비가 증가하는 것을 알 수 있다. 그림 5에서 실리콘 두께가 감소하면 항복전압이 증가하였다. 또한 그림 7에서 산화막 두께에 따른 터널링 전류의 구성비를 관찰한 결과, 산화막 두께가 감소하면 터널링전류의 구성비가 증가하고 있었다. 그림 6에서 산화막 두께가 감소하면 항복전압이 증가하였다. 이의 결과를 분석해 보면 터널링 전류의 구성비가 증가할수록 항복전압은 증가하는 것을 알 수 있다. 다시 말해서 전도중심에서 포텐셜에너지의 크기가 증가하여 열방사전류의 구성비가 매우 작을 경우 터널링 전류의 구성비가 크게 증가할 것이나 전체적인 드레인 전류는 포텐셜에너지가 작을 때보다 매우 작기 때문에 항복전압이 증가하는 것이다.

즉, 터널링 전류의 구성비가 증가할 경우, 드레인 전압증가에 대한 드레인 전류 증가가 매우 미미하여 항복현상이 발생하기 위한 드레인 전압이 증가하는 것이다. 이러한 터널링 전류의 구성비는 결국 포텐셜에너지의 변화에 따라 변화할 것이며 포텐셜에너지는 도핑농도에 따라 변화하기 때문에 도핑농도가 항복전압에 영향을 미치게 되는 것이다.

## Ⅳ. 결 론

본 논문에서는 10 nm 이하 채널길이를 갖는 DGMOSFET의 도핑농도 변화에 대한 항복전압을 관찰하기 위하여 열방사 전류와 터널링 전류를 이용하였다. 채널길이가 10 nm 이하로 감소하면 터널링 전류를 무시할 수 없어 전체 드레인 전류에서 터널링 전류가 차지하는 비율의 증가가 항복전압에 영향을 미칠 것이다. 결과적으로 도핑농도가 증가하면 항복전압도 증가하는 것을 알 수 있었다. 채널길이 감소에 따라 항복전압은 급격히 감소하였으나 실리콘 두께의 감소 및 산화막 두께의 감소에 따라 항복전압을 증가시킬 수 있었다. 이와 같이 DGMOSFET의 안정적인 동작을 위하여 채널길이가 감소하면 실리콘 두께 및 산화막 두께를 함께 감소시켜 항복전압을 가능한 한 높게 유지하여야 할 것이다. 터널링 전류의 구성비가 증가할수록 즉, 열방사 전류의 구성비가 감소할수록 전체 드레인 전류가 감소하면서 항복현상이 발생하는 드레인 전압은 증가하는 것을 관찰할 수 있었다. 이와 같이 10 nm 이하 채널길이를 갖는 DGMOSFET의 경우 심각한 DIBL 현상에 의한 펀치스루에 의하여 항복현상이 발생하는 것을 알 수 있었으며 향후 DGMOSFET를 이용한 집적회로 설계에 사용될 수 있으리라 사료된다.

## REFERENCES


[ 1 ] J. Wu, J. Min and Y. Taur, “Short-Channel Effects in Tunnel FETs,” *IEEE Transactions On Electron Devices*, vol. 62, no. 9, pp. 3019-3024, Sep. 2015.

[ 2 ] M. Veshala, R. Jatooth, and K. R. Reddy, “Reduction of Short-Channel Effects in FinFET,” *International Journal of Engineering and Innovative Technology*, vol. 2, no. 9, pp. 118-124, March 2013.

[ 3 ] C. W. Lee, A. Afzalian, R. Yan, N. D. Akhavan, W. Xiong, and J. P. Colinge, “Drain Breakdown Voltage in MuGFETs: Influence of Physical Parameters,” *IEEE Tranactions On Electron Devices*, vol. 55, no. 12, pp. 3503-3506, Dec. 2008.

[ 4 ] H. Mohammad, H. Abdullah, C. F. Dee, P. S. Menon, and B. Y. Majlis,” A New Analytical Model for Lateral Breakdown Voltage of Double-gate Power MOSFETs,” in *2011 IEEE Regional symposium on micro and nano Electronics (IEEE-RSM2011)*, Kota Kinabalu, Malaysia, pp. 92-95, Sep. 2011.

[ 5 ] S. Dimitrijev, *Principles of Semiconductor Devices*, 2nd ed, New York, NY: . Oxford University Press; 2012.

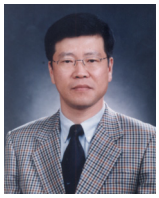
[ 6 ] Z. Ding, G. Hu, J. Gu, R. Liu, L. Wang, and T. Tang, “An analytical model for channel potential and subthreshold swing of the symmetric and asymmetric double-gate MOSFETs,” *Microelectronics Journal*, vol. 42, no. 3, pp. 515-519, March 2011.

[ 7 ] H. K. Jung, “Influence of Tunneling Current on Treshold Voltage Shift by Channel Length for Asymmetric Double Gate MOSFET,” *Journal of Korea Institute of Information and Communication Engineering*, vol. 20, no. 7, pp. 1311-1316, July 2016.

[ 8 ] H. K. Jung, and S. Dimitrijev, “Optimum top and bottom thickness and flat-band voltage for improving subthreshold characteristics of 5 nm DGMOSFET,” *Superlattices and Microstructures*, vol. 101, no. 1, pp. 285-292, January 2017.

[ 9 ] *TCAD Manual, Part 4:INSPEC*, ISE Integrated Systems Engineering AG, Zurich, Switzerland, p.56, ver7.5, 2001.

[10] H. K. Jung, “Relation of Oxide Thickness and DIBL for Asymmetric Double Gate MOSFET,” *Journal of the Korea Institue of Information and Communication Engineering*, vol. 20, no. 4, pp. 799-804, April 2016.


정학기(Hak Kee Jung)

1983.3 아주대학교 전자공학과 B.S.
1985.3 연세대학교 전자공학과M.S.
1990.8 연세대학교전자공학과 Ph.D
1995.8 일본 오사카대학 교환교수
2005.8 호주 그리피스대학 교환교수
1990.3-현재 군산대학교 전자공학과 교수
2014.1-2015.12 한국정보통신학회 회장
2016.1-2017.1 호주 그리피스대학 QMF 연구교수
※관심분야 : 반도체소자 시뮬레이션