JKIICE Journal of the Korea Institute of Information and Communication Engineering

한국정보통신학회논문지(J. Korea Inst. Inf. Commun. Eng.) Vol. 21, No. 6 : 1061~1068 Jun. 2017

RVDT용 DSP 기반 위상 자동보정 디지털 신호처리기 FPGA 구현

김성미 · 서연호 · 진유린 · 이민웅 · 조성익 · 이종열*

FPGA Implementation of RVDT Digital Signal Conditioner with Phase Auto-Correction based on DSP

Sung-mi Kim · Yeon-ho Seo · Yu-rin Jin · Min-woong Lee · Seong-ik Cho · Jong-yeol Lee*

Department of Electronic Engineering, Chonbuk National University, Jeonju-si, Jeonbuk, 54896, Korea

요 약

RVDT(Rotary Variable Differential Transformer)는 각도 변위를 측정하는 센서로써 출력 신호는 DSBSC-AM(Double SideBand Suppressed Carrier AM) 신호이기 때문에 출력 신호로부터 각도 변위를 알아내기 위하여 DSBSC-AM 복조 과정이 필요하다. 본 논문에서는 DSBSC-AM 신호의 복조기인 코스타스 루프를 수정하여 RVDT 출력 신호로부터 각도 변위를 추출하는 DADC(Digital Angle to DC)를 FPGA(Field Programmable Gate Array)로 구현하였다. 본 논문에서 설계된 DADC는 4선식과 5선식 RVDT에 적용가능하며, 코스타스 루프의 사용으로 기존의 아날로그 신호처리기와는 달리 외부의 소자를 사용하지 않고 RVDT 입력여기신호와 출력신호 사이의 위상 차이를 정확하게 보정할 수 있다. 또한 선형성 향상을 위하여 디지털 신호처리 기법이 적용되어 DADC는 기존의 아날로그 신호처리기의 선형성 오차 0.05%보다 적은 0.035%의 선형성 오차를 보였다. 구현된 DADC의 기능과 성능 테스트는 상용 RVDT 센서와 ADC(Analog to Digital Converter), 아날로그 출력단으로 구성된 통합 실험환경을 구성하여 진행하였다.

ABSTRACT

A RVDT is a sensor that measures angular displacement and the output signal of RVDT is a DSBSC-AM signal. For this reason, a DSBSC-AM demodulation processor is required to determine the angular displacement from the output signal. In this paper, DADC(Digital Angle to DC) which extracts the angular displacement from the output signal of a RVDT is implemented based-on modified Costas Loop usually used in the demodulation of DSBSC-AM signal by using FPGA. DADC can used with both 4-wire and 5-wire RVDTs and can exactly compensate the phase difference between the input excitation and output signals of a RVDT unlike the conventional analog RVDT signal conditioners which require external components. Since digital signal processing technique that can enhance the linearity is exploited, DADC shows 0.035% linearity error, which is smaller than 0.005% that of a conventional analog signal conditioner. The DADC are tested in an integrated experimental environment which includes a commercial RVDT sensor, ADC and an analog output block.

키워드 : RVDT, 신호처리기, 디지털, 위상 자동보정, 코스타스 루프

Key word : RVD, Signal Conditioner, Digital, Phase Auto-Correction, Costas Loop

Received 21 February 2017, **Revised** 02 May 2017, **Accepted** 14 May 2017

* **Corresponding Author** Jong-yeol Lee(Email:jong@jbnu.ac.kr, Tel.+82-63-270-4140)
Department of Electronic Engineering, Chonbuk National University, Jeonju-si, Jeonbuk, 54896, Korea

Open Access https://doi.org/10.6109/jkiice.2017.21.6.1061 print ISSN: 2234-4772 online ISSN: 2288-4165

ⓒThis is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(http://creativecommons.org/li-censes/ by-nc/3.0/) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright Ⓒ The Korea Institute of Information and Communication Engineering.

Ⅰ. 서 론

RVDT(Rotary Variable Differential Transformer) 센서는 각도 변위를 측정하는데 사용되는 변압기 원리에 기초한 전기적 센서이며 회전 변위를 계산하는 구조에 따라 여러 선식으로 구분할 수 있다. 일반적으로 2차측 코일의 중심 탭의 접선 방식에 따라 4선식과 5선식 센서로 달라진다. 4선식은 코일의 중간 탭을 플로팅하여 여기신호 대비 출력 신호는 역상이며 5선식은 코일의 중간 탭을 접지시켜 출력 신호는 여기 신호와 동상인 신호가 출력된다.

RVDT를 시스템에 적용하기 위해서 RVDT 센서의 회전변위 각도를 DC 레벨로 변환하여 사용자의 인터페이스에 맞도록 전기적 신호를 출력하는 신호 처리기가 필요하다. 이때 센서로 유입된 AC 출력 전압이 각도에 비례하여 출력되기 때문에 RVDT의 동작 영역에서의 각도에 대한 출력 전압의 선형성을 유지하는 것이 중요하다. 기존 RVDT용 아날로그 신호처리기는 상용 패시브 소자를 PCB 보드상에서 연결하여 제작한 모듈 형태로 이루어진 것이 대부분으로 크기가 크고 센서와 모듈 두 가지가 한꺼번에 필요하다는 단점이 있다. 이점을 보완하기 위하여 최근에는 센서에 내장할 수 있는 신호처리기가 연구되고 있다.

RVDT의 출력 신호는 DSBSC-AM(Double SideBand Suppressed Amplitude Modulation) 방식이며 코스타스 루프(Costas Loop)는 DSBSC 신호와 같은 위상 복조 신호로부터 반송파를 복조하여 메시지 신호를 복구하는 PLL 기반 회로이다. 코스타스 루프는 디지털 구현이 용이하여 선형성과 정확성 향상을 위한 여러 가지 디지털 신호처리가 가능하다는 장점이 있다. RVDT 센서를 위하여 위상 보정에 대한을 위한 복조 방식과 디지털의 장점을 살린 DSP 방식에 대한 연구가 다양하게 이루어지고 있다[1-6].

본 논문에서는 코스타스 루프를 바탕으로 RVDT 센서에 내장할 수 있는 고성능 신호처리부의 구현을 목표로, RVDT 신호처리기의 핵심 과정인 위상 보정을 자동으로 할 수 있는 DADC (Digital Angle to DC)를 FPGA(Field Programmable Gate Array)로 구현하였다. 구현한 DADC는 RVDT 센서의 아날로그 출력 신호가 ADC(Analog to Digital Converter)를 거쳐 디지털 신호로 변화되면 그 신호를 입력받아 각도 변환에 비례하는 DC 값을 출력하는 회로이며 DSBSC- AM 복조기로 널리 사용되는 코스타스 루프 구조를 Verilog HDL로 구현하였다. 4선식과 5선식 센서를 모두 지원할 수 있도록 설계하였으며 상용 RVDT 센서와 ADC, 그리고 DADC의 디지털 신호 출력을 아날로그 신호 출력으로 변환해주는 인터페이스 회로를 연결하여 통합 실험을 진행하였다.

논문의 구성 순서는 다음과 같다. 2장 본문에서는 DADC의 기본이 되는 회로인 코스타스 루프와 구현된 DADC FPGA에 대하여 설명한다. 3장에서는 시뮬레이션 결과와 통합 테스트의 결과를 보이며 4장에서 결론으로 마무리한다.

Ⅱ. 본 론

2.1. 코스타스 루프

그림 1은 코스타스 루프의 블록도이다. 코스타스 루프는 코스타스 수신기 구조에 위상 보정 후 메시지 신호의 부호를 결정하는 회로를 추가한 것이다[7].

RVDT의 반송파 신호를 $c(t)=A\cos(\omega_c t)$라고 하면, RVDT의 복조된 출력 신호 $s(t)=m(t)\times A\cos(\omega_c t)$가 되며 이때 RVDT 센서의 코어 메시지 신호 $m(t)$는 시간의 함수로 회전각에 비례하는 전압 값이 된다. 코스타스 루프 구조는 PLL(Phase-Lock Loop)과 유사한 동작으로, 여기 신호와 동일한 주파수를 가지는 신호를 NCO(Numerical Controlled Oscillator)에서 생성하고 이를 이용하여 메시지 신호를 복조한다. PLL 동작을 수행하는 NCO를 이용한 피드백을 적용하여 위상을 자동으로 보정하기 때문에 외부에 위상 leg/lead 네트웍을 사용하지 않아도 된다는 장점이 있다. NCO에서 출력된 신호는 위상차를 보정하기 위하여 메시지 신호와 비교했을 때 동위상인 신호(in-phase local carrier)와 90도 위상차 신호(quadrature local carrier)로 나누어 처리된다. 이 두 신호는 각각 메시지 신호와 곱해진 후 저역통과 필터(LPF: Low Pass Filter)를 거치면 성분이 제거된 신호 $i(t)$와 $q(t)$가 된다. 두 신호의 오차 $e(t)$는 식 3과 같이 표현된다.

NCO를 거친 국부 반송파와 $c(t)$의 위상차 $\phi=0$가 될 때까지 피드백 동작을 수행하여 $e(t)=0$이 되고 $q(t)$가 상쇄되어 $i(t)=0.5\times A\times m(t)$가 출력된다.

$$i(t) = LPF[m(t)\cos(\omega_c t)\cos(\omega_c t+\phi+\delta)] \quad (1)$$
$$= 0.5A\cos(\phi)m(t)$$

$$q(t) = LPF[m(t)\sin(\omega_c t)\sin(\omega_c t+\phi+\delta)] \quad (2)$$
$$= 0.5A\sin(\phi)m(t)$$

$$e(t) = \frac{1}{8}A^2\sin(2\phi+2\delta)m(t)^2 \quad (3)$$

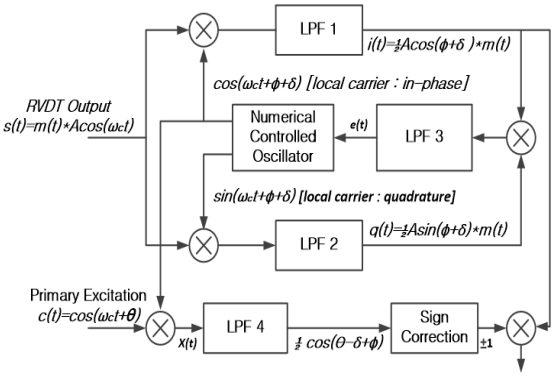


Fig. 1 Block Diagram of Costas Loop

$i(t)$가 위상 오차 보정이 끝난 후 루프가 유지될 때의 조건은$\phi=0$이고, $\delta=0$ 또는 $\delta=\pi$일 때이다. 이때 $i(t)=k\times m(t)$ 또는 $i(t)=-k\times m(t)$이기 때문에 복조된 신호의 부호가 달라질 수 있다. 이 신호 부호의 부정확성을 해결하기 위하여 동위상의 국부 반송파와 1차측 여기신호 $c(t)=\cos(\omega_c t+\theta)$와 비교하며 이때 θ는 RVDT의 1차측과 2차측의 위상 변화차이다. LPF4를 통과한 출력은 $0.5\cos(\theta-\delta+\phi)$이고 $|\theta|\le 0.5\pi$이라고 하면, $\delta=0$일 때 $0.5\cos(\theta-\delta)>0$이고, $\delta=\pi$일 때 $0.5\cos(\theta-\delta)<0$로 최종 출력의 부호를 알 수 있다.

2.2. DADC 하드웨어 구현

그림 2는 Verilog HDL로 기술된 DADC의 블록도이다. DADC는 앞서 소개한 코스타스 루프를 개선하여 구현한, RVDT의 각도 정보를 디지털로 출력하는 회로이다. 입력 변환(Input Conversion) 블록에서 12비트 ADC의 출력인 $0\sim 2^{12}$ 값을 입력받아 $-2^{11}\sim 2^{11}-1$ 값으로 변환하며 4선식과 5선식에 따른 입력의 선처리 과정을 수행한다. 5선식의 경우 4선식 신호로 변화시켜 활용한다. 사인파 생성기(Sinewave Generator)에서는 ADC와 동기 오차를 줄이기 위하여 내부에서 복조용 사인파를 생성한다. 클록 생성기(Clock Generator)에서는 외부에서 24MHz를 입력받아 ADC에 이용되는 2.4MHz와 사인파 생성을 위한 160kHz를 분주하였다. 디지털 코스타스 루프(Digital Costas Loop) 블록에서는 그림 1의 코스타스 루프를 바탕으로 위상 조정 알고리즘을 수행하여 위상을 맞추며 이때 내부 NCO에 입력되는 저역통과 필터의 출력 값을 조정하는 루프 계수를 분석하여 위상 락킹(locking) 시간을 줄였다. 그림 1의 $e(t)$는 아주 작은 신호이기 때문에 정확한 위상차 보정을 위해서는 루프 계수에 의한 크기 조절이 필요하다. NCO에서 위상 락킹 범위를 조정하는 문턱값(threshold)과 $e(t)$의 크기를 조정하는 루프 계수에 의하여 락킹 시간이 결정된다. 문턱값이 클 경우에 락킹 시간은 짧아지지만 위상차 보정이 부정확할 수 있으며 반대의 경우는 락킹 시간이 길어지는 현상이 발생할 수 있기 때문에 문턱값의 크기와 이에 수렴하기 위한 루프 계수의 조정이 필요하다.

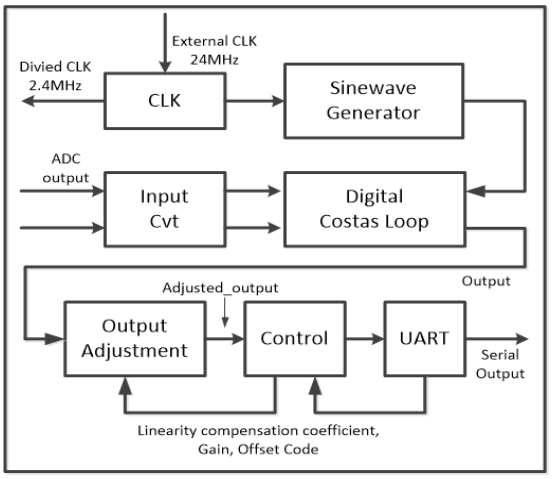


Fig. 2 DADC Block Diagram

제어블록(Control)은 출력조정 블록에서 사용되는 이득과 옵셋을 설정하고 UART 블록의 baud rate, 루프의 락킹 문턱값 등을 RVDT의 특성에 따라 설정할 수 있도록 해준다. 출력조정(Output Adjustment) 블록은 선형성 보정, 제어 블록에 의하여 설정된 이득, 옵셋을 적용하여 식 (4)와 같이 출력을 보정한다. 최종 디지털 출력 값에서 $-90^\circ\sim 90^\circ$ 구간에 해당하는 값을 구하고 이에 대한 BFSL(Best Fit Straight Line)을 구한다음

두 값에 대한 편차를 이용하여 선형값을 구한다. 선형성 보정을 위한 계수는 이득과 옵셋이 적용된 값 x를 받아 최종 출력 값에 대한 역함수를 이용하여 식 (5)와 같은 5차 함수를 이용하여 수행된다. 식 (5)의 계수 $c5 \sim c0$는 RVDT 센서의 특성과 동작영역의 범위에 따라 정할 수 있다. 이득, 옵셋, 선형성 보정식 계숫값은 UART를 이용한 직렬통신 방식으로 설정을 할 수 있으며, 직렬통신의 지원 전송 속도는 9600 ~ 115200BPS이다. 보정된 DADC 디지털 출력은 직렬 데이터로 변경되어 UART를 통하여 출력된다.

$$\text{Adjusted_output} = \text{Output} \times \text{Gain} + \text{Offset} \quad (4)$$

$$f(x) = c5x^5 + c4x^4 + c3x^3 + c2x^2 + c1x + c0 \quad (5)$$

Ⅲ. 테스트

3.1. DADC 시뮬레이션 결과

DADC는 1차 MATLAB을 이용한 모델 시뮬레이션을 진행하여 표 1과 같은 최적의 설계 조건을 구하고 Verilog HDL로 구현 후 FPGA로 검증하였다. 필터의 샘플링 주파수는 160kHz이고 NCO의 출력 비트는 ADC의 분해능인 12비트와 같다.

Table. 1 DADC Simulation Conditions

Block	Parameter	Value
Filter	Fpass Frequency	270Hz
	Fstop Frequency	3000Hz
	Sampling Frequency	160KHz
NCO	bit Width	12bit
Datapath bit width	Input bit Width	12bit
	Digital Output bit Width	12bit
	Filter Input bit Width	16bit
	Filter Internal bit Width	32bit

그림 3는 MATLAB을 이용한 각 블록의 시뮬레이션의 결과이다. 250Hz의 메시지 신호에 10kHz의 캐리어 신호를 실었다. 최종으로 복조된 신호가 0.02초 후에 출력되는 것을 볼 수 있다.

그림 4는 DADC의 Synopsys를 이용한 Verilog HDL 시뮬레이션 결과이다. 메시지 신호와 DADC 출력 신호를 비교한 것으로 메시지 신호는 100번째 데이터(6.25×10^{-4}sec)부터 신호가 정상동작 되며 이 때 DADC의 출력신호는 230번째 데이터(14×10^{-4}sec)부터 위상이 보정되어 정상 신호를 출력하는 것을 볼 수 있다.

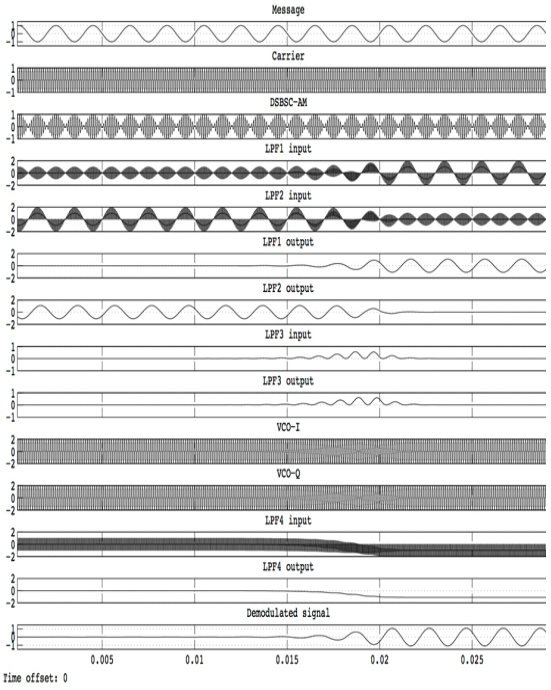


Fig. 3 MATLAB Simulation Results of DADC

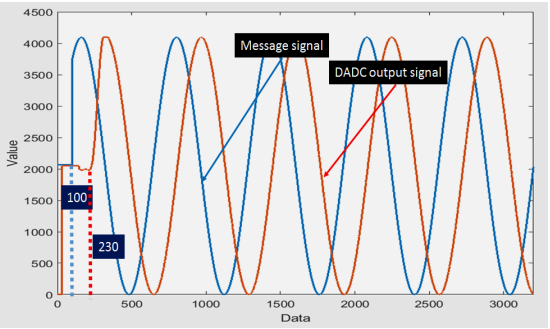


Fig. 4 Verilog Simulation Result of DADC using sysnopsys

그림 5는 DADC의 FPGA 최종 출력 코드 값을 나타낸 것이다. 시뮬레이션 출력 범위는 0x0 ~ 0x7FC이고, FPGA의 출력범위는 0x0~0x7F8로 정확도는 0.19%의 오차를 보였다.

그림 6은 출력의 선형성을 보이기 위하여 대표 값을 추출한 것이다. 임의의 출력 구간 좌표 $(X_0, Y_0) = (6470,2268), (X_1, Y_1) = (6972,3874)$의 선형성을 식 (5)와 같이 계산한 결과는 0.035% 이다. FPGA는 Altera 사의 코어를 장착한 Cyclon V FPGA 개발 키트이며 시뮬레이션 툴은 Quaters를 이용하였다.

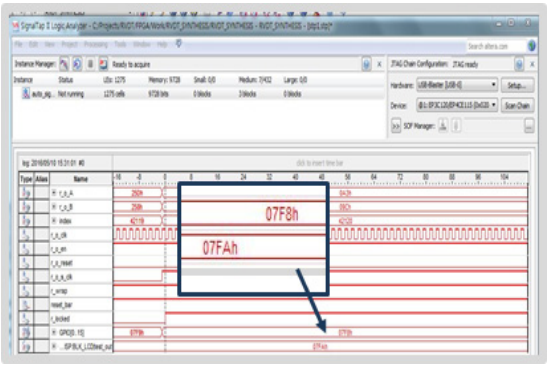


Fig. 5 Output Code Value of DADC FPGA

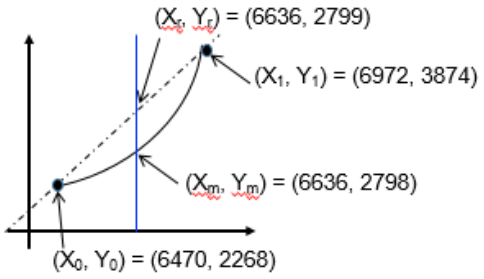


Fig. 6 DADC Output Coordinate for Linearity

$$Lienearity = \left|\frac{Y_m - Y_r}{Y_r}\right| \times 100 \quad (5)$$
$$= \left|\frac{2798 - 2799}{2799}\right| \times 100 = 0.035\%$$

3.2. 통합 테스트

그림 7과 그림 8은 DADC의 통합 테스트를 위하여 구성한 실험 블록도와 실제 테스트 사진이다. FPGA 기반 DADC와 PGA281[8], ADC, 아날로그 출력단, 상용 RVDT 센서[9]를 연결하여 테스트하였다. RVDT 센서는 4선식-5선식 겸용인 R30을 사용하였으며, PGA 281은 $-15\,V \sim +15\,V$ 에서 동작하는 RVDT 센서의 신호를 $0\,V \sim 5\,V$ 크기로 변환하고 ADC에 필요한 차동 신호로 바꾸어 주는 역할을 한다. 실험에 이용된 ADC의 입력 범위는 3.6V이고 아날로그 출력단의 입력 범위는 5V이다. ADC와 아날로그 출력단은 TSMC 018um 공정으로 자체 설계하여 보유한 칩을 사용하였다.

DADC의 주 클럭은 24MHz로 함수발생기를 이용하여 입력받았고 DADC에서 사인파 복조용 160kHz와 ADC용 2.4MHz를 분주하여 출력하였다. 센서의 여기신호와 DADC 내부의 복조를 위한 신호의 동기 불일치에 의한 오류를 방지하기 위하여 DADC에서 10kHz의 사인파를 재생하여 여기신호로 이용하였다. 4선식과 5선식 방식에 대하여 테스트하였고, 그 결과는 그림 9과 그림 10에 보였다. 그림 9의 결과는 4선식 테스트 결과이다. 센서 신호의 크기는 2.93V이고 여기신호의 크기는 3.91V일 때 아날로그 출력단의 측정 전압은 1.06V로 계산치 1.04V와 비교하여 1.8%의 실험오차를 보였다. 그림 10는 5선식의 통합 테스트 결과이다. 최종 출력의 이득을 최대 2배까지 조정할 수 있도록 설정하였으며 그림 11에서 결과 값의 변화를 보여준다.

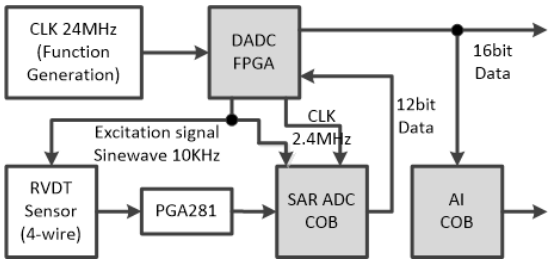


Fig. 7 Block Diagram of Integration Test

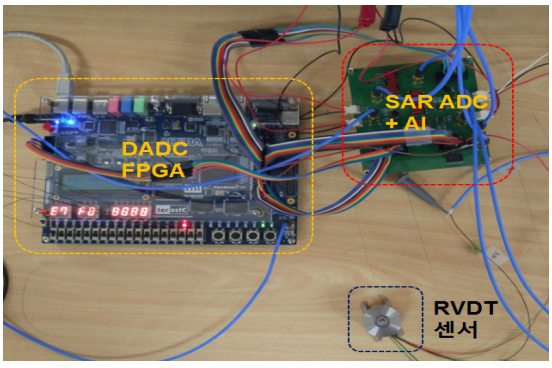
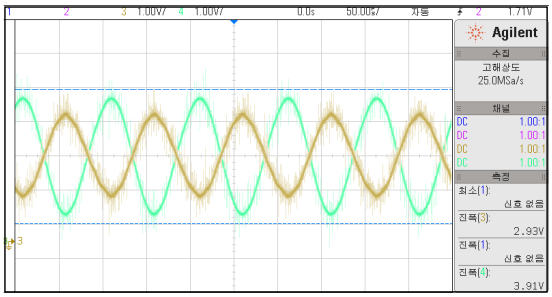
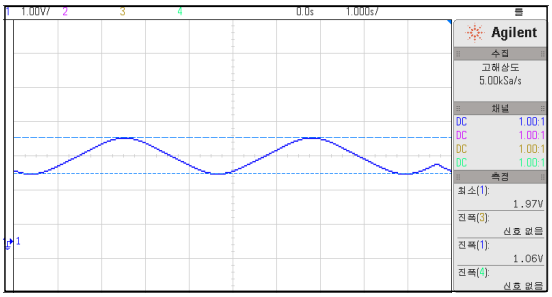


Fig. 8 Photograph of integration test using DADC FPGA

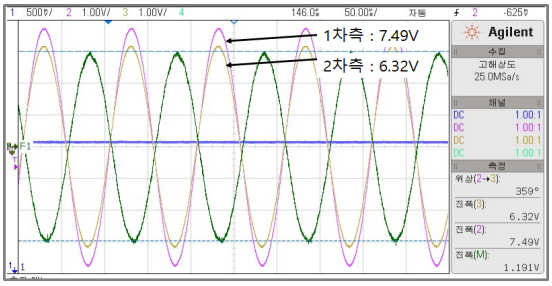


(a)

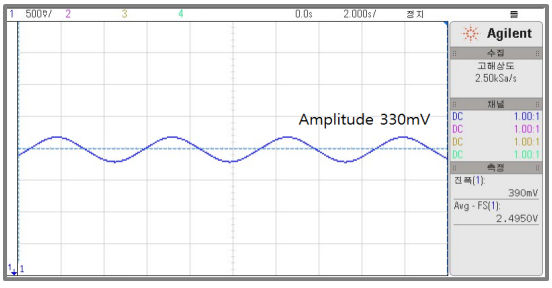


(b)

Fig. 9 Test Results of 4-wire RVDT (a) Input Waveform of Sensor (4-wire) (b) Output Waveform of Analog Output Stage (4-wire)



(a)



(b)

Fig. 10 Test Results of 5-wire RVDT (a) Input Waveform of Sensor (5-wire) (b) Output Waveform of Analog Output Stage (5-wire)

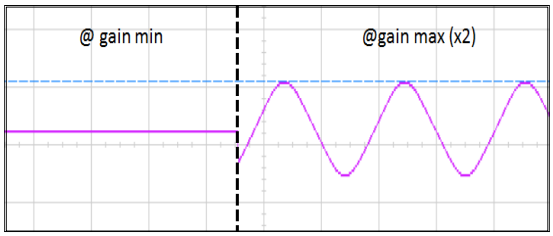


Fig. 11 Test Results of DADC Gain Controlling

표 2는 아날로그 신호처리기인 AD698[10], 소트프웨어[7], FPGA로 구현한[3] 코스타스 루프와 DADC의 선형성을 비교한 결과이다. ADC698은 아날로그 디바이스사의 4선식 5선식 겸용 LVDT/RVDT용 아날로그 신호처리 IC로 정확한 위상 보정 동작을 위하여 외부에 phase leg/lead RC 네트웍이 필요하다. 기존 DSP 코스타스 루프[7]는 기존의 코스타스 루프를 소프트웨어로 구현한 것이다. 비교 결과, AD698은 0.05%, DSP-Costas는 0.07%의 선형값을 보였고 구현한 회로는 0.035%의 결과 값이 계산되었다.

Table. 2 Comparison result of linearity with exist signal conditioner

Spec.	[10]	[7]	[3]	This
Linearity	0.05%	0.07%	0.1%	0.035%

Ⅳ. 결 론

본 논문에서는 변경된 코스타스 루프를 적용하여 디지털적으로 위상이 자동 보정 되는 RVDT용 DADC를 FPGA로 구현하였고 테스트 결과에서 여기 신호와 RVDT 센서의 출력신호 차이의 위상차를 정확히 보상함을 알 수 있었다. 기존의 AD698 아날로그 신호처리기와 코스타스 루프를 소프트웨어 및 FPGA로 구현한 결과와 신호처리기에서 가장 중요한 성능인 선형성을 비교한 결과, 제안된 DADC는 각각 30%, 50%, 65% 향상된 성능을 보였다. 또한 제안된 DADC는 UART를 통하여 이득과 옵셋 조정이 가능하기 때문에 RVDT의 특성에 따른 미세 조정을 위한 외부 소자의 추가 없이 이용가능하다.

본 논문의 장점을 정리해보면 다음과 같다.

- 여기 신호 최대 250Hz까지 동작
- 4선식 및 5선식 동작
- 위상 자동보정으로 위상 보정을 위한 외부소자 필요 없음
- UART 통신 지원으로 선형계수, 이득, 옵셋의 사용자 조정이 가능하여 선형도를 높일 수 있음

따라서 본 논문의 DADC는 SoC 구현이 가능하여 하드웨어의 복잡도를 줄일 수 있으며 선형계수의 사용자 조정으로 센서의 성능에 관계없이 최상의 선형성을 추출해 낼 수 있다. 향후 DADC를 포함한 모든 신호처리부의 블록을 SoC화하여 RVDT 센서에 내장함으로써 저가의 신호처리기 일체형 RVDT 제작이 가능할 것으로 기대되며, 이는 RVDT 외부에 별도의 모듈로 사용되는 기존의 아날로그 신호처리기를 대체할 수 있을 것으로 기대된다.

ACKNOWLEDGMENTS

This research was supported by Civil-Military Technology Cooperation Program through the Institute of Civil-Military Technology Cooperation (Task No. UM153002RD3).

REFERENCES

[1] F. Yassa and S. Garverick. “A Multichannel Digital Demodulator for LVDT/RVDT Position Sensors,” *IEEE Journal of Solid-State Circuits*, vol. 25, no. 2, pp. 441-450, Apr. 1990.

[2] L. Banerjee, B. Dam, K. Majumdar, “A Novel FPGA-based LVDT Signal Conditioner,” *in 2013 IEEE International Symposium on Industrial Electronics*, pp.1-6, 2013.

[3] L. Wang, X. Wang and Y. sun, “Intelligent Acquisition Module for Differential Transformer Position Sensor,” *in 2010 International Conference on Intelligent System Design and Engineering Application*, pp. 878-883, 2010.

[4] A. George, A,Sunny, J. Cyriac, A.Francis, “Signal Processing in LVDT for automatic calibration,” *in International Conference on Electrical, Electronics, and Optimization Techniques 2016*, pp.1114-1118, 2016.

[5] A. Flamnnini, D. Marioli, E.Sisinni, and A. Taroni, “Least Mean Square Method for LVDT Signal Processing,” *IEEE Transaction on Instrumentation and Measurement*, vol. 56, no. 6, pp 2294-2300, Dec. 2007.

[6] A. Khattab, F. Bensaali, “A Novel Method for Online Correction of Amplitude and Pahse Imbalances in Sinusoidal Encoders Signals,” *in 2016 IEEE International Power Electronics and Motion Control Conference*, pp 784-789, 2016.

[7] R. M. Ford, R. S. Weissbach and D. R. Loker, “A Novel DSP-Based LVDT Signal Conditioner,” *IEEE Transaction on Instrument and Measurement*, vol. 50, no. 3, pp. 768-773, June 2001.

[8] Texas Instruments, Precision Zero-Drift High-Voltage Programmable Gain Instrumentation Amplifier, PGA281 Application Note, 2013.

[9] Measurement Specialties, R30A-AC Operated, Light Weight RVDT Application Note, 2014.

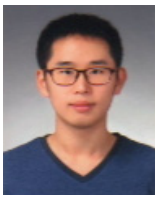
[10] Analog Device, Universal LVDT signal conditioner, AD698 Application Note, 1995.

김성미(Sung-Mi Kim)

1998년 전북대학교 전자공학과 학사 졸업
2000년 전북대학교 전자공학과 석사 졸업
2012년 전북대학교 전자공학과 박사 수료
현재 : 전북대학교 전자공학과 박사 과정
※관심분야 : ADC, 아날로그 & 디지털 신호처리

서연호(Yeon-Ho Seo)

2015년 군산대학교 전자공학과 학사 졸업
현재 : 전북대학교 전자공학과 석사 과정
※관심분야 : 신호처리, SoC 설계



진유린(Yu-Rin Jin)

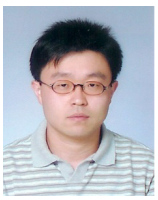
2015년 전북대학교 전자공학과 학사 졸업
현재 : 전북대학교 전자공학과 석사 과정
※관심분야 : ADC, 아날로그 & 디지털 신호처리

이민웅(Min-Woong Lee)

2012년 전북대학교 전자공학과 학사 졸업
2014년 전북대학교 전자공학과 석사 졸업
2016년 전북대학교 전자공학과 박사 수료
현재 : 한국원자력연구원 원자력융합기술개발부 연구원
※관심분야 : 아날로그 집적회로, 내방사선 전자소자

조성익(Seong-Ik Cho)

1987년 전북대학교 전기공학과 학사 졸업
1989년 전북대학교 전기공학과 석사 졸업
1994년 전북대학교 전기공학과 박사 졸업
현재 : 전북대학교 전자공학과 교수
※관심분야 : 저전력 고속 DRAM, ADC/DAC, 아날로그 회로, 고속 데이터 인터페이스, Filter



이종열(Jong-Yeol Lee)

1993년 한국과학기술원 전자공학과 학사 졸업
1996년 한국과학기술원 전자공학과 석사 졸업
2002년 한국과학기술원 전자공학과 박사 졸업
현재 : 전북대학교 전자공학과 교수
※관심분야 : SoC 설계, 컴파일러 최적화 알고리즘, VSLI 설계