

메탈 더미 구조를 포함하는 서브 테라헤르츠 CMOS 온칩 마이크로스트립 패치 안테나

Sub-Terahertz On-Chip Microstrip Patch Antenna in CMOS with Metal Dummy Structures

심동하 · 양지훈* · 한승한* · 이현민* · 김기훈 · 김호경

Dongha Shim · Ji Hoon Yang* · Seung Han Han* · Hyounmin Lee* · Ki Hoon Kim · Hokyung Kim

요 약

본 논문은 CMOS 공정에 수반되는 메탈 더미 구조가 서브 테라헤르츠 온칩 마이크로스트립 패치 안테나의 성능에 미치는 영향을 분석하였다. 45 nm CMOS 공정을 이용해 400 GHz 온칩 안테나를 설계하고, 3D EM 시뮬레이션을 통하여 메탈 더미 구조의 밀도에 따른 안테나의 공진주파수와 효율을 분석하였다. 검증용 위해 발진기와 집적된 안테나를 설계/제작하고, FTIR과 볼로미터를 이용한 준광학적 방법을 통해 측정을 수행하였다. 측정 결과, 밀도가 27 %인 더미 구조에 의해 안테나의 복사전력이 417 nW에서 87 nW로 6.8 dB 감소하는 것을 확인하였다.

Abstract

This paper analyzes the effect of metal dummy structures in CMOS on antenna performances of a sub-terahertz on-chip microstrip patch antenna. A 400-GHz on-chip antenna is designed in a 45-nm CMOS process, and the resonance frequency and efficiency of the antenna are analyzed depending on the density of metal dummy structures. Antennas integrated with an oscillator are designed and fabricated for verification, and measurements are performed using quasi-optical methods with an FTIR and bolometer. The measurement results shows that the radiated power drops from 420 nW to 90 nW by 6.8 dB due to the dummy structures with the density of 27 %.

Key words: Sub-Terahertz, On-Chip Microstrip Patch Antenna, Metal Dummy Structures, CMOS

I. 서 론

마이크로스트립 패치 안테나(microstrip patch antenna) 구조는 접지면(ground plane)이 실리콘 기판에 의해 유발되는 손실을 차단하기 때문에, 서브 테라헤르츠(sub-terahertz) CMOS 집적회로의 온칩 안테나(on-chip antenna)로

많이 사용되고 있다^[1]. CMOS 공정 중 CMP(Chemical Mechanical Planarization)는 층간 유전체의 평탄화를 위한 주요한 공정으로 널리 사용되고 있다. 메탈 더미 구조(metal dummy structures)는 CMP 공정에서 발생할 수 있는 레이아웃 패턴(layout pattern)에 의존하는 ILD(Interlayer Dielectric) 두께의 변동을 줄이는데 중요한 역할을 한다^[2].

「본 연구는 2016년도 정부(미래창조과학부)의 재원으로 한국연구재단 신진연구지원사업의 지원으로 수행되었음(과제번호 NRF-2014R1A1A1038313).」

서울과학기술대학교 MSDE전공(MSDE Programme, SeoulTech)

*서울과학기술대학교 스마트생산융합시스템공학과(Department of Manufacturing Systems and Design Engineering, SeoulTech)

· Manuscript received April 27, 2017 ; Revised June 8, 2017 ; Accepted June 8, 2017. (ID No. 20170427-040)

· Corresponding Author: Dongha Shim (e-mail: dongha@seoultech.ac.kr)

CMOS 공정 파운드리(foundry)에서 제공하는 레이아웃 디자인 룰(design rule)은 기본적으로 설계과정에서 지켜야 할 일정 크기의 영역 내 메탈 밀도의 상한과 하한을 지정한다. 특히 인덕터(inductor), 전송선로(transmission line), 안테나와 같은 수동소자는 수백 μm 크기의 특정 메탈 레이어로 구현되기 때문에, 메탈이 모여 있거나 비어 있는 큰 영역이 발생해 디자인 룰이 제한하는 메탈 밀도를 만족시키지 못하는 경우가 많이 발생한다^{[3],[4]}. 이를 해결하기 위해 소자 주변에 메탈 더미 구조를 추가해 밀도를 증가시키는데, 이로 인해 발생한 기생성분(parasitics)은 소자의 성능 열화로 이어질 수 있다. 메탈 더미 구조는 특히 밀리미터 대역 이상의 높은 주파수에서 동작하는 수동소자의 성능에 큰 영향을 미칠 수 있으며, 인덕터나 전송선로의 경우 다수의 관련 논문이 보고되고 있다^{[3],[4]}. 최근 CMOS 공정이 45 nm 이하로 더욱 미세화 되면서 메탈 밀도에 대한 디자인 룰이 점점 복잡해지고, 제한이 증가하는 추세로 메탈 더미 구조의 영향에 대한 연구의 중요성이 점점 커지고 있다.

본 논문에서는 45 nm CMOS 공정을 이용하여 400 GHz 온칩 마이크로스트립 패치 안테나를 설계하고, 더미 구조가 안테나의 성능에 미치는 영향을 분석한다. 결과를 검증하기 위해 발진기와 집적된 온칩 안테나를 설계/제작하고, FTIR(Fourier Transform Infrared Spectroscopy)과 볼로미터(bolometer)를 이용한 준광학적(quasi-optical) 측정을 수행한다^[5].

II. 안테나 설계

안테나의 구현에 사용된 45-nm CMOS 공정은 6층의 메탈 레이어(M1~M6)와 Al 패드 레이어를 포함한다(그림 1). 패드 Al 레이어로 안테나 패치를, M1~M5를 연결해 접지면을 구현하였다. 접지면은 레이아웃 디자인 룰의 M1~M5 메탈 최대 폭 제한으로 스트립(strip) 구조를 교차시켜 비어(via)로 연결된 구조를 가진다. Top metal(M6)과 Al 패드 레이어의 두께는 각각 약 2.5와 1.2 μm 이다. 안테나 패치는 Al 패드 레이어로 구현되었다. 안테나의 효율(efficiency) 저하를 막기 위하여 두꺼운 M6 레이어 대신 Al 레이어를 패치로 사용하여 패치와 접지면(ground plane) 사이에 간극(gap)을 확보하였다^[6]. 안테나 패치와

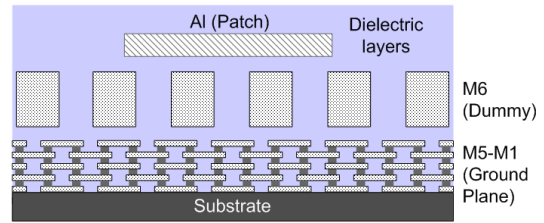


그림 1. 더미 구조를 포함하는 온칩 안테나의 단면 구조
Fig. 1. Cross-section of the on-chip antenna with dummy structures.

접지면 사이의 간극은 약 4 μm 이다.

그림 2는 안테나 특성 분석을 위한 3D 모델을 보여준다. 더미 구조의 폭 W 를 7.6 μm 으로 고정하고, 길이 L 을 0에서 25 μm 로 5 μm 단위로 증가시키며 더미 밀도를 변화시켰다. 더미 밀도(dummy density)는 M6 레이어가 차지하는 면적 비율인 $W \times L / (PW \times PL) \times 100(\%)$ 로 정의된다. 더미 구조물 사이의 피치 PL 과 PW 는 각각 35와 20 μm 로 고정하였다. 안테나의 공진주파수는 400 GHz로 설계되었으며, 패치의 크기는 약 $170 \times 170 \mu\text{m}^2 (Wp \times Lp)$ 이다. 급전부의 선폭은 10 μm 이다. 실리콘 기판(substrate)의 두께는 약 250 μm 이다.

3D EM 시뮬레이터를 이용하여 메탈 더미 구조가 안테나 성능에 미치는 영향을 분석하였다. 그림 3은 메탈 더미 구조의 밀도에 따른 안테나의 공진주파수(resonant fre-

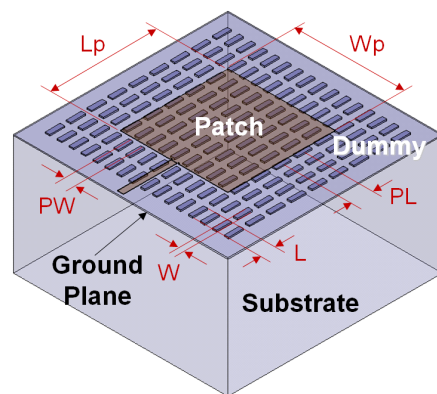


그림 2. 메탈 더미 구조를 포함하는 온칩 마이크로스트립 패치 안테나 3D 모델
Fig. 2. 3D model of the on-chip microstrip patch antenna with metal dummy structures.

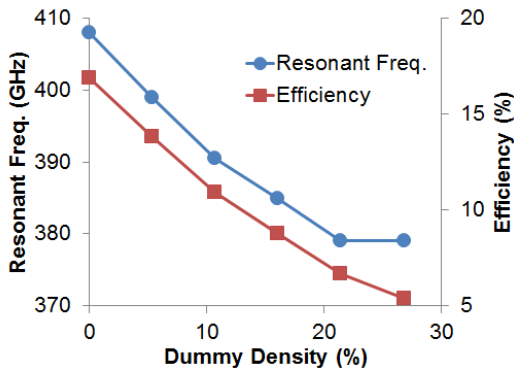


그림 3. 메탈 더미 밀도에 따른 안테나 공진주파수 및 효율(시물레이션)

Fig. 3. Antenna resonant frequency and efficiency versus metal dummy density(simulation).

quency)와 효율(efficiency)을 보여준다. 메탈 더미 구조에 의한 커패시턴스 성분의 증가로 공진주파수가 408 GHz와 379 GHz로 7 % 감소하였다. 안테나의 효율은 더미 밀도가 증가하면서 17 %에서 5.4 %로 감소해 5 dB의 복사 전력(radiated power) 감소를 유발한다.

제한된 안테나의 높은 동작 주파수로 인해 네트워크 분석기(network analyzer)와 온웨이퍼 프로브(on-wafer probe)를 이용해 신호를 공급하는 기존의 온칩 안테나 측정 방식은 적용이 용이하지 않다⁷⁾. 이를 해결하기 위해 그림 4와 같이 안테나와 발진기(oscillator)를 단일 칩(single chip)으로 집적해 안테나에 신호를 공급하고, 복사전력의 측정

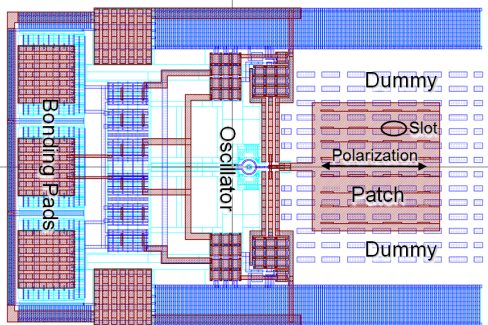


그림 4. 400-GHz 푸쉬-푸쉬 발진기와 집적된 온칩 안테나 레이아웃

Fig. 4. Layout of on-chip antenna integrated with a 400-GHz push-push oscillator.

을 통해 메탈 더미 구조의 영향을 평가하였다. 발진기는 2차 고조파를 성분을 합성하는 푸쉬-푸쉬(push-push) 방식으로 설계되었다¹⁾.

그림 4는 발진기와 집적된 27 % 밀도의 더미 구조를 가진 안테나의 레이아웃을 보여준다. 본딩 패드(bonding pad)를 포함한 칩의 크기는 $670 \times 450 \mu\text{m}$ 이다. Al 레이어의 최대폭을 제한하는 디자인 룰을 만족하면서 안테나의 성능에 미치는 영향을 최소화하기 위해 패치 표면에 동일편파(co-polarization) 방향으로 $25 \times 2 \mu\text{m}^2$ 크기의 슬롯(slot)을 삽입하였다. 슬롯의 피치는 동일편파 및 교차편파(cross-polarization) 방향으로 각각 약 $50 \mu\text{m}$ 및 $25 \mu\text{m}$ 이다.

III. 안테나 제작 및 측정

45 nm CMOS 공정을 이용하여 더미 구조 밀도가 각각 (더미 구조가 없는) 0 %와 27 %인 두 개의 안테나-발진기를 제작하고, 복사전력을 측정하였다. 발진기의 출력 전력을 측정할 수 없는 관계로 안테나의 효율을 직접 구할 수는 없지만, 복사전력의 차이를 통해 효율의 차이를 추정하고, 이를 설계 결과와 비교하였다. 볼로미터와 FTIR을 이용해 측정된 복사신호(발진기)의 주파수는 407 GHz이다⁵⁾. 복사전력 측정을 위한 측정 셋업은 그림 5와 같다. 안테나를 볼로미터의 윈도우에 밀착시켜 윈도우에 연결된 윈스턴콘(Winstone cone)을 통해 검출기로 전달된 안테나의 전체 복사전력을 측정하였다⁵⁾. 잡음(noise)과 드리프트(drift)를 포함하는 볼로미터 출력 전압(V_{OUT})의 정확한 측정을 위해 락인증폭기(lock-in amplifier)를 사용하였다. 신호발생기(signal generator)를 이용하여 발진기를 10 Hz의 주파수로 변조(ON/OFF)시키며, 락인증폭기(lock-in amplifier)를 통해 볼로미터의 출력 전압을 측정해 복사전력으로 변환하였다. 측정 시 발진기에 인가된 바이어스 전압과 전류는 각각 1.3 V와 12 mA이다.

측정 결과, 발진기가 ON 상태에서 더미 구조가 없는 안테나와 더미 구조를 포함한 안테나의 복사전력은 각각 417 nW와 87 nW로 측정되었다. 측정된 복사전력은 6.8 dB 감소하여 시물레이션으로 예측된 효율 감소(5 dB)와 1.3 dB의 차이를 보였다. 발진기는 더미 구조를 포함하지 않는 안테나에 대해 임피던스 매칭(impedance matching)되어 있다. 더미 구조를 포함하는 안테나와 발진기 사이

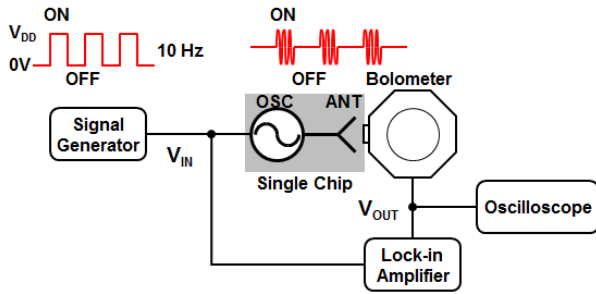


그림 5. 복사전력 측정 셋
Fig. 5. Setup for the measurement of radiated power.

표 1. 서브 테라헤르츠 CMOS 온칩 안테나 성능 비교
Table 1. Performance comparison of sub-terahertz on-chip antennas in CMOS.

	Ref [8]	Ref [9]	Ref [10]	This work
Configuration	Slotted loop	Substrate in waveguide	Planar dipole	Microstrip patch
Frequency(GHz)	240	460	540	407
Efficiency(%)	14	29.1	28	17
Gain(dBi)	1.5	0.09	1.33	-3.6
Technology	65 nm	65 nm	40 nm	45 nm

의 임피던스 부정합(impedance mismatch)으로 인한 반사 손실(reflection loss)과 더미 구조를 포함하지 않은 안테나의 미스튜닝(mistuning)으로 인한 복사전력 감소가 차이의 주요 원인으로 추정된다.

IV. 결 론

45 nm CMOS 공정에서 메탈 더미 구조를 포함하는 400-GHz 온칩 마이크로스트립 패치 안테나를 구현하고, 더미 구조가 성능에 미치는 영향을 분석하였다. 시뮬레이션 결과, 밀도 27%의 더미 구조에 의해 공진주파수와 효율이 각각 7% 및 5 dB의 감소하는 것으로 예측되었다. 발진기와 집적된 안테나를 설계/제작하였고, 준광학적 측정을 통해 407 GHz에서 더미 구조에 의해 복사전력이 6.8 dB 감소하는 것을 확인하였다. 상기 결과는 마이크로스트립 패치 안테나를 포함하는 서브 테라헤르츠 영역의 CMOS 집적회로의 설계에 활용될 수 있을 것으로 기대된다.

References

- [1] E. Seok *et al.*, "A 410-GHz CMOS push-push oscillator with a patch antenna", in *IEEE ISSCC Dig. Tech. Papers*, pp. 472-473, Feb. 2008.
- [2] B. E. Stine *et al.*, "The physical and electrical effects of metal-fill patterning practices for oxide chemical-mechanical polishing processes", *IEEE Trans. Elec. Dev.*, vol. 45, no. 3, Mar. 1998.
- [3] A. Tsuchiya, H. Onodera, "Dummy fill insertion considering the effect on high-frequency characteristics of spiral inductors", in *IEEE MTT-S Int. Microw. Symp. Dig.*, pp. 787-790, Jun. 2008.
- [4] S. Amakawa, *et al.*, "Design of well-behaved low-loss millimetre-wave CMOS transmission lines", *Workshop on Signal and Power Integrity*, May 2014.
- [5] D. J. Arenas, *et al.*, "Characterization of near-terahertz complementary metal-oxide semiconductor circuits using a Fourier-transform interferometer", *Review of Scientific Instruments*, vol. 82, no. 10, 103106-1-103106-6, Oct. 2011.
- [6] D. M. Pozar, "Microstrip antennas", *Proc. IEEE*, vol. 80, no. 1, Jan. 1992.
- [7] K. V. Caekenberghe *et al.*, "A 2-40 GHz probe station based setup for on-wafer antenna measurements", *IEEE Trans. Ant. Prop.*, vol. 56, no. 10, pp. 3241-3247, Oct. 2008.
- [8] S. Kang, S. V. Thyagarajan, and Ali M. Niknejad, "A 240 GHz wideband QPSK transmitter in 65 nm CMOS", in *IEEE RFIC Symp.*, pp. 353-356, Jun. 2014.
- [9] H. Xie, L. Belostotski, and M. Okoniewski, "A 460-GHz CMOS substrate-integrated-waveguide slot-antenna design", *Micro. Opt. Tech. Lett.*, vol. 58, no. 2, pp. 347-351, Feb. 2016.
- [10] W. Steyaert, P. Reynaert, "A 0.54 THz signal generator in 40 nm bulk CMOS With 22 GHz tuning range and integrated planar antenna", *IEEE J. Solid-State Circuits*, vol. 49, no. 7, pp. 1617-1626, Jul. 2014.