

논문 2017-54-6-15

LED 디스플레이 시스템을 위한 최적의 플리커 프리 디스플레이 제어장치 구현

(Implementation of Optimal Flicker Free Display Controller for LED Display System)

이 주 연*, 김 대 순**, 이 종 하**

(Juyeon Lee[Ⓞ], Daesoon Kim, and Jongha Lee)

요 약

본 논문에서는 LED 디스플레이 시스템의 동적인 구동방식에서 LPM 모듈의 구성에 관계없이 휘도구현 비트를 16비트 이내, 휘도 구현 펄스를 512개 이내에서 최적의 플리커 프리 제어 알고리즘을 개발하고 이 알고리즘을 이용하여 디스플레이 제어장치를 구현하였다. 구현방법으로는 완전한 색 표현을 위한 기존의 시프트-래치 방법을 변형하여 여러 번의 시프트-래치를 수행하게 하여 스캔횟수를 늘림으로써 리플레시율을 증가시키는 방법을 사용하였다. 그 결과로 기존의 LED 디스플레이 시스템은 리플레시율이 240~480[Hz]를 수행하지만 제안된 방법을 사용하면 리플레시율을 2,040[Hz] 이상으로 높게 구현할 수 있기 때문에 플리커 현상을 감지할 수 없게 된다.

Abstract

In this paper, we developed an optimal flicker-free control algorithm operating within 16 luminance implementation bits and 512 brightness implementation pulses irrespective of LPM(LED Pixel Matrix) module configuration on dynamic driving method of LED display system. As an implementation method, we turned the refresh rate up by increasing the number of scans through multiple shift-latches which were devised from conventional shift-latch scheme for full color representation. As a result, the LED display system of this method has no flicker phenomenon because of the novel refresh rate higher than 2,040[Hz] incomparable to 240~480[Hz] of conventional system

Keywords : LED display system, flicker free, flicker, LED bright and color processor, LED display controller

I. 서 론

천연색 LED 디스플레이 시스템의 중요한 구성요소 중의 하나는 영상을 표출할 수 있는 디스플레이부 라고 할 수 있다. 이 디스플레이부의 구성은 Red, Green, Blue LED를 하나의 픽셀을 기본으로 가로, 세로로 배열하여 LPM(LED Pixel Matrix) 모듈로 구성된다.

* 정희원, 제이라이텍 (J_LITECH)

** 정희원, 전주비전대학교 디지털전자정보과(Department of Digital Electronics & Information, VISION University College of Jeonju)

Ⓞ Corresponding Author (E-mail : jyscgo@daum.net)

Received : November 29, 2016 Revised : January 13, 2017

Accepted : May 16, 2017

LPM 모듈을 스크린 모듈 형태로 구성하고 또다시 가로, 세로로 배열하여 LED 디스플레이부를 제작한다.

LPM 모듈은 LED의 배열을 8×8, 8×16, 16×16, 8×32, 32×16, 32×32 등의 행렬(Matrix) 형태로 배열하고 나열한 표시부와 이 행렬로 구성된 LED를 구동하기 위한 구동용의 드라이버 회로를 일체화한 LED 표시장치이다.^[1]

LPM 모듈의 형태는 가로, 세로로 40mm, 96mm, 128mm, 160mm 200mm, 240mm, 320mm 등의 크기로 구성되며, 구동방식에 따라서는 정적(Static)인 구동방식과 동적(Dynamic)인 구동방식으로 분류하여 정적인 구동방식은 주로 옥외용으로 동적인 구동방식은 옥내용으로 사용된다.

정적인 구동방식은 영상을 표출할 때에 고휘도 및 플

리커(Flicker) 현상을 없애기 위하여 주로 사용되나 구동방식이 복잡하고 사용하는 소자가 많이 소요되어 제작비용이 높다는 단점이 있다.^[2]

동적인 구동방식, 즉 듀티 사이클(Duty Cycle)이 1/2, 1/4, 1/8, 1/16로 구성되는 경우 구동소자가 듀티 사이클에 비례하여 감소하는 장점이 있으나 휘도가 낮아지며, 심한 플리커 현상이 발생하게 된다. 현재 옥내용 천연색 LED 디스플레이 시스템은 높은 해상도를 유지하기 위하여 LPM모듈이 가로, 세로로 64mm, 40mm 등으로 점점 축소됨에 따라 1/8, 1/16 듀티사이클을 갖는 LPM 모듈로 제작할 수밖에 없는데 심한 플리커 현상이 발생하게 된다. 여기에서 플리커란 사람의 눈으로 볼 때에는 깜박거림이 없어 보이나 카메라로 동영상을 촬영하였을 때 깜박거리는 현상을 말하고 주요원인으로는 LED 디스플레이 시스템의 리플레시율이 낮아서 발생하는 문제이다. 따라서 플리커는 LED 디스플레이 시스템의 화면이 시간에 따라 주기적으로 변함으로 사용자에게 빛의 깜박거림이 느껴지는 현상을 의미하며 눈이 쉽게 피로감을 느끼는 단점이 있다.

LED 디스플레이 시스템에서 디스플레이 제어장치는 컴퓨터의 DVI신호를 비롯한 각종 영상기기에서 전송되어지는 디지털의 영상신호를 입력 받아 LED 디스플레이 시스템의 화면을 구동할 수 있는 각종 영상신호 및 제어신호를 생성하는 제어장치이다. 이 디스플레이 제어장치는 영상신호를 이용하여 다양한 연산 및 처리과정을 거치게 되며 이 처리과정 중에서도 핵심적인 부분은 고휘도의 밝기를 처리하기 위한 휘도구현 비트, 고선명의 화질을 결정 짓는 휘도구현 펄스, 감마처리 방법 등에 따라서 성능의 차이를 보이게 된다.^[3]

현재 개발되어 사용되는 LED 디스플레이 제어장치는 휘도구현 비트가 최소 12비트에서 최대 16비트이며,

휘도구현 펄스 수는 128개, 256개, 512개 중에서 하나를 사용하고 있으나 문제점으로는 휘도구현 비트가 커지거나 휘도구현 펄스 수가 많아지면 플리커 현상이 심해지는 문제점을 안고 있다. 따라서 LED 디스플레이 시스템을 구현함에 있어서 플리커 프리의 디스플레이 제어장치의 알고리즘 개발과 이 알고리즘에 대한 시스템의 구현이 핵심과제로 떠오르고 있다.^[4]

이에 본 논문에서는 LED 디스플레이 시스템의 동적인 구동방식에서 LPM 모듈의 구성에 관계없이 휘도구현 비트를 16비트 이내, 휘도구현 펄스를 512개 이내에서 최적의 플리커 프리 제어 알고리즘을 개발하고 이 알고리즘을 이용하여 디스플레이 제어장치를 구현하고자 한다.

II. LED 디스플레이 시스템의 디스플레이 제어장치

디스플레이 제어장치는 PC를 비롯한 디지털 영상장치에서 출력되는 DVI/HDMI 신호를 입력하여 LPM 모듈을 구동할 수 있도록 휘도구현 비트와 펄스, 감마 등의 처리와 연산을 수행하는 휘도 및 색상제어 역할과 다음단의 디스플레이 제어장치에 영상신호를 전송하는 역할을 한다. 디스플레이 제어장치의 구성도는 그림 1에 나타내었으며 각 부분에 대하여 설명하면 다음과 같다.

1. DVI/HDMI Sink부

DVI/HDMI Sink부는 PC의 DVI 신호, DVD 플레이어 등의 HDMI 신호, 그 밖의 영상장치에서 출력되는 DVI/HDMI 신호를 입력 받아 DVI/HDMI Repeater부와 DVI/HDMI Receiver에 영상신호를 분배한다.

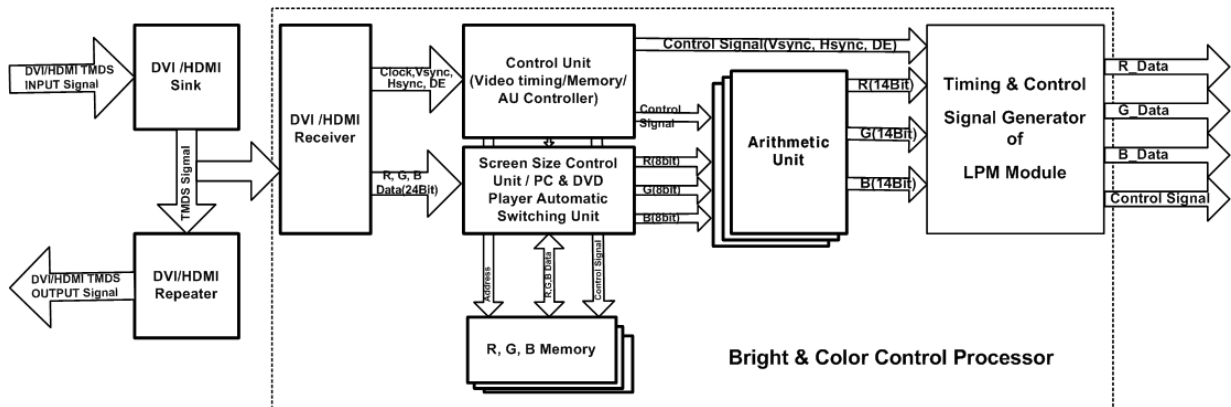


그림 1. LED 디스플레이 시스템의 디스플레이 제어장치의 구성도
 Fig. 1. Block diagram of display controller for LED display system.

2. DVI/HDMI Repeater부

영상을 표출할 수 있는 디스플레이부 스크린 모듈을 이용하여 가로, 세로로 배열하여 하나의 거대한 스크린 즉, 예로써 가로 30m, 세로 20m의 스크린으로 구성되어 제작한다. 이 스크린 모듈에는 디스플레이 제어장치를 각각 탑재하여 그림 2와 같이 영상신호를 전송되게 구성된다.

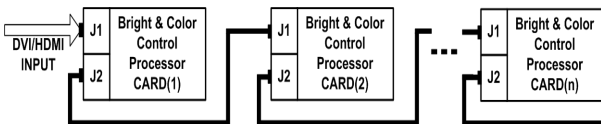


그림 2. 각 스크린의 디스플레이 제어장치에 영상신호를 전송하는 구성도

Fig. 2. Block diagram depicts transmitting video signal to display controller of each screen.

스크린의 구성은 스크린 모듈을 이용하여 가까운 거리에 위치하는 경우와 먼 거리에 위치하는 경우도 발생하기 때문에 이를 고려하여 DVI/HDMI Repeater부로 구성한다.

여기서 DVI/HDMI 신호들은 DVI/HDMI Cable을 이용하여 원래의 신호로 입력할 수도 있으며, 광케이블을 이용하여 광신호로 변환하여 입력할 수도 있으며, UTP Cat5e/Cat6 cable을 이용하여 입력할 수도 있다.

3. 휘도 및 색상제어장치

휘도 및 색상제어장치는 크게 DVI/HDMI 수신부, 제어장치, R, G, B 메모리, 연산장치(Arithmetic Unit), LPM 모듈의 타이밍 및 신호발생장치 등으로 구성되며 각부의 주요 기능은 다음과 같다.

가. DVI/HDMI 수신부

DVI/HDMI 수신부는 DVI 표준 통신 규격에 따라 DVI/HDMI Sink부의 TMDS(Transition Minimized Differential Signaling) 신호로 전송된 비디오신호를 각각의 Red, Green, Blue의 디지털 영상데이터 8bit와 클럭신호, 수직 및 수평 동기신호, DE(Data Enable)신호로 변환을 하는 부분으로서 이 변환된 신호를 휘도 및 색상제어장치에 입력하는 역할을 한다.

나. 제어장치(Control Unit)

제어장치는 DVI/HDMI 수신부에서 출력되는 24비트 RGB 영상데이터를 영상데이터 시프트 클럭, 수직 및 수평 동기신호, DE신호를 이용하여 RGB 메모리에 저장하거나 저장된 영상데이터를 읽어 감마(Gama)보정, 휘도(밝기)조정 등의 연산을 수행하도록 연산장치에 전

송할 수 있는 메모리 어드레스 신호, 메모리 제어신호, 감마 및 휘도연산 제어신호를 발생하여 각 장치를 제어하는 역할을 수행한다. 또한 LPM 모듈의 타이밍 및 신호발생장치를 제어하기 위한 제어신호를 발생하는 역할을 한다.^[5]

다. 화면 크기, PC & DVD 플레이어 자동전환 제어장치

영상을 표출하는 디스플레이부의 해상도가 PC나 DVD 플레이어 등의 영상장치 등에서 전송되어진 해상도 보다 낮기 때문에 표출할 영상은 스크린 모듈에 입력되기 전에 스크린의 해상도에 맞게 화면크기 제어장치를 거쳐서 입력되어야 한다. 예로써 PC에 의해서 LED 디스플레이 시스템을 운용하는 경우에는 프로그램에 의해서 화면크기를 조절할 수 있는 기능을 수행하고 있다. 그러나 프로그램에 의해서 임의로 화면크기를 조절할 수 없는 DVD 플레이어와 같은 영상장치는 별도의 화면크기 조절기능을 갖는 장치를 사용해야 한다.

라. R, G, B 메모리

R, G, B 메모리는 화면 크기, PC & DVD 플레이어 자동전환 제어장치에서 출력되는 R, G, B 각각의 8비트 영상데이터를 일시적으로 저장할 수 있는 기억장치다.

이 메모리는 짝수 프레임의 영상데이터와 홀수 프레임의 영상데이터를 저장할 수 있도록 구성된다. 이와 같은 저장방식은 PC나 DVD플레이어 등에서 출력되는 짝수 프레임의 영상데이터를 저장할 때 홀수 프레임의 영상데이터를 연산장치(감마보정 및 밝기조정 등)를 거쳐 LPM 모듈에 전송하고, 반대로 홀수 프레임의 영상데이터를 저장할 때 짝수 프레임의 영상데이터를 연산장치를 거쳐 LPM 모듈에 전송하는 방식을 사용함으로써 플리커 현상을 줄일 수 있으며, 휘도특성을 높이기 위함이다.

마. 연산장치(Arithmetic Unit)

LCD, PDP, OLED등의 디스플레이 장치뿐만 아니라 LED 디스플레이 시스템은 기존에 쓰던 CRT의 특성을 그대로 세습 받았다. 따라서 이 CRT를 기준으로 모든 표준을 만들었기 때문에 감마특성 또한 CRT와 같거나 최대한 비슷한 특성을 갖도록 만들어지며, 전체적인 색감, 밝기(휘도) 조절에는 밝기나 명암 보다는 감마값을 조절 하는 것이 일반적으로 사용되어지고 있기 때문에 감마값을 이용한 밝기에 대한 식을 식 (1)에 나타내었다.

$$f(x) = \text{gain} \times X^{\text{gamma}} + \text{offset} \quad (1)$$

gain=contrast, offset = brightness

대부분의 LED 디스플레이 시스템은 식(1)을 이용하여 밝기 값을 조절하는데 입력되는 Red, Green, Blue 각각의 8비트 영상 데이터 값을 X라고 할 때에 식(1)의 연산을 수행할 때에 휘도구현 비트를 12비트에서 16비트의 영상 데이터 값으로 변환하게 되는데 대부분의 LED 디스플레이 시스템은 휘도구현 비트로 12비트 즉, 0~4095 값을 갖는 4096단계의 휘도구현(계조) 단계를 사용하고 있다.

바. LPM 모듈의 타이밍 및 신호발생장치

LPM 모듈의 타이밍 및 신호발생장치는 연산장치에서 휘도를 증가시키기 위하여 수행한 휘도구현 비트인 12비트에서 16비트의 영상데이터를 LPM 모듈에 전송할 수 있도록 LPM 모듈의 규격에 맞는 시프트클록신호, OE(Out Enable) 신호, ST(Strobe) 신호, 스캔라인선택신호(L0, L1, L2, L3)인 제어신호를 만들어 LPM 모듈에 전송하는 역할과 이 제어신호에 동기화되어 디스플레이할 각각의 R, G, B 영상데이터를 생성하고 전송하는 역할을 담당한다.^[5]

(1) 제어신호(Control Signal)

제어신호는 LPM모듈의 규격에 맞는 시프트클록신호, OE신호, ST신호, 스캔라인선택신호들이 있다.

시프트클록신호는 R, G, B의 각각의 영상 데이터를 시프트 클록에 의해 LPM 모듈에 시프트동작을 수행하고, 시프트된 직렬의 영상 데이터는 ST신호에 의해 래치(Latch) 레지스터에 래치되고 이 래치된 데이터가 해당 LED 화소를 점등하거나 점멸하게 된다. 이때 OE신호는 래치된 데이터가 해당 LED 화소로 출력되는 값과 논리 곱을 수행하여 적절한 ON/OFF를 수행함으로써 해당 LED 화소의 휘도를 제어하는 역할을 담당한다.

스캔라인선택신호(L0~L3)는 라인복호기(Line Decoder)로 입력되어 LPM 모듈의 16개의 라인 중 한 개의 라인을 선택할 수 있는 기능을 수행한다. 즉, 래치 레지스터는 비트별로 해당 라인의 각각의 LED 화소에 연결되어 있으므로 이 스캔라인선택신호가 라인복호기와 구동회로를 거쳐 전원을 공급하여 해당라인의 LED 화소를 점등과 점멸을 수행하도록 하는 기능을 수행한다. 이 구동방식은 16개의 라인 중에서 1개씩 순차적으로 구동한다고 하여 듀티 사이클이 1/16이라고 하고, 만약 스캔라인 선택신호(L0~L2)일 때는 16개의 라인 중에서 1번에 2라인의 LED를 점등과 점멸을 기능을 수행할 수 있도록 구성되어 있으므로 듀티 사이클이 1/8이라 한다.

여기서 중요한 사항은 라인 별로 LED를 점등과 점멸을 수행하는데 현재 표출되고 있는 라인에서 다음라인으로 표출이 넘어갈 때 라인복호기의 지연시간(Delay Time)에 의해서 서로 중복되어 데이터가 표출되고 있으므로 래치 레지스터의 OE신호에 의해서 일정시간 LED를 강제적으로 점멸시킨다.

(2) RGB 영상데이터

LPM 모듈에 전송할 각각의 R, G, B 영상데이터의 휘도구현 비트가 13비트라고 가정하면 영상을 표현할 수 있는 휘도구현(계조) 값이 0~8,191의 값을 갖는 것을 의미한다. 예로써 휘도 구현 8,191값은 8비트의 입력 영상데이터 값 255가 식 (1)의 변환을 거쳐 13비트인 8,191 값으로 변환된다는 것을 의미한다. 이 13비트 휘도구현 값을 LPM 모듈에 전송하여 영상으로 표출하기 위해서는 1비트 씩 직렬 입력해야 한다. 그러나 각각의 해당비트 별로 즉, 0번째 비트는 0 또는 1, 1번째 비트는 0 또는 2, 3번째 비트는 0 또는 4, ..., 7번째 비트는 0 또는 128, ..., 11번째 비트는 0 또는 2,048, ..., 12번째 비트는 0 또는 4,096의 값을 갖게 되는데 이와 같이 각각의 해당비트는 값이 다르기 때문에 동일한 횟수로 시프트-래치를 수행할 수 없게 된다. 따라서 이와 같은 문제점으로 휘도구현을 위하여 각각의 해당비트 값에 대하여 기본 펄스를 적용하게 된다. 휘도구현을 위한 기본 펄스 수를 256개이라 할 때에 이를 1단위(Unit)라 하며 0번째 비트는 1단위의 펄스기간 중에서 1/256, 1번째 비트는 1단위의 펄스기간 중에서 2/256, 3번째 비트는 1단위의 펄스기간 중에서 4/256, ..., 8번째 비트는 256개의 펄스기간 중에서 256/256 즉, 1단위를 사용하고, 9번째 비트는 2단위, 10번째 비트는 4단위, ..., 12번째 비트는 32단위의 기간을 사용하여 시프트-래치 동작을 수행한다. 예로써 휘도구현 비트가 13비트이고, 휘도구현 펄스 수가 256개라고 할 때에 이 13비트 휘도 값을 구현하기 위하여 해당 비트 값에 대한 비트별 시프트_래치 횟수, 휘도구현을 위한 펄스 수의 관계를 표 1에 나타내었으며, 시프트-래치 횟수가 39횟수임을 알 수 있다.^[6]

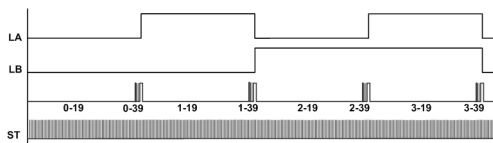
표 1. 12~16비트 휘도구현을 위한 해당 비트 값, 시프트-래치 횟수, 펄스 수와의 관계

Table1. Corresponding bit values, number of shift-latches, and number of pulses for brightness implementation with 12~16 bits.

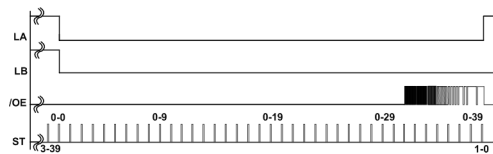
비트 순서	0	1	2	3	4	5	6	7	8	9	10			
비트 값	1	2	4	8	16	32	64	128	256	512	1024			
시프트-래치 횟수	0	1	2	3	4	5	6	7	8	9	10	11	...	14
휘도구현 펄스 수	1	2	4	8	16	32	64	128	256	256	256	256	...	256

비트 순서	11	12	13	14	15										
비트 값	2048	4096	8192	16384	32768										
시프트-래치 횟수	15	...	22	23	...	38	39	...	70	71	...	134	135	...	262
휘도구현 펄스 수	256	...	256	256	...	256	256	...	256	256	...	256	256	...	256

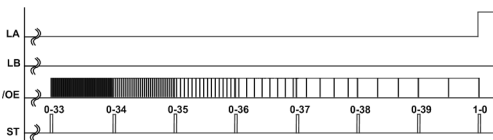
또한 표 1을 이용하여 듀티 사이클이 1/4인 LED 디스플레이 시스템의 LPM 모듈에 입력되는 제어신호들 중에서 /OE신호, ST신호, 스캔라인 선택신호(LA, LB)들에 대한 타이밍 관계를 그림 3에 나타내었다.



(a) 듀티 사이클 1/4에서 12비트 계조 값을 갖는 LPM모듈의 제어신호
(a) Control signal of LPM module which has 12 bit value of brightness implementation for 1/4 duty cycle.



(b) 그림(a)에서 스캔라인 선택신호 값이 LA=0, LB=0의 타이밍도
(b) Timing diagram when scanline select signals are "LA=0" and "LB=0" in Fig. (a).



(c) 그림(b)에서 ST가 3-33에서 3-39 기간의 타이밍도
(c) Timing diagram during the period of ST between 3-33 and 3-39 at Fig. (b).

그림 3. 12비트 휘도구현 값을 갖는 LPM모듈의 제어신호에 대한 타이밍도(듀티 사이클 1/4에서 /OE신호, ST신호, 스캔라인 선택신호(LA, LB))
Fig. 3. Timing diagram of control signal for LPM module to implement 12 bit brightness. (/OE signal, ST signal, and scan line select signal for 1/4 duty cycle)

Ⅲ. 고휘도, 고선명을 위한 최적의 플리커 프리 디스플레이 제어장치 구현

1. 플리커 발생원인

동적구동방식의 LED 디스플레이 시스템에서 듀티 사이클이 1/4이라는 것은 LPM모듈의 LED 화소가 그림4와 같이 가로, 세로로 각각 16개씩 구성되었을 때에 16개의 세로라인 중에서 4라인 씩 묶어서 동시에 1번째 라인, 2번째 라인, 3번째 라인, 4번째 라인에 영상데이터를 순차적으로 디스플레이 하는 방법을 말한다. 이때 세로 라인을 스캔라인이라고 하며, 스캔라인을 구동할 수 있는 신호를 A_LA0, A_LB0라고 한다. PC의 그래픽 카드나 다른 영상기기에서 입력되는 영상신호 중에서 수직 동기신호를 VSYNC라고 할 때 스캔라인 선택 신호와 수직 동기신호의 타이밍도를 그림 5에 나타내었다.

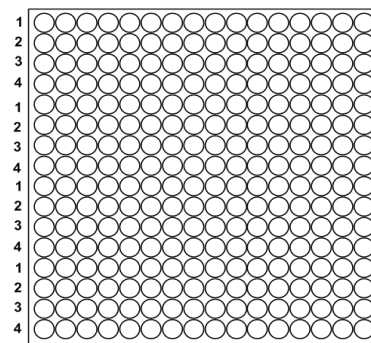


그림 4. LPM 모듈에 대한 LED 화소(Pixel)의 구성도
Fig. 4. Block diagram of LED pixels for LPM module.

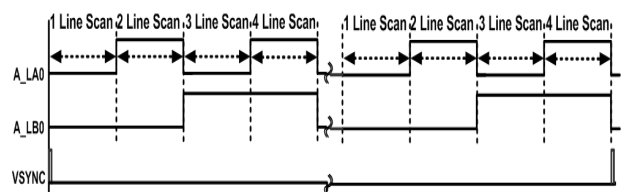


그림 5. 스캔라인 선택신호(A_LA0, A_LB0)와 수직 동기신호(VSYNC)의 타이밍도
Fig. 5. Timing diagram depicts scan line select signals (A_LA0 and A_LB0) with VSYNC.

그림 5의 타이밍도에서 신호 A_LA0가 0, A_LB0=0 일 때에는 1번째 라인을 스캔하는데 걸리는 시간, A_LA0가 1, A_LB0=0일 때에는 2번째 라인을 스캔하는데 걸리는 시간, A_LA0가 0, A_LB0=1일 때에는 3번째 라인을 스캔하는데 걸리는 시간, A_LA0가 1, A_LB0=1 일 때에는 4번째 라인을 스캔하는데 걸리는 시간을 의미한다.

따라서 신호 A_LA0은 4개의 스캔라인 중에서 1라인을 스캔하는데 걸리는 시간, 신호 A_LB0은 4개의 라인을 스캔하는데 걸리는 시간 즉, 1주기시간이라 하며, 이때에 LED 디스플레이 시스템의 리플레시율은 입력되는 영상신호의 수직 동기신호(VSYNC) 주파수와 스캔라인 신호 A_LB0의 주파수를 곱한 값이 되며 다음 식(2)와 같이 나타낼 수 있다.^[7]

$$\text{리플레시율}(R) = \text{VSYNC}[\text{Hz}] \times \text{A_LB0}[\text{Hz}] \quad (2)$$

예로써 수직 동기신호의 주파수가 60Hz이고, 스캔라인 신호 A_LB0의 주파수가 4Hz라고 하면 이 LED 디스플레이 시스템의 리플레시율은 240Hz가된다. 리플레시율이란 1초에 LED 디스플레이 시스템의 화면이 몇 번 깜박 거리냐를 나타내는 척도로써 리플레시율이 240Hz라는 것은 1초에 240번 깜박거린다는 표현이 된다.

앞에서도 언급했듯이 플리커란 빛의 깜빡거림이 느껴지는 현상을 의미하는데 동적구동방식에 의한 LED 디스플레이 시스템에서 플리커 현상을 감지할 수 없는 최소한의 리플레시율은 그림 5에 나타낸 스캔라인 선택 신호 A_LB0가 최소한 20회 이상의 순차주사를 수행하여야 하는데 이때의 리플레시율을 계산하면 $60[\text{Hz}] \times 20[\text{Hz}] = 1,200[\text{Hz}]$ 가 된다. 이 리플레시율에 의하여 LED 디스플레이 시스템에서 플리커 현상을 감지할 수 없는 즉 플리커 프리를 위한 최소한의 리플레시율을 그림6에 듀티 사이클 1/4, 1/8, 1/16 별로 나타내었다.

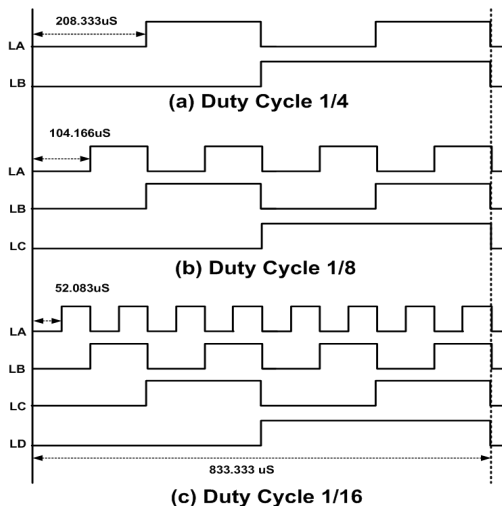


그림 6. LED 디스플레이 시스템의 플리커 현상을 감지 못하는 조건의 리플레시율 (LA, LB, LC, LD: 스캔라인선택신호)

Fig. 6. Refresh rates with no flicker in LED display system. (scan line select signal : LA, LB, LC, LD)

그림 6에 나타낸바와 같이 플리커 프리를 위한 최소한의 리플레시율을 감안하여 기존의 LED 디스플레이 시스템에 대한 플리커 현상을 계산해보기로 한다. 예로써, LPM모듈을 구성하고 있는 Driver IC의 최대 시프트클록주파수가 25MHz, 스크린 모듈의 화소 수가 64×64로 구성되고, 휘도구현 비트가 13비트, 듀티 사이클이 그림 6의 (a)와 같이 1/4이라 할 때, 기존의 디스플레이 제어장치 기술에 대한 플리커 발생유무를 설명하면 다음과 같다.

Driver IC의 최대 시프트 클록주파수가 25MHz이기 때문에 영상데이터를 시프트 하는데 걸리는 1클록시간은 40nS가 된다. 즉, 1개 화소에 영상데이터를 시프트하는데 걸리는 시간이 되기 때문에 64개 화소를 위하여 영상데이터를 시프트하는 데는 $40\text{nS} \times 64 = 2,560\text{nS} = 2.56\mu\text{S}$ 의 시간이 소요되고, 완전한 영상이 출력되기 위해서는 휘도구현 비트가 13비트이므로 표1과 그림3에 나타낸바와 같이 1개의 라인에 39회의 데이터를 시프트 해야 하기 때문에 $2.56\mu\text{S} \times 39 = 99.84\mu\text{S}$ 의 시간이 소요되며, 그림6에 나타낸 바와 같이 1개의 라인을 스캔하는데 걸리는 최대시간은 듀티 사이클이 1/4일 때에는 $208.333\mu\text{S}$ 의 시간 이내이기 때문에 플리커 현상을 감지하지 못하게 된다. 또한 휘도구현 비트로 14비트를 사용할 경우에는 표 1에 나타낸 바와 같이 시프트-래치 횟수가 71회가 되어 1개의 라인을 시프트 하는데 걸리는 최소시간은 $2.56\mu\text{S} \times 71 = 181.76\mu\text{S}$ 의 시간이 소요되기 때문에 플리커 현상을 감지하지 못하게 된다. 그러나 표 1에 나타낸 휘도구현 비트가 15비트일 경우에는 시프트-래치 횟수가 135회가 되어 1개의 라인 시프트 하는데 걸리는 최소시간은 $2.56\mu\text{S} \times 135 = 345.6\mu\text{S}$ 의 시간이 소요되기 때문에 플리커 현상이 감지되게 되며, 휘도구현 비트가 커지면 커질수록 비례하여 플리커 현상도 심하게 나타나게 된다. 지금까지의 설명은 LPM 모듈의 영상입력신호가 스캔라인 별 즉, RGB 입력신호가 각각 1개씩 총 4개로 입력되었을 때의 플리커 현상을 설명한 것이나 대부분의 LPM 모듈은 RGB 입력신호 핀을 줄이기 위하여 RGB 입력신호를 각각 2개로 구성하였을 때에는 1개의 라인 시프트 하는데 걸리는 최소시간은 2배로 늘어나게 되어 더욱더 플리커 현상은 심하게 나타나게 된다.

2. 최적의 플리커 프리를 위한 알고리즘

앞 절에서 설명한 바와 같이 플리커 현상은 휘도구현 비트가 높아지면 높아질수록, 휘도구현 펄스 수가 많아지면 많아질수록, 하드웨어 구현을 간단하게 구성하기

위하여 RGB의 입력신호 핀을 줄이면 줄일수록 플리커 현상이 심해지는 것에 대하여 설명하였다. 따라서 본 논문에서는 이와 같은 문제점을 보완하여 휘도구현 비트가 16비트, 휘도구현 펄스 수가 512개, RGB의 입력신호 핀 수와 관계없이 플리커 현상을 느끼지 못하는 최적의 플리커 프리의 알고리즘을 제안하였으며, 이 기술과 방법에 대하여 설명하면 다음과 같다.

가. 휘도구현 비트 및 펄스 수

앞 절에서 설명한 바와 같이 R, G, B 각각의 8비트 영상데이터를 LED 디스플레이 시스템의 스크린에 고 휘도로 표출하기 위해서는 앞에서 설명한 식 (1)을 이용하여 8비트 영상데이터에 gamma, gain, offset 값을 조절하여 휘도구현 비트를 16비트로 변환하여야 한다.^[8] 여기서 휘도 구현비트가 16비트일 때에 휘도 값은 0~65,535값을 갖는다. 또한 이 16비트 휘도 값을 LPM 모듈에 전송하여 영상으로 표출하기 위해서는 1비트씩 직렬 입력해야 한다. 그러나 각각의 비트별로 비트 값이 다르기 때문에 동일한 횟수로 시프트-래치를 수행할 수 없게 되어 앞에서 설명한 바와 같은 방법으로 휘도구현을 위한 기본펄스 수를 512개라고 할 때에 이를 1단위 (Unit)라 하고 시프트-래치 동작을 수행하면 되는데 이 관계를 이용하여 16비트 휘도구현을 위한 비트 값, 시프트-래치 횟수, 펄스 수와의 관계를 표 2에 나타내었다.

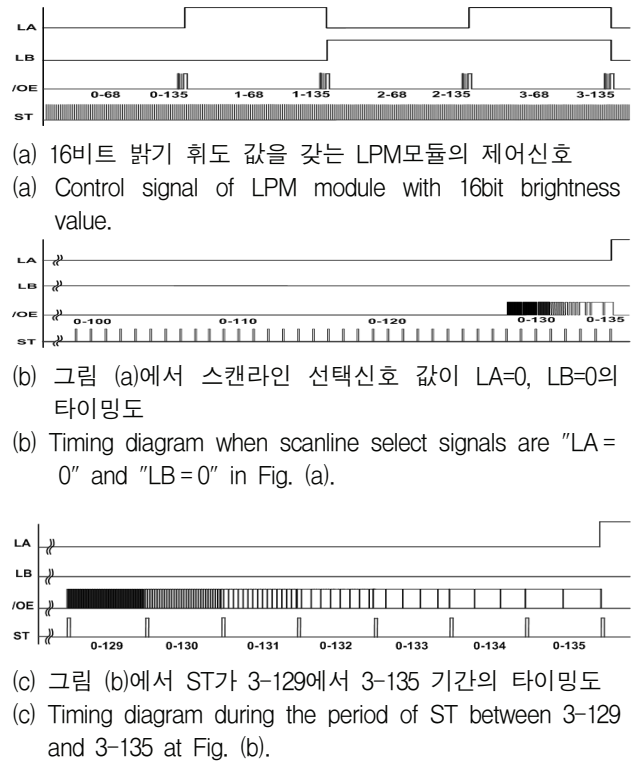
표 2. 16비트 휘도구현을 위한 해당 비트 값, 시프트-래치 횟수, 펄스 수와의 관계

Table2. Corresponding bit values, number of shift-latches, and number of pulses for 16bit brightness implementation.

비트 순서	0	1	2	3	4	5	6	7	8	9	10	11			
비트 값	1	2	4	8	16	32	64	128	256	512	1024	2048			
시프트-래치 횟수	0	1	2	3	4	5	6	7	8	9	10	11	12	...	15
휘도구현 펄스 수	1	2	4	8	16	32	64	128	256	512	512	512	512	...	512

비트 순서	12	13	14	15								
비트 값	4096	8192	16384	32768								
시프트-래치 횟수	16	...	23	24	...	39	40	...	71	72	...	135
휘도구현 펄스 수	512	...	512	512	...	512	512	...	512	512	...	512

또한 표 2를 이용하여 듀티 사이클이 1/4인 LED 디스플레이 시스템의 LPM 모듈에 입력되는 제어신호들 중에서 /OE신호, ST신호, 스캔라인 선택신호(LA, LB)들에 대한 타이밍 관계를 그림 7에 나타내었다.



(a) 16비트 밝기 휘도 값을 갖는 LPM모듈의 제어신호
(a) Control signal of LPM module with 16bit brightness value.

(b) 그림 (a)에서 스캔라인 선택신호 값이 LA=0, LB=0의 타이밍도
(b) Timing diagram when scanline select signals are "LA=0" and "LB=0" in Fig. (a).

(c) 그림 (b)에서 ST가 3-129에서 3-135 기간의 타이밍도
(c) Timing diagram during the period of ST between 3-129 and 3-135 at Fig. (b).

그림 7. 16비트 휘도구현을 위한 LPM모듈의 제어신호 (듀티 사이클 1/4에서 /OE 신호, ST신호, 스캔라인 선택신호(LA, LB))

Fig. 7. Timing diagram of control signal for LPM module to implement 16 bit brightness. (/OE signal, ST signal, and scanline select signal for 1/4 duty cycle)

앞에서 설명한 바와 같은 방법으로 디스플레이 제어장치를 설계할 경우에는 표 2와 그림 7에 나타낸바와 같이 1개의 라인에 136회의 데이터를 시프트 해야 하기 때문에 $2.56\mu s \times 136 = 348.16\mu s$ 의 시간이 소요되며 플리커 현상은 심하게 나타나게 된다.

나. 새로운 시프트_래치 방법

앞 절에서 설명한 기존의 시프트-래치 방법에서는 표 2에 나타낸 바와 같이 한 개의 스캔라인에 대하여 시프트-래치를 휘도구현 비트가 16비트일 때에는 136회를 순차적으로 수행함으로써 리플레이션이 낮아지는 결과를 가지므로 리플레이션의 증가를 위하여 1개의 스캔라인에 136회의 데이터를 시프트-래치하는 방법에서 8회씩 분리하여 17회에 걸쳐 시프트-래치하는 방법을 사용하면 총 체적으로 시간은 똑같이 소요되나 리플레이션이 증가하여 플리커 현상을 감지할 수 없게 된다. 이와 같이 리플레이션의 증가를 위하여 표 2를 변형하여 재구성한 방법을 표 3에 나타내었다.

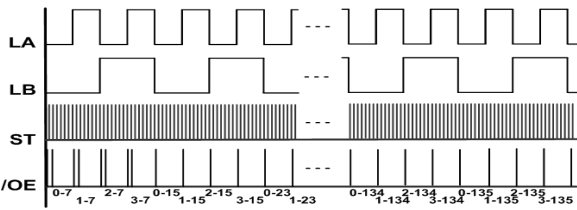
표 3. 리플레시율의 증가를 위한 표 4의 변형된 비트 값, 시프트_래치 횟수, 펄스 수와의 관계 (16비트 휘도 값)

Table3. Bit values, number of shift-latches, and number of pulses modified from Table 4. to increase refresh rate.

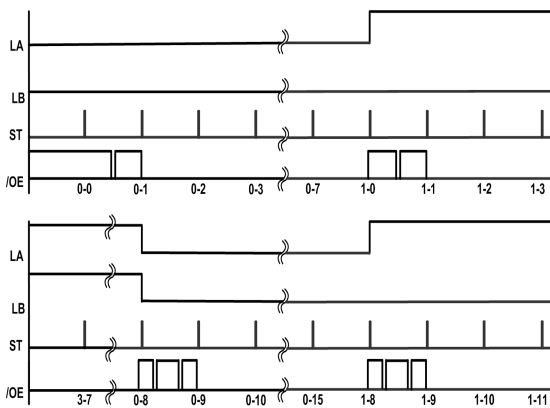
비트 순서	0	1	2	3	4	5	6	7	8	9	10	11			
비트 값	1	2	4	8	16	32	64	128	256	512	1024	2048			
시프트 래치 횟수	0	1	2	3	4	5	6	7	8	9	10	11	12	...	15
휘도구현 펄스 수	1	2	4	8	16	32	64	128	256	512	512	512	512	...	512

비트 순서	12	13	14	15								
비트 값	4096	8192	16384	32768								
시프트 래치 횟수	16	...	23	24	...	39	40	...	71	72	...	135
휘도구현 펄스 수	512	...	512	512	...	512	512	...	512	512	...	512

표 3을 이용하여 듀티 사이클이 1/4인 LED 디스플레이 시스템의 LPM 모듈에 입력되는 제어신호들 중에서 /OE신호, ST신호, 스캔라인선택신호(LA, LB)들에 대한 타이밍 관계를 그림 8에 나타내었다.^[9]



(a) 16비트 밝기 휘도 값을 갖는 LPM모듈의 제어신호
(a) Control signal of LPM module with 16bit brightness value.



(b) (a)를 확대한 LPM모듈의 제어신호
(b) Control signal of LPM module magnified from (a).

그림 8. 제안한 방법에 의한 16비트 휘도구현을 위한 LPM 모듈의 제어신호의 타이밍도(듀티 사이클 1/4에서 /OE 신호, ST신호, 스캔라인 선택신호(LA, LB))

Fig. 8. Timing diagram of control signal for LPM module to implement 16 bit brightness based on the proposed method. (/OE signal, ST signal, and scanline select signal for 1/4 duty cycle)

표 4. 제안된 플리커 프리 알고리즘에 의한 리플레시율 (듀티 사이클 1/4, 1/8, 1/16)

Table4. Refresh rates on the proposed flicker-free algorithm. (duty cycles of 1/4, 1/8, and 1/16)

스크린 모듈														
듀티 사이클	최대클록주수 (MHz)	화소 수	입력비트 수	시프트시간 (uS)	도트 휘도비트	색현위시프트-래치 (ST) 횟수	표현위시프트-래치 횟수	휘도구현을 위한 펄스 수	스캔 라인 래치 (ST)		색 표현을 위한 스캔 횟수	1/60초 당 반복 횟수	스캔 라인 당 시프트-래치 (ST) 최대 시간(uS)	리플레시율 (Hz)
									횟수	최소 시간 (uS)				
Ds	B	C	D	Ts	E	G	Ns	S=Ts×Ns	K=E/Ns	O	TP=(((1/60)/(K×O))×Ds)	R=60×K×O		
1/4	25	64	2	5.12	16	136	512	8	40.96	17	2	130.208	2,040	
	25	192	2	15.36	16	136	512	8	122.88	17	2	130.208	2,040	
1/8	25	64	2	2.56	16	136	512	8	20.48	17	2	65.104	2,040	
	25	192	2	7.68	16	136	512	8	61.44	17	2	65.104	2,040	
1/16	25	64	1	2.56	16	136	512	8	20.48	17	2	32.552	2,040	
	25	96	1	3.84	16	136	512	8	30.72	17	2	32.552	2,040	

시간 계산	• 1/60초 동안의 스캔 횟수 : 32(색 표현을 위한 스캔횟수×1/60초 당 반복횟수)
	• 32회 스캔시간(색 표현을 위한 스캔횟수×1/60초 당 반복횟수): 16.6667mS/32=520.833uS
	- 듀티 사이클 1/4일 때 1라인 스캔시간 : 520.833uS / 4 = 130.208uS
	- 듀티 사이클 1/8일 때 1라인 스캔시간 : 520.833uS / 8 = 65.104uS
- 듀티 사이클 1/16일 때 1라인 스캔시간 : 520.833uS / 16 = 32.552uS	

그림 8에 나타난 타이밍도에서 ST신호 즉, 0-0, 0-1, ..., 0-7, 1-0, 1-1, ..., 1-7, ..., 3-133, 3-134, 3-135까지가 완전한 색을 표현할 수 있는 시프트-래치 횟수라고 하며, 각각의 스캔라인은 8개의 시프트-래치 횟수로 구성되고 여기서 0-0, 0-1, ..., 0-7은 스캔라인이 0번째 (LA=0, LB=0)의 ST 신호이며, 1-0, 1-1, ..., 1-7은 스캔라인이 1번째(LA=1, LB=0)의 ST 신호이며, ..., 3-0, 3-1, ..., 3-7은 스캔라인이 3번째(LA=1, LB=1)의 ST 신호이다. 이와 같은 방법으로 시프트-래치가 각각의 스캔라인 별로 다음과 같이 0-0, ..., 0-7, 1-0, ..., 1-7, 2-0, ..., 2-7, 3-0, ..., 3-8, 0-8, ..., 0-15, 1-8, ..., 1-15, 2-8, ..., 2-15, 3-8, ..., 3-15, ..., 0-128, ..., 0-135, 1-128, ..., 1-135, 2-128, ..., 2-135, 3-128, ..., 3-135 까지 8회 씩 17번에 걸쳐서 수행되는데 결과적으로 136회의 시프트-래치가 수행된다.^[5]

본 논문에서 제안한 방법은 표 3과 그림 8에 나타난 바와 같이 한 개의 스캔라인에 8개의 시프트-래치 동작을 17회 동안 반복적으로 수행할 수 있도록 하여 리플레시주파수를 증가하도록 하였다. 즉, 완전한 색 표현을 위한 각각의 라인에 대한 스캔횟수(17)는 완전한 색을 표현할 수 있는 시프트-래치 횟수(136)를 한 스캔라인 당 시프트-래치 횟수(8)로 나눈 값이 되기 때문에 1/60초 당 완전한 색 표현을 위한 각각의 라인에 대한 반복 스캔횟수가 2회 일 때에 리플레시주파수는 60[Hz]×17×

2 = 2,040[Hz]가 된다. 따라서 리플레시주파수가 2,040 [Hz]로 매우 높기 때문에 플리커 현상을 감지할 수 없게 된다. 이와 같은 방법을 이용하여 듀티 사이클이 1/4, 1/8, 1/16에서의 리플레시율이 2,040[Hz]가 되는 클럭주파수, 입력비트수, 휘도구현비트 등의 관계를 표 4에 나타내었다.

표 4에 나타낸 바와 같이 제안된 최적의 프리커 프리 알고리즘을 사용하여 디스플레이 제어장치를 구현하면 휘도구현 비트 16비트, 휘도구현 펄스 수 512개, 리플레시율이 2.04[KHz]에서 스크린 모듈의 크기를 결정 짓는 가로, 세로의 화소 수는 최대 듀티 사이클 1/4, 1/8에서는 192 화소, 듀티 사이클 1/16에서는 96화소까지 구성할 수 있게 된다.

IV. 디스플레이 제어장치의 설계 및 제작

본 논문에서는 앞 에서 설명한 그림1의 LED 디스플레이 시스템의 디스플레이 제어장치의 구성도를 이용하여 새롭게 제안한 최적의 프리커 프리를 위한 알고리즘을 적용한 휘도구현 비트를 16비트, 휘도구현 펄스 수를 512개, 리플레시율이 2,040[Hz]를 갖는 디스플레이 제어장치를 구현하였으며 그림 9에 나타내었다.

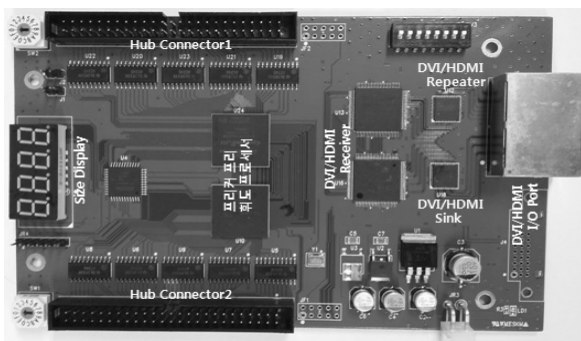


그림 9. 제작된 디스플레이 제어장치
Fig. 9. Manufactured display controller.

그림 9에 나타낸 디스플레이 제어장치는 LED 디스플레이 시스템의 화면 해상도를 Full HD급(1920×1080) 이상까지 구현하기 위하여 DVI/HDMI Sink부와 Repeater부를 구성하는 IC는 TI사의 DVI, HDMI Extended Reach Equalizer with Retimer and Output De-Emphasis의 기능을 갖는 DS22EV5110ASQ를 사용하였으며, DVI/ HDMI 리시버부는 Dual Link HDCP Receiver인 SiI 1169 IC를 사용하였으며, 휘도 및 색상 제어장치는 ALTERA 사에서 제작한 EP3C16F256C8의 FPGA를 사용하였다. 그리고 FPGA의 설계 툴은 QuartusII ver9.1에서 로직설계 및 시뮬레이션을 수행하였다.

그리고 제작한 디스플레이 제어장치의 성능테스트를 위하여 듀티 사이클이 각각 1/4, 1/8로 구성된 LPM 모듈을 이용하여 화면크기가 가로, 세로의 화소수가 64×64이며 듀티 사이클이 1/4인 스크린 모듈과 화면크기가 가로, 세로의 화소 수가 64×128이며, 듀티 사이클이 1/8인 스크린 모듈 제작하여 LED 디스플레이 시스템을 구성시켰으며 그림 10에 나타내었다.



그림 10. 제작된 LED 디스플레이 시스템
Fig. 10. Manufactured LED display system.

제작된 LED 디스플레이 시스템은 먼저 PC의 HDMI 포트의 출력을 앞에서 설명한 그림 2와 같이 듀티 사이클이 1/4인 스크린 모듈의 디스플레이 제어장치에 연결하고 DVI/HDMI Repeater의 출력신호를 18m 이상의 UTP CAT.6 케이블을 이용하여 듀티 사이클이 1/8인 스크린 모듈에 연결하여 제작된 디스플레이 장치가 정상적으로 동작하는지를 테스트하였으며, 그림 11에 영상을 표출하는 모습을 나타내었다. 그리고 PC를 대신하여 DVD 플레이어를 이용하여 디스플레이 제어장치가 정상적으로 동작하는지를 테스트하였으며, 그림 12에 영상을 표출하는 모습을 나타내었다.

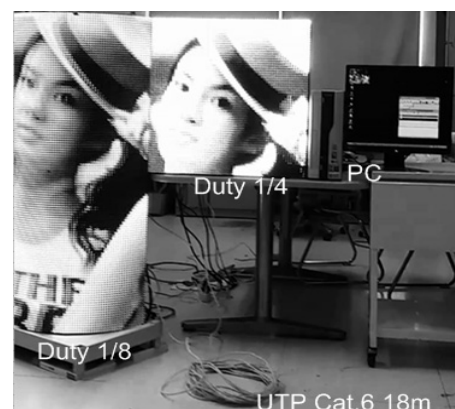


그림 11. PC를 이용한 영상표출 모습
Fig. 11. Image display using PC.

PC와 DVD 플레이어의 해상도는 1920×1080×24비트를 이용하여 PC의 영상은 LED 디스플레이 시스템 전용의 미디어 플레이어 소프트웨어를 사용하여 화면의 크기를 변환하여 표출하였으며, DVD 플레이어는 PC와 같이 화면크기를 변환하는 기능이 내장되어 있지 않기 때문에 Full HD급(1920×1080×24비트)의 영상을 디스플레이 제어장치에 내장되어 있는 화면크기 변환기를 사용하여 영상을 표출하였으며 그림 12에 나타내었다.



그림 12. DVD Player를 이용한 영상표출 모습
Fig 12. Image display using DVD player.

IV. 결 론

본 논문에서는 LED 디스플레이 시스템의 동적인 구동방식에서 모듈의 구성에 관계없이 휘도구현 비트를 16비트 이내, 휘도 구현 펄스를 512개 이내에서 최적의 플리커 프리 제어 알고리즘을 개발하고 이 알고리즘을 이용하여 디스플레이 제어장치를 구현하였다. 구현방법으로는 완전한 색 표현을 위한 기존의 시프트-래치 방법을 변형하여 여러 번의 시프트-래치를 수행하게 함으로써 스캔횟수를 늘림으로써 리플레시율을 증가시키는 방법을 사용하였다. 그 결과로 기존의 LED 디스플레이 시스템은 리플레시율이 240~480[Hz]를 수행하지만 제안된 방법을 사용하면 리플레시율을 2,040[Hz] 이상으로 높게 구현할 수 있기 때문에 플리커 현상을 감지할 수 없게 된다.

REFERENCES

[1] Anni Berger-Schunn, "Practical Color Measurement a Primer for the Beginner, a Reminder for the Expert," Wiley Series in Pure and Applied Optics Published, 2003.

- [2] B. Jeon and J. Jeong, "Blocking artifacts reduction in image compression with block boundary discontinuity criterion," IEEE Trans. Circuits and Systems for Video Tech., Vol. 8, no. 3, pp. 345-357, June 1998.
- [3] U. Michael, "Spline-A Perfect Fit for Signal and Image Processing," IEEE Signal Processing Magazine, pp. 22-38, Nov. 1999.
- [4] Rafael C. Gonzales, and Richard E. Woods, "Digital Image Processing" Addison-Wesley, 1987.
- [5] Jongha Lee, "Color control Device of Dot Matrix Type Image Display System" Registration No. 0331762, Korean Intellectual Property Office, 2002.
- [6] J. Jung, G. Laroche "Competition-Based Scheme for Vector Selection and Coding," ITU-TSG16/Q.6 Doc. VCEG-AC06, Klagenfurt, Austria, July, 2006.
- [7] M. Unser, A. Aldroubi, and M. Eden, "Fast B-spline transforms for continuous image representation and interpolation," IEEE Trans. on Pattern Analysis and Machine Intelligence vol. 13, pp. 277-285, Mar. 1991.
- [8] Graham D.F. and Paul M.H, "Color by relation: A simple, unifying framework for color constancy," IEEE Trans. on Pattern Analysis and Machine Intelligence, vol23, no. 11,00. pp. 1209-1221, Nov. 2002.
- [9] DTS Technology Inc. "Data Sheet : Full Color LED Driver DTS 0948Q," DTS Technology Inc, 2007.

저 자 소 개



이 주 연(정회원)
2006년 원광대학교 전기공학부 학사 졸업.
2010년 전북대학교 전자공학과 석사 졸업.
2015년 전북대학교 전자공학과 박사 수료.

2015년~현재 제이라이텍 연구소장
<주관심분야: 임베디드 시스템, 디지털신호처리, 마이크로 프로세스>



김 대 순(정회원)
1995년 원광대학교 전자공학과 박사 졸업.
1993년 한국전자통신연구소 위촉 연구원.
2000년 (주)대우전자 반도체연구소 책임연구원.

2016년~현재 전주비전대학교 디지털전자정보과 교수
<주관심분야: 임베디드 시스템, 집적회로 설계, Smart Farm, ADAS>



이 중 하(정회원)
1982년 전북대학교 전기공학과 학사 졸업.
1984년 전북대학교 전자계산기 공학석사 졸업.
1993년 전북대학교 전자공학과 박사 졸업.

1990년~현재 전주비전대학교 디지털전자정보과 교수.
<주관심분야: 디지털신호처리, OLED TV>