

금속-산화막-반도체 전계효과 트랜지스터의 불순물 분포 변동 효과에 미치는 이온주입 공정의 영향

Effect of Random Dopant Fluctuation Depending on the Ion Implantation for the Metal-Oxide-Semiconductor Field Effect Transistor

박재현*, 장태식*, 김민석**, 우솔아**, 김상식**
Jae Hyun Park*, Tae-sig Chang*, Minsuk Kim**, Sola Woo**, Sangsig Kim**

Abstract

In this study the influence of the random dopant fluctuation (RDF) depending on the halo and LDD implantations for the metal-oxide-semiconductor field effect transistor is investigated through the 3D atomistic device simulation. For accuracy in calculation, the kinetic monte carlo method that models individual impurity atoms and defects in the device was applied to the atomistic simulation. It is found that halo implantation has the greater influence on RDF effects than LDD implantation; three-standard deviation of V_{TH} and I_{ON} induced by halo implantation is about 6.45 times and 2.46 times those of LDD implantation. The distributions of V_{TH} and I_{ON} are also displayed in the histograms with normal distribution curves.

요약

본 연구에서는 금속-산화막-반도체 전계효과 트랜지스터의 불순물 분포변동 효과에 미치는 halo 및 LDD 이온주입 공정의 영향을 3차원 소자 시뮬레이션을 통하여 확인하였다. 정확한 시뮬레이션 계산을 위해 kinetic monte carlo 모델을 적용하여 불순물 입자와 결함 낱알의 거동을 계산하는 원자단위 시뮬레이션을 수행하였다. 문턱전압 및 on-current의 산포를 통해 확인한 결과 halo 이온주입 공정이 LDD 이온주입 공정보다 문턱전압 산포의 경우 약 6.45배 그리고 on-current 산포의 경우 2.46배 더 큰 영향을 미치는 특성을 확인하였다. 그리고 문턱전압과 on-current 산포를 히스토그램으로 나타내어 그 산포를 정규분포로 확인하였다.

Key words : Random dopant fluctuation, dynamic random access memory, implantation, simulation, MOSFET

* Dept. of Semiconductor Systems Engineering,
Korea University

** Dept. of Electrical Engineering, Korea University

★ Corresponding author

(e-mail: changts@korea.ac.kr, tel: 02-3290-5941)

(e-mail: sangsig@korea.ac.kr, tel: 02-3290-3245)

※ Acknowledgment

“This work was funded by SK Hynix Inc.”

Manuscript received Mar.24, 2017; revised Mar.28, 2017;

accepted Mar.29, 2017

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

1. 서론

지난 50여 년 간 반도체 산업은 무어의 법칙에 따라 미세공정을 활용하여 끊임없이 회로선폭을 감소시켜 반도체 성능과 수율을 높일 수 있었다 [1][2]. CMOS 공정 미세화에 따라 금속-산화막-반도체 전계 효과 트랜지스터 (MOSFET)의 스위칭 성능은 향상이 되고 동적 램 (dynamic random access memory)의 센스 증폭기 (sense amplifier)의 구성요소로 사용되고 있다 [3]. 지속적인 트랜지스터 스케일링으로 공정산포 (process variation)가 발생하게 되며 공정산포는 트랜지스터 간 전기적 특성의 불일치를 야기하고 메모리

안정성의 열화를 초래하고 있다 [4]. MOSFET의 공정에서 공정산포의 전형적인 원인에는 불순물 분포변동 효과 (RDF), 게이트 산화물의 두께산포 효과, 선 가장자리 거칠기 효과, 일함수산포 효과 등이 있다 [5]. 그 중 공정산포의 가장 지배적인 원인으로 이온주입 공정에서 발생하는 RDF가 보고되고 있다 [6][7].

RDF는 트랜지스터의 이온주입 공정으로 불순물의 위치와 밀도가 무질서하게 변동하는 현상이다. 특히 채널 영역에서의 불순물 분포변동 효과는 벌크 MOSFET의 문턱전압의 변화를 유발하는 주요한 원인으로 보고되고 있다 [8]. 따라서 본 연구에서는 technology computer-aided design (TCAD) 시뮬레이션을 통하여 MOSFET의 이온주입 공정에서 채널 영역 도핑농도에 영향을 주는 halo 이온주입 공정과 lightly doped drain (LDD) 이온주입 공정으로 인한 RDF 영향을 문턱전압 (V_{TH})과 on-current (I_{ON})의 산포의 변화를 통하여 알아보하고자 한다.

II. 소자 구조 및 시뮬레이션 방법

본 시뮬레이션 연구에서 구현한 MOSFET 소자는 n-channel MOSFET (NMOS)이며 그 구조는 그림 1과 같다. 소자의 채널과 절연막 물질은 집적회로에서 주로 사용되는 CMOS 공정기술에 따라 실리콘과 SiO_2 를 사용하였다. 그리고 게이트 물질은 고농도의 도핑을 하여 전도도를 높인 polysilicon을 사용하였으며 소스 및 드레인 전극 물질로 텅스텐을 활용하였다. 소자의 크기는 그림 1에 표기된 것처럼 채널 길이 (L_{CH}) 120 nm, 채널 폭 500 nm, 게이트 절연막 (T_{OX}) 2 nm으로 설정하였다. NMOS를 형성하기 위해 p-타입 기판에 halo, LDD, 소스/드레인 이온주입 공정을 수행하여 소스 및 드레인 영역에 n-타입의 고농도 도핑을 형성하였다.

본 시뮬레이션 연구는 MOSFET의 halo 및 LDD 이온주입 공정에 따른 RDF 특성을 비교하기 위해 3차원 소자 공정시뮬레이터인 Synopsys의 Sentaurus Process [9] (L-2013.03)를 활용하여 시뮬레이션을 수행하였다. 정확한 시뮬레이션 계산을 위해 kinetic monte carlo (KMC) model을 사용하여 입자 낱알의 거동을 계산하는 atomistic

시뮬레이션을 함으로써 RDF 특성을 확인할 수 있었다. 또한 bandgap narrowing, high field saturation, transverse field dependence mobility, Shockley-Read-Hall recombination 모델을 활용하여 데이터를 얻었다.

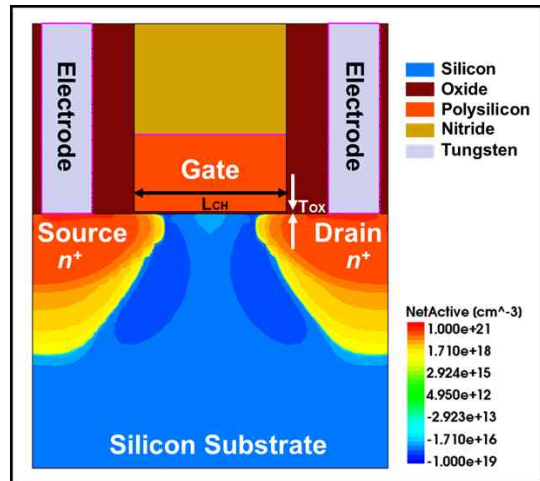


Fig. 1. Structure of simulated MOSFET device
그림 1. 시뮬레이션 된 MOSFET 구조

III. 시뮬레이션 결과 및 고찰

NMOS는 n-p-n 트랜지스터로서 게이트에 문턱전압 이상의 전압이 인가되면 게이트 아래 실리콘 표면에 전자가 축적되어 채널이 형성되는 소자이다. 드레인 전압에 의해 전자는 채널을 통해 소스에서 드레인으로 표동(drift)하며 게이트 전압을 조절함으로써 트랜지스터로 동작하게 된다.

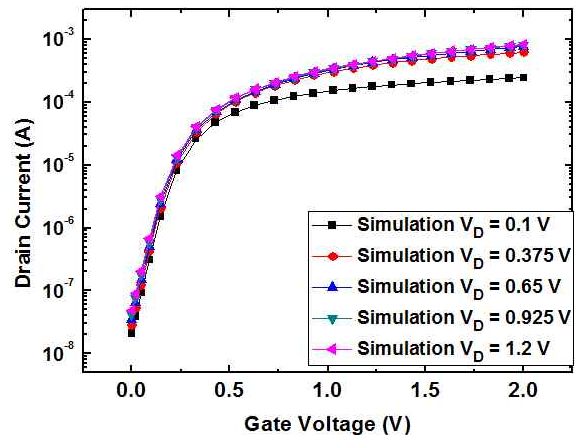


Fig. 2. $I_{DS}-V_{GS}$ graph of the simulated device
그림 2. 시뮬레이션 소자의 $I_{DS}-V_{GS}$ 그래프

그림 2는 $V_{DS} = 0.1, 0.375, 0.65, 0.925, 1.2$ V에서 시뮬레이션으로 구현한 NMOS의 스위칭동작 특성을 보여준다. 드레인 전압이 0.1, 0.375, 0.65, 0.925, 1.2 V에서 76.7, 76.2, 76.2, 76.4, 76.6 mV/dec의 문턱전압이하 기울기 (subthreshold swing) 수치를 얻으며 상온에서 MOSFET의 물리적 한계인 60 mV/dec의 문턱전압이하 기울기에 근접한 수치를 얻었음을 확인하였다. On-current와 off-current의 경우 드레인 전압 1.2 V에서 $\sim 8.27 \times 10^{-4}$ A의 on-current와 $\sim 4.88 \times 10^{-8}$ A의 off-current의 수치를 얻었다. 또한 드레인 유기 장벽감소 (drain induced barrier lowering)의 경우 94.54 mV/V의 수치를 얻었다. 이렇게 얻은 $I_{DS}-V_{GS}$ 그래프를 기반으로 KMC model을 활용하여 halo 및 LDD 이온주입 공정에 따른 RDF 효과에 대한 논의를 진행하고자 한다.

KMC 모델은 불순물과 결함(defect)의 거동을 계산하기 때문에 이온주입 공정으로 실리콘에 주입되는 불순물의 분포변동을 결정하는데 적합한 atomistic 시뮬레이션 모델이다 [10].

그림 3은 halo 또는 LDD 이온주입 공정에만 KMC 모델을 적용하여 각 이온주입 공정에 따른 RDF 특성을 보여준다. 그림 3에서 (a)와 (b)는 각각 100 번의 반복 시뮬레이션 시행으로 얻은 $I_{DS}-V_{GS}$ 곡선 100개를 보여주며 산포의 경우 드레인 전압 1.2 V에서 halo 이온주입 공정은 21.3 mV의 $3\sigma(V_{TH})$ 과 5.9 μ A의 $3\sigma(I_{ON})$ 이 계산되었고 LDD 이온주입 공정은 3.3 mV의 $3\sigma(V_{TH})$ 과 2.4 μ A의 $3\sigma(I_{ON})$ 이 산출되었다. 이 결과를 통해 halo 이온주입 공정이 LDD 이온주입 공정보다 문턱전압 산포의 경우 약 6.45배, on-current 산포의 경우 약 2.46배 더 크게 영향을 주는 것을 확인하였다.

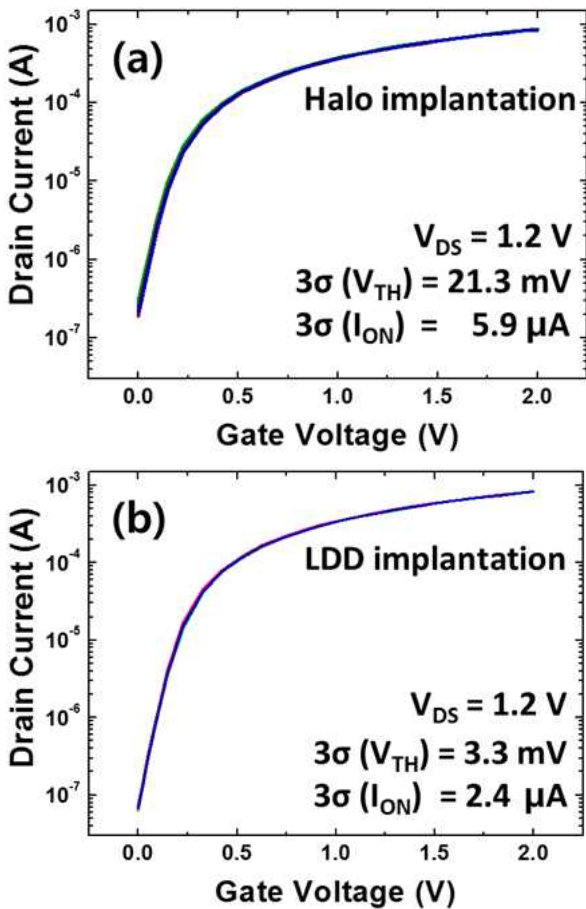


Fig. 3. RDF effects depending on the implantation (100 cases each) (a) halo implantation (b) LDD implantation

그림 3. 이온주입 공정에 따른 RDF 특성 (각각 100개) (a) halo 이온주입 공정 (b) LDD 이온주입 공정

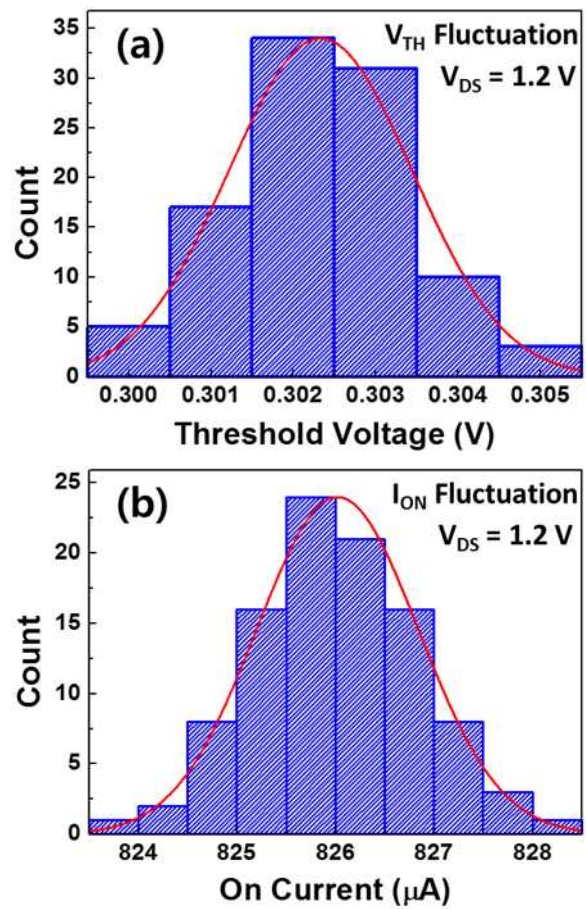


Fig. 4. Histogram of V_{TH} and I_{ON} fluctuation by the implantation (100 cases each) (a) V_{TH} fluctuation (b) I_{ON} fluctuation

그림 4. 이온주입 공정에 따른 V_{TH} 와 I_{ON} 산포 히스토그램 (각각 100개) (a) V_{TH} 산포 (b) I_{ON} 산포

그림 4는 반복 시뮬레이션 시행을 통해 얻은 100 개의 소자에서 이온주입 공정에 따른 RDF 효과를 적용하여 문턱전압과 on-current 산포를 추출하여 히스토그램으로 나타낸 것이다. 이를 통해 문턱전압과 on-current의 산포가 정규분포를 따르는 것을 알 수 있었다.

결과적으로 그림 3과 그림 4에서 볼 수 있듯이 halo 이온주입 공정이 LDD 이온주입 공정보다 RDF에 의한 문턱전압 및 on-current 산포에 더 큰 영향을 미친다는 것을 확인하였다. 문턱전압과 on-current의 산포는 트랜지스터의 동작에 큰 영향을 미치기 때문에 산포를 감소시키기 위해서는 halo 이온주입 공정에 따른 채널영역에 주입되는 불순물 농도를 감소시켜야 할 것이다.

IV. 결론

본 연구에서는 MOSFET의 불순물 분포변동 효과에 미치는 halo 및 LDD 이온주입 공정의 영향을 문턱전압 및 on-current의 산포를 통하여 확인하였다. 불순물 분포변동 효과는 LDD 이온주입 공정보다는 halo 이온주입 공정에 의한 영향이 크기 때문에 halo 이온주입 공정의 dose량과 energy 등을 감소시킴으로써 공정 산포개선을 통하여 트랜지스터 간 전기적 특성 불일치를 줄일 수 있을 것이다.

References

[1] C. Mack, "Fifty years of Moore's law," *IEEE Transactions on Semiconductor Manufacturing*, vol. 24, no. 2, pp. 202-207, 2011.
DOI : 10.1109/TSM.2010.2096437

[2] M. Jo, "The Extraction Method of LDD NMOSFET's Metallurgical Gate Channel Length," *j.inst.Korean.electr.electron.eng*, vol. 3, no. 1, pp. 118-125, 1999.
DOI : 10.7471/ikeee.1999.3.1.118

[3] R. Sarpeshkar, J. Wyatt, N. Lu, and P. Gerber, "Mismatch sensitivity of a simultaneously latched CMOS sense amplifier," *IEEE Journal of Solid-State Circuits*, vol. 26, no. 10, pp. 1413-1422, 1991.
DOI : 10.1109/4.90096

[4] C. Michael and M. Ismail, "Statistical modeling of device mismatch for analog MOS integrated circuits," *Journal of Solid-State Circuits*, vol. 27, no. 2, pp. 154-166, 1992.
DOI : 10.1109/4.127338

[5] C. Shin, *Variation-Aware Advanced CMOS Devices and SRAM*, Springer, 2016.
DOI : 10.1007/978-94-017-7597-7

[6] T. Mizuno, J. Okamura, and A. Toriumi, "Experimental study of threshold voltage fluctuation due to statistical variation of channel dopant number in MOSFETs," *IEEE Transactions on Electron Devices*, vol. 41, no. 11, pp. 2216-2221, 1994.
DOI : 10.1109/16.333844

[7] W. Lii, "Modeling of delay variability due to random dopant fluctuation in nano-scale CMOS inverter," *Proceedings of International Conference on Information Science, Electronics and Electrical Engineering (ISEEE2014)*, 2014.
DOI : 10.1109/InfoSEEE.2014.6948090

[8] K. Takeuchi, T. Tatsumi, and A. Furukawa, "Channel engineering for the reduction of random-dopant-placement-induced threshold voltage fluctuation," *Proceedings of IEEE International Electron Devices Meeting (IEDM1997)*, 1997.
DOI : 10.1109/IEDM.1997.650512

[9] Synopsys Inc., *Sentaurus User's Manual* (vol. 2016. 03.), Synopsys Inc., 2016.

[10] T. Ezaki, T. Ikezawa, and Masami Hane, "Investigation of realistic dopant fluctuation induced device characteristics variation for sub-100 nm CMOS by using atomistic 3D process/device simulator," *Proceedings of IEEE International Electron Devices Meeting (IEDM2002)*, 2002.
DOI : 10.1109/IEDM.2002.1175841