

2.496Gb/s MIPI M-PHY를 위한 기준 클럭이 없는 이중 루프 클럭 데이터 복원 회로

김영웅 · 장영찬*

A 2.496 Gb/s Reference-less Dual Loop Clock and Data Recovery Circuit for MIPI M-PHY

Yeong-Woong Kim · Young-Chan Jang*

School of Electronic Engineering, Kumoh National Institute of Technology, Gumi 39177, Korea

요 약

본 논문은 2.496Gb/s 데이터 레이트를 갖는 mobile industry processor interface (MIPI) M-PHY를 위한 기준 클럭이 없는 이중 루프 클럭 데이터 복원 회로(CDR : Clock and Data Recovery Circuit)를 제안한다. 제안하는 클럭 데이터 복원회로는 적응형 루프 대역폭 조절 기법을 사용하여 적은 타임 지터를 가지면서 빠른 고정 시간을 가질 수 있다. 클럭 데이터 복원회로는 주파수 고정 루프와 위상 고정 루프로 이루어진다. 제안하는 2.496Gb/s 기준 클럭이 없는 이중 루프 클럭 데이터 복원 회로는 1.2V 공급 전압을 갖는 65nm CMOS 공정을 이용하여 설계되었다. 2.496Gb/s pseudo-random binary sequence (PRBS)15 입력에서 시뮬레이션 된 출력 클럭의 타임 지터는 9.26ps_{p-p}이다. 클럭 데이터 복원 회로의 면적과 전력 소모는 각각 400 × 470μm²와 6.49mW이다.

ABSTRACT

This paper presents a reference-less dual loop clock and data recovery (CDR) circuit that supports a data rate of 2.496 Gb/s for the mobile industry processor interface (MIPI) M-PHY. An adaptive loop bandwidth scheme is used to implement the fast lock time maintaining a low time jitter. To this scheme, the proposed CDR consists of two loops for a frequency locked loop and a phase locked loop. The proposed 2.496 Gb/s reference-less dual loop CDR is designed using a 65 nm CMOS process with 1.2 V supply voltage. The simulated peak-to-peak jitter of output clock is 9.26 ps for the input data of 2.496 Gb/s pseudo-random binary sequence (PRBS) 15. The active area and power consumption of the implemented CDR are 470 × 400 μm² and 6.49 mW, respectively.

키워드 : MIPI M-PHY, 클럭 데이터 복원 회로, 루프 대역폭 조절

Key word : MIPI M-PHY, Clock and data recovery (CDR), Loop band-width control

Received 22 December 2016, Revised 17 January 2017, Accepted 26 January 2017

* Corresponding Author Young-Chan Jang (E-mail:ycjang@kumoh.ac.kr, Tel:+82-54-478-7434)

School of Electronic Engineering, Kumoh National Institute of Technology, Gumi 39177, Korea

Open Access <https://doi.org/10.6109/jkiice.2017.21.5.899>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서 론

최근 차세대 모바일 인터페이스 응용 분야에서 회로의 복잡도와 큰 대역폭이 요구됨에 따라서 카메라 인터페이스, 메모리 인터페이스, 디스플레이 인터페이스의 입출력 동작 속도는 지속적으로 증가하고 있다. 이에 따라 인터페이스 분야에서는 직렬 데이터 송수신 및 클럭 임베디드 데이터 송수신 방식이 도입되었다. 1.248Gb/s ~ 5.830Gb/s의 데이터 레이트를 지원하는 MIPI M-PHY는 모바일 응용 분야를 위한 직렬 고속 인터페이스 표준으로 발표되어 개발되었다[1-4]. Mobile industry processor interface (MIPI) M-PHY는 클럭 송신으로 인한 전력 소모를 줄이기 위해 수신 측에서 수신된 데이터로부터 클럭을 복원해야 하는 클럭 데이터 복원 (CDR : Clock and Data Recovery) 회로가 사용된다. 최근 발표된 CDR 회로는 위상 보간기, 혹은 델타-시그마 모듈레이터를 이용한 디지털 설계 기법에 의해 5Gbps 급 이상의 데이터 레이트를 위한 저전력 CDR을 구현하였다[5-7]. 그러나 이와 같은 설계 방법은 1Gbps ~ 2Gbps 급의 데이터 레이트를 위한 CDR을 구현할 경우 상대적으로 하드웨어의 증가시키고 복원된 클럭의 타임 지터 특성을 악화시킬 수 있다.

본 논문에서는 MIPI M-PHY의 HS-G2A 모드를 지원하는 2.496Gb/s 기준 클럭 없이 인가되는 데이터를 이용하여 동기 된 클럭을 복원하는 이중 루프 CDR 회로를 제안한다. 제안된 이중 루프 클럭 데이터 복원 회로는 출력 클럭이 목표 주파수에 도달하게 되면 클럭 데이터 복원 회로의 루프 대역폭 조절하여 출력 클럭의 타임 지터 성능을 개선시킨다[8, 9].

II. 본 론

그림 1(a)는 제안하는 2.496Gb/s 데이터 레이트를 갖는 이중 루프 CDR의 블록도이다. 제안하는 CDR은 주파수 고정 루프와 위상 고정 루프로 이루어진다. 주파수 고정 루프는 디지털 쿼드-상호 주파수 검출기 (DQFD : Digital Quad-correlated Frequency Detector), 주파수 고정 루프 전하 펌프 (CP : Charge Pump) 그리고 락 검출기 (LD : Lock Detector)로 구성된다. 위상 고정 루프는 하프-레이트 선형 위상 검출기 (Half-rate

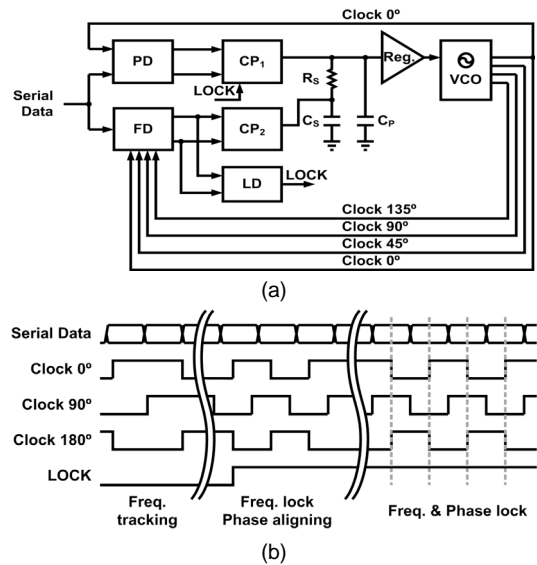


Fig. 1 Proposed CDR (a) block diagram (b) timing diagram

linear PD : Half-rate linear Phase Detector), 위상 고정 루프 CP로 이루어진다. 루프 필터 (LF : Loop Filter), 레귤레이터 그리고 전압 제어 발진기 (VCO : Voltage Controlled Oscillator)는 공유한다. 그림 1(b)는 제안하는 CDR의 타이밍도이다. 제안하는 CDR은 주파수 고정 루프를 통해 출력 클럭을 목표 주파수에 설정하게 된다. 클럭이 목표 주파수에 도달하게 되면 DQFD의 출력 신호는 더 이상 발생 되지 않고, LD를 통해 일정 클럭 주기 동안 입력과 출력의 주파수를 비교하여 LOCK 신호를 'high'로 만든다. 이후 위상 고정 루프의 PD를 통해 출력 클럭의 위상을 데이터의 가운데 정렬한다.

CDR은 기준 클럭 없이 랜덤 데이터를 이용하여 클럭을 복원한다. 이는 클럭의 타임 지터 성능을 저하시키는 요인이 된다. 본 논문에서 제안하는 CDR은 출력 클럭 타임 지터의 특성을 향상시키기 위하여 클럭이 목표 주파수에 도달하게 되면 루프 대역폭을 감소시켜 출력 클럭의 타임 지터 성능을 향상시킬 수 있도록 한다.

2.1. 주파수 검출기

그림 2(a)는 DQFD의 회로도를 나타내며 8개의 플립-플롭과 2개의 XOR 게이트, 그리고 조합회로로 이루어진다. 클럭 0°, 45°, 90°, 135°는 입력된 데이터에 의해 4개의 플립-플롭에 저장된다. 저장된 데이터는 그림 2(b)

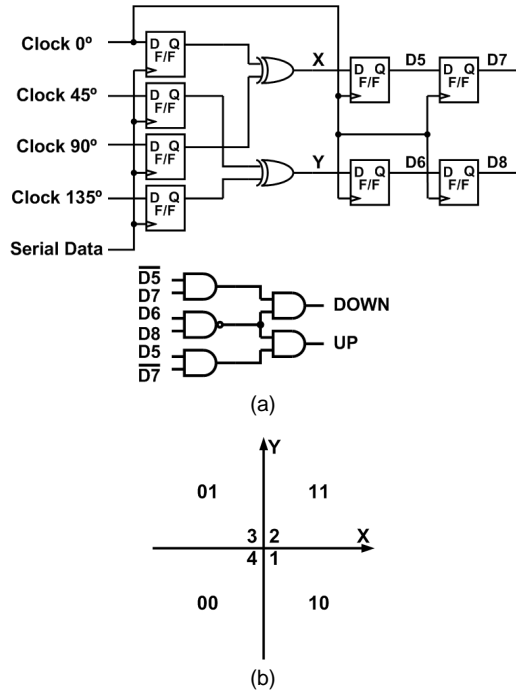


Fig. 2 (a) Schematic of DQFD (b) State of X/Y node

와 같이 XOR 게이트를 통해 4개의 상태로 나누어 질 수 있다. X와 Y 노드의 결과 값은 클럭 0°에 동기되어 플립-플롭에 저장된다.

DQFD는 출력 클럭의 주파수를 하프 데이터 레이트가 되도록 UP 또는 DOWN 신호의 상태를 결정한다. 출력 클럭이 목표 주파수 보다 높은 경우 클럭 0° 한 주기 동안 DOWN 신호를 'high'로 출력하고, 낮은 경우 클럭 0° 한 주기 동안 UP 신호를 'high'로 출력한다. 클럭이 목표 주파수에 도달하게 되면 DQFD는 출력이 발생되지 않고, 스스로 동작을 중지한다. 그림 3(a)와 그림 3(b)는 출력 클럭이 하프 데이터 레이트에 비해 주파수가 높은 경우와 낮은 경우를 나타낸다.

그림 3(a)의 경우 클럭의 주파수가 하프 데이터 레이트 레이트 보다 높은 경우 데이터의 첫 번째 에지는 'state 1'에서 발생하고 두 번째 에지는 'state 3'에서 발생하였을 때 XOR 게이트의 출력인 X와 Y 노드는 'state 1 → state 3'으로 변하게 된다. 같은 경우로 'state 1 → state 4, state 2 → state 4'일 때 DOWN 신호가 'high'가 된다. 그림 3(b)의 경우는 그림 3(a)의 경우와 반대로 클럭의 주파수가 하프 데이터 레이트 보다 낮은

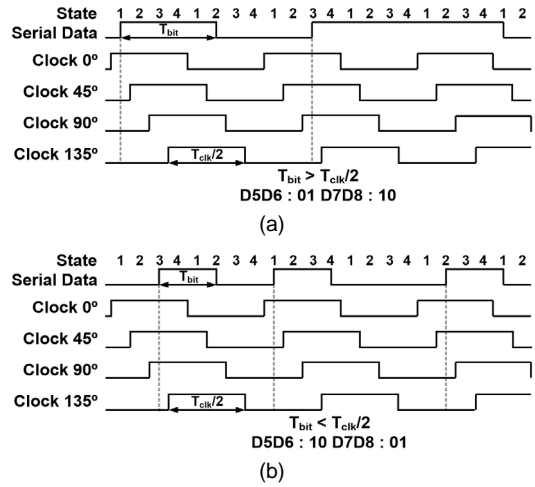


Fig. 3 Timing diagram for (a) slow periodic data (b) fast periodic data

경우 데이터의 첫 번째 에지는 'state 3'에서 발생하고 두 번째 에지는 'state 1'에서 발생하였을 때 XOR 게이트의 출력인 X와 Y 노드는 'state 3 → state 1'로 변하게 된다. 같은 경우로 'state 4 → state 1, state 4 → state 2'일 때 UP 신호가 'high'가 된다. DQFD의 진리표를 표 1에 나타내었다.

Table. 1 Truth table of DQFD

	D5D6	state 1	state 2	state 3	state 4
		10	11	01	00
state 1	10	X	X	DOWN	DOWN
state 2	11	X	X	X	DOWN
state 3	01	UP	X	X	X
state 4	00	UP	UP	X	X

2.2. 위상 검출기

위상 검출기는 크게 두 가지로 나누어진다. 클럭과 입력 위상 차이의 극성에 따라 UP 또는 DOWN 중 하나의 신호만 발생하는 디지털 위상 검출기, 클럭과 입력의 위상차에 비례하여 UP과 DOWN 신호의 펄스폭을 출력하는 선형 위상 검출기가 있다. 디지털 위상 검출기의 경우 클럭의 위상이 입력보다 앞서면 경우 DOWN 신호만 'high'로 출력하고, 클럭의 위상이 뒤처지는 경우 UP 신호만 'high'로 출력하게 된다. 디지털 위상 검출기는 클럭의 위상 차이의 극성만 확인하여 출력을 결정하기 때문에 높은 동작 속도를 갖지만 출력 클럭이

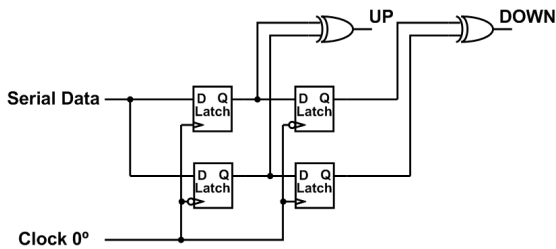


Fig. 4 Half-rate linear phase detector

목표 주파수에 도달하였을 때 UP과 DOWN 신호가 번갈아 발생하며 VCO를 조절하는 V_{CTRL} 노드의 전압에 리플이 크게 발생하면서 출력 클록의 타임 지터 성능을 저하시키는 요인이 된다[10]. 선형 위상 검출기는 클록과 입력의 위상차에 비례하여 UP 신호의 펄스폭을 결정한다. UP 신호의 최소 펄스폭이 위상 검출기의 동작 속도를 제한하지만 디지털 위상 검출기에 비해 V_{CTRL} 노드의 리플 전압이 작아 출력 클록의 타임 지터 성능이 개선될 수 있다[10]. 제안하는 CDR에서는 선형 위상 검출기를 이용하여 설계되었다.

그림 4는 하프 레이트 선형 위상 검출기를 나타낸다. 선형 위상 검출기는 4개의 래치, 2개의 XOR 게이트로 구성되어있다. 그림 5는 선형 위상 검출기의 타이밍 도를 나타낸다. 클록의 위상차에 따라 UP과 DOWN 펄스폭이 다른 것을 확인할 수 있다. T_{UP} 과 T_{DOWN} 은 UP과

DOWN 신호가 'high'일 때 시간을 의미한다. 클록 위상이 입력보다 앞서는 경우 T_{UP} 은 $T_{DOWN}/2$ 보다 짧은 펄스폭을 출력한다. 반대로 클록 위상이 뒤처지는 경우 T_{UP} 은 $T_{DOWN}/2$ 보다 긴 펄스폭을 출력하게 된다. 마지막으로 클록의 위상이 입력 데이터 가운데 정렬이 되면 T_{UP} 과 T_{DOWN} 의 펄스폭 비율은 1:2가 된다.

2.3. 루프 대역폭 조절 및 전하 펌프

기준 클록 없이 입력되는 랜덤 데이터를 이용하여 클록을 복원하는 CDR의 경우, 복원된 출력 클록의 타임 지터 성능은 랜덤 데이터에 의존한다. 연속된 '1' 또는 '0'의 데이터가 입력될 경우 CDR 출력 클록 타임 지터 성능을 저하시킨다. 이 문제를 해결하기 위해 CDR의 루프 대역폭을 감소시켜 출력 클록을 데이터의 변화에 둔감하게 만든다[8, 9]. CDR 루프 대역폭을 감소시키면 출력 클록의 타임 지터 성능을 향상시킬 수 있지만 출력 클록이 목표 주파수에 도달하는데 소요되는 시간이 증가된다. 제안하는 CDR은 전하 펌프의 전류 조절을 통해 루프 대역폭을 줄일 수 있도록 하였다. 식 1과 식 2는 제안하는 CDR 루프 대역폭을 나타낸다. $\omega_{c,phase}$, $\omega_{c,freq}$, K_{VCO} , I_{CP} , R_S , C_S 는 각각 위상 루프 대역폭, 주파수 루프 대역폭, VCO 이득, 전하 펌프의 전류, 루프 필터의 저항과, 그리고 커패시터 값이다. 식 1과 식 2에서 CDR 루프 대역폭은 전하 펌프에 흐르는 전류에 비례하는 것을 알 수 있다.

$$w_{c,phase} \cong \frac{I_{CP} \cdot K_{VCO} \cdot R_S}{2\pi} \quad (1)$$

$$w_{c,freq} \cong \frac{I_{CP} \cdot K_{VCO}}{2\pi \cdot C_S} \quad (2)$$

그림 6은 제안하는 전하 펌프 회로이다. 출력 클록이 목표 주파수에 도달하여 락 검출기 (LD)에 의해 생성된 LOCK 신호에 의해 제안하는 전하 펌프의 바이어스 전류를 조절하여 전하 펌프에 흐르는 전류를 50% 줄인다. 감소된 전하 펌프 전류에 의해 CDR의 루프 대역폭은 감소되어 출력 클록의 타임 지터 성능을 향상시킬 수 있다. 추가적으로 공정 부정합을 보상하기 위해 외부 신호 EN[1:0]를 이용하여 전하 펌프의 전류를 조절한다. 전하 펌프에 흐르는 전류는 약 20 μ A ~ 100 μ A까지 조절 가능하다.

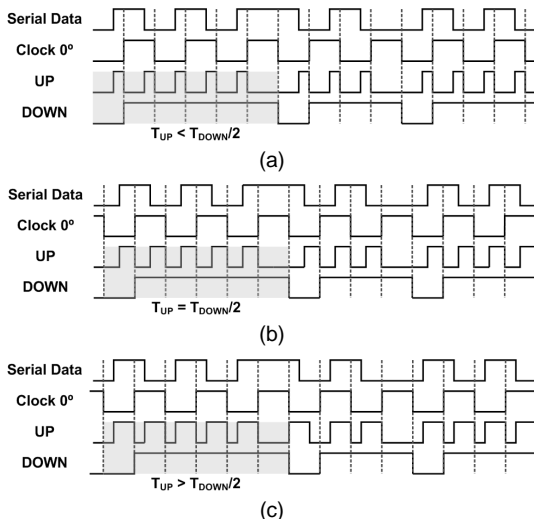


Fig. 5 Timing diagram of half-rate linear phase detector (a) early clock (b) aligned clock (c) late clock

클록의 타임 지터는 각각 27.1 ps_{p-p}, 9.26 ps_{p-p}이다. 표 2는 본 논문에서 제안하는 CDR의 시뮬레이션 된 성능을 타 논문 CDR과 비교한 내용이다[5-7]. 본 논문에서 제안한 CDR의 동작속도가 1.248Gb/s ~ 2.496Gb/s로 낮은 데이터 레이트를 가짐에도 불구하고 개선된 타임 지터의 특성을 보여준다.

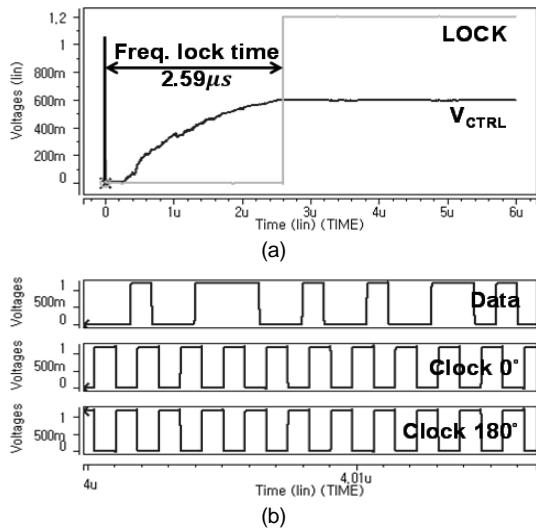


Fig. 10 Simulation results of CDR about 1.248Gb/s PRBS15 (a) V_{CTRL} and LOCK (b) Data, Clock 0°, and Clock 180°

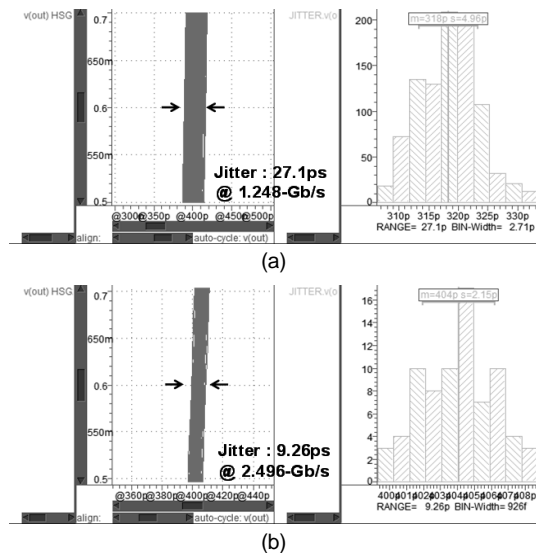


Fig. 11 Peak-to-peak time jitter of output clock (a) 1.248 Gb/s (b) 2.496Gb/s

Table. 2 Performance summary

Item	[5]	[6]	[7]	This work
Process	CMOS 90 nm	CMOS 65 nm	CMOS 65 nm	CMOS 65 nm
Supply (V)	1.2	1.0	1.2 / 1.0	1.2
Architecture	Quarter-rate	Half-rate	Half-rate	Half-rate
Data rate (Gb/s)	5	5	4 ~ 10.5	1.248 ~ 2.496
Reference clock	X	X	X	X
Power (mW)	16.8	13.32	22.5	6.49
Clock jitter (ps _{p-p})	42.37	29.7	24	9.26
FOM (mW/Gb/s)	3.36	2.67	2.25	2.60
Active area (mm ²)	0.3	0.103	1.63	0.19

IV. 결론

본 논문에서는 1.248Gb/s ~ 2.496Gb/s 데이터 레이트를 갖는 MIPI M-PHY를 위한 기준 클록이 없는 이중루프 CDR을 제안한다. 일반적으로 CDR은 기준 클록 없이 인가되는 랜덤 데이터에 의해 출력 클록의 타임 지터 성능 저하가 발생한다. 제안하는 CDR은 전하 펌프에 흐르는 전류 조절로 CDR 루프 대역폭을 변경하는 기법을 이용하여 출력 클록의 타임 지터 성능을 개선할 수 있다. 1.248Gb/s ~ 2.496Gb/s 동작 주파수 범위를 가지는 CDR은 1.2V 공급 전압에서 65nm CMOS 공정을 이용하여 설계되었다. 1.248Gb/s와 2.496Gb/s에서 시뮬레이션 된 출력 클록의 타임 지터는 각각 27.1ps_{p-p}, 9.26ps_{p-p}이다. 면적과 전력 소모는 각각 400 × 470μm²와 6.49mW이다.

ACKNOWLEDGMENTS

This paper was supported by Research Fund, Kumoh National Institute of Technology.

REFERENCES

[1] J.-K. Kim, J. Kim, G. Kim, and D.-K. Jeong, "A Fully Integrated 0.13- μ m CMOS 40Gb/s Serial Link Transceiver," *IEEE J. Solid-State Circuits*, vol. 44, no. 5, pp. 1510-1521, May 2009.

[2] K. Hu, T. Jiang, J. Wang, F. O'Mahony, and P. Y. Chiang, "A 0.6 mW/Gb/s, 6.4 - 7.2Gb/s Serial Link Receiver Using Local Injection-locked Ring Oscillators in 90 nm CMOS," *IEEE J. Solid-State Circuits*, vol. 45, no. 4, pp. 899-908, Apr. 2010.

[3] K.-L. J. Wong, H. Hatamkhani, M. Mansuri, and C.-K. K. Yang, "A 27-mW 3.6Gb/s I/O Transceiver," *IEEE J. Solid-State Circuits*, vol. 39, no. 4, pp. 602-612, Apr. 2004.

[4] S.-Y. Kim, J. Lee, H.-G. Park, Y. G. Pu, J. Y. Lee, and K.-Y. Lee, "A 1.248Gb/s - 2.918Gb/s Low-Power Receiver for MIPI-DigRF M-PHY with a Fast Settling Fully Digital Frequency Detection Loop in 0.11 μ m CMOS," *IEIE J. Semiconductor Technology and Science*, vol. 15, no. 4, pp. 506-517, Aug. 2014.

[5] Y.-L. Lee, S.-J. Chang, R.-S. Chu, Y.-Z. Lin, Y.-C. Chen, G. J. Ren, and C.-M. Huang, "A 5Gb/s 1/4-rate Clock and Data Recovery Circuit Using Dynamic Stepwise Bang-bang Phase Detector," in *Proceeding of the IEEE Asian Solid-State Circuits Conference*, pp. 141-144, 2012.

[6] T. Lee, Y.-H. Kim, J. Sim, J.-S. Park, and L.-S. Kim, "A 5Gb/s 2.67-mW/Gb/s Digital Clock and Data Recovery With Hybrid Dithering Using a Time-Dithered Delta - Sigma Modulator," *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, vol. 24, no. 4, pp. 1450-1459, Apr. 2015.

[7] G. Shu, W.-S. Choi, S. Saxena, T. Anand, A. Elshazly, and P. K. Hanumolu, "A 4-to-10.5Gb/s 2.2mW/Gb/s continuous-rate digital CDR with automatic frequency acquisition in 65nm CMOS," in *Dig. Tech. Papers of IEEE Int. Solid-State Circuits Conference*, pp. 150-151, 2014.

[8] S.-J. Song, S. M. Park, and H.-J. Yoo, "A 4Gb/s CMOS clock and data recovery circuit using 1/8-rate clock technique," *IEEE J. Solid-State Circuits*, vol. 38, pp. 1213-1219, July 2003.

[9] J. Savoj and B. Razavi, "A 10Gb/s CMOS clock and data recovery circuit with a half-rate linear phase detector," *IEEE J. Solid-State Circuits*, vol. 36, pp. 761-767, May 2001.

[10] B. Razavi, *Design of Integrated Circuits for Optical Communications*, New York, NY: McGraw-Hill, 2002.



김영웅 (Yeong-Woong Kim)

2015.2 금오공과대학교 전자공학부(공학사)
 2017.2 금오공과대학교 대학원 전자공학과 (공학석사)
 ※관심분야 : Clock generator, Clock and data recovery 및 Analog integrated circuit



장영찬 (Young-Chan Jang)

1995.2 경북대학교 전자전기 공학부 (공학사)
 2001.2 포항공과대학교 전자공학과 (공학석사)
 2005.2 포항공과대학교 전자공학과 (공학박사)
 2005.3 ~ 2009.8 삼성전자 책임연구원
 2009.8 ~ 현재 금오공과대학교 전자공학부 교수
 ※관심분야 : High-speed I/O interface, Data converter 및 Mixed mode analog IC design