

## 시작신호 및 멈춤신호와 동기화된 클록을 사용하는 시간-디지털 변환기

최진호\*

### Time-to-Digital Converter Using Synchronized Clock with Start and Stop Signals

Jin-Ho Choi\*

Department of Embedded Software Engineering, Busan University of Foreign Studies, Busan 46234, Korea

#### 요 약

카운터 타입의 시간-디지털 변환기를 공급전압 1.5volts에서 0.18 $\mu$ m CMOS 공정을 이용하여 설계하였다. 일반적인 시간-디지털 변환기에서는 클록의 주기가  $T_{CK}$ 일 때, 시작신호와 클록의 시간차에 의해 최대  $T_{CK}$ 의 변환 에러가 발생한다. 그리고 멈춤신호와 클록의 시간차로 인해  $-T_{CK}$ 의 에러가 발생한다. 그러나 본 논문에서 제안한 시간-디지털 변환기는 이러한 단점을 보완하기 위해 클록은 시작신호 및 멈춤신호와 동기화하여 회로 내에서 생성되도록 설계하였다. 설계된 시간-디지털 변환기에서 시작신호와 클록의 시간차에 의한 변환에러는 발생하지 않으며, 멈춤신호에 의한 변환에러의 크기는  $(1/2)T_{CK}$ 로 감소된다.

#### ABSTRACT

A TDC(Time-to-Digital Converter) of counter-type is designed by 0.18 $\mu$ m CMOS process and the supply voltage is 1.5 volts. The converted error of maximum  $T_{CK}$  is occurred by the time difference between the start signal and the clock when the period of clock is  $T_{CK}$  in the conventional TDC. And the converted error of  $-T_{CK}$  is occurred by the time difference between the stop signal and the clock. However in order to compensate the disadvantage of the conventional TDC the clock is generated within the TDC circuit and the clock is synchronized with the start and stop signals. In the designed TDC circuit the conversion error is not occurred by the difference between the start signal and the click and the magnitude of conversion error is reduced  $(1/2)T_{CK}$  by the time difference between the stop signal and the clock.

**키워드** : 시간-디지털 변환기, 동기화된 클록, 카운터 타입, 시간간격신호

**Key word** : time-to-digital converter, synchronized clock signal, counter type, time interval signal

Received 13 January 2017, Revised 14 February 2017, Accepted 10 March 2017

\* Corresponding Author Jin-Ho Choi(E-mail:jhchoi@pufs.ac.kr ,Tel+82-51-509-6242

Department of Embedded Software Engineering, Busan University of Foreign Studies, Busan 46234, Korea

Open Access <https://doi.org/10.6109/jkiice.2017.21.5.893>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.  
Copyright © The Korea Institute of Information and Communication Engineering.

## I. 서 론

시간-디지털 변환기는 시간 정보를 디지털 값으로 변환하는 회로로서 여러 가지 측정 시스템 및 통신 시스템 등에 응용되어진다[1, 2]. 시간-디지털 변환기의 입력신호는 그림 1과 같이 시작신호(Start signal)와 멈춤신호(Stop signal)이다. 그리고 두 신호 사이의 시간간격 신호(Time interval signal)는 시간-디지털 변환기에 의해 디지털 값으로 변환되어 출력되는 시간정보이다. 시간-디지털 변환기는 아날로그 타입으로 설계되기도 하지만, 정확도 및 응용회로에서의 신호처리 등의 문제로 현재는 대부분 디지털 타입으로 설계되고 있다.

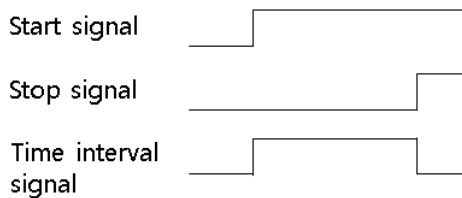


Fig. 1 Start, Stop and Time interval signals in time-to-digital converter

시간-디지털 변환기의 일반적인 구조에는 그림 2(a)의 카운터 타입과 그림 2(b)의 플래시 타입이 있다[3-6]. 카운터 타입은 시간간격 신호가 'high'인 동안 카운터가 클럭을 헤아린다. 이 경우 분해능을 향상시키기 위해서는 고주파의 외부 클럭이 요구되어진다. 그리고 플래시 타입은 입력신호를 지연하여 출력하는 지연소자를 이용하여 시간간격 신호를 디지털 값으로 변환한다. 즉, 시작 신호를 직렬로 연결된 지연소자에 입력시키고 멈춤 신호가 발생할 때 지연소자의 출력을 플립플롭에 저장한 다음, 데이터 처리를 통해 디지털 값으로 출력한다.

카운터 타입의 경우 회로 구성은 간단하지만, 고주파의 클럭이 추가로 인가되어야 하는 단점이 있다. 그리고 플래시 타입의 경우는 긴 변환시간이 소요되는 단점이 있다. 일반적으로 시간-디지털 변환기를 다양한 시스템에 응용하기 위해서는 빠른 응답속도, 변환에러 감소, 고분해능 등의 특성이 요구되어진다.

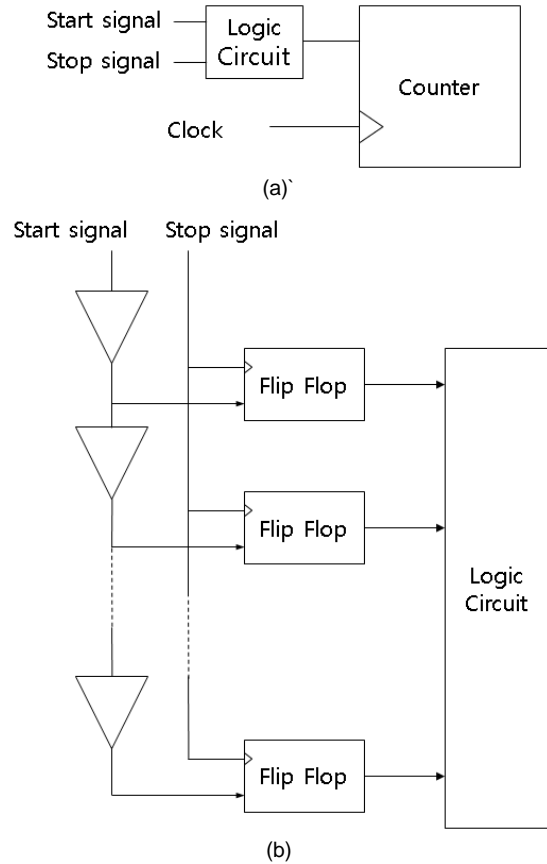


Fig. 2 Time-to-digital converter (a) counter-type converter (b) flash-type converter

본 논문에서는 플래시타입에 비해 빠른 응답속도를 가지는 카운터 타입의 시간-디지털 변환기를 설계하고자 한다. 그리고 시작신호와 동기화된 클럭을 회로 내에서 생성하여 카운터의 클럭으로 사용하고자 한다. 이는 외부 클럭을 사용하는 경우 시작신호와 클럭의 비동기로 발생하는 변환에러를 제거할 수 있는 장점이 있다. 그리고 멈춤 신호가 발생하면 카운터에 인가되는 클럭을 제거함으로써 멈춤 신호와 클럭의 시간차로 인해 발생하는 에러를 (1/2)클럭시간으로 감소시킬 수 있다.

그러므로 본 논문에서 제안한 시간-디지털 변환기의 경우 시간간격신호와 동기화된 클럭을 사용함으로써 기존의 카운터 타입 시간-디지털 변환기에 비해 변환에러를 감소시킬 수 있으며, 시스템을 간단히 구성할 수 있는 장점이 있다.

## II. 본 론

### 2.1. 시간-디지털 변환기의 입출력 신호

기존의 카운터 타입 시간-디지털 변환기 구조에서 입출력 신호의 파형은 그림 3과 같으며, 시작신호와 멈춤신호 사이의 시간간격 동안 외부에서 인가되는 클록 신호를 카운터가 헤아린다. 클록의 negative edge에서 카운터가 동작하고 그림 3(a)와 같이 시작신호가 인가된다면 멈춤신호가 발생할 때 카운터의 출력 값 4이다. 이처럼 외부에서 인가되는 클록을 사용하는 경우 그림 3(a)와 같이 시작신호와 클록 사이의 시간차로 인해 변환된 디지털 출력 값에는  $T_{CK}$ (클록 주기)의 에러가 발생할 수 있다. 그리고 그림 3(b)와 같이 멈춤신호가 발생하는 경우, 마지막 클록에 의해 카운터의 값은 증가하지 못한다. 이 경우 멈춤신호와 클록 사이의 시간차로 인해 변환된 디지털 값은  $-T_{CK}$ 의 에러가 발생하게 된다.

그림 3(a)와 그림 3(b)에서 보듯이 에러 범위인  $\Delta T_{START}$ 와  $\Delta T_{STOP}$ 의 값은 각각 0에서  $T_{CK}$ 가 된다. 그러므로 시작신호와 멈춤신호 사이의 시간간격 신호  $\Delta T$ 의 변환된 디지털 값은 식(1)과 같이 표현된다[4].

$$\Delta T = NT_{CK} - \Delta T_{START} + \Delta T_{STOP} \quad (1)$$

여기서  $N$ 은 카운터의 디지털 출력 값이다. 그리고 변환된 디지털 출력 값의 에러의 범위( $\Delta T_{START} - \Delta T_{STOP}$ )는  $T_{CK}$ 에서  $-T_{CK}$ 이다.

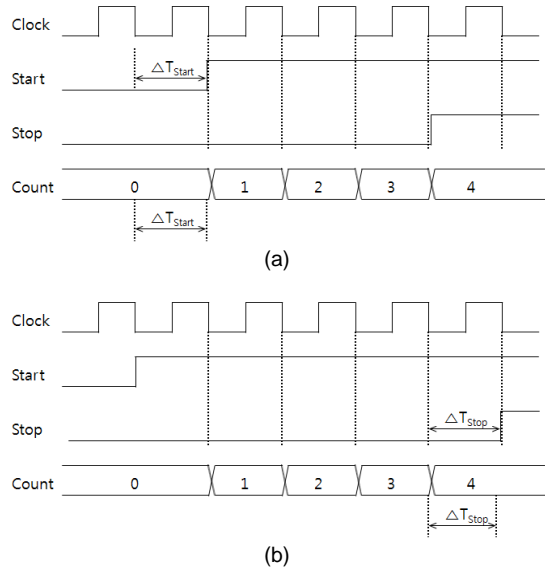


Fig. 3 Input and output signals in time-to-digital converter (a) converting error by the time difference between the start signal and the clock (b) converting error by the time difference between the stop signal and the clock

### 2.2. 제안한 시간-디지털 변환기의 변환에러

그림 4는 본 논문에서 제안한 시간-디지털 변환회로이다. 회로 설계시  $0.18\mu m$  CMOS 모델 파라미터를 사용하였으며, 카운터에 인가되는 클록은 시작신호의 발생과 동시에 생성되도록 설계하였다. 그림 4에서 시작신호와 멈춤신호가 모두 'low'인 초기상태에서 시간간격 신호는 'low'이지만, 시작신호가 'high'로 변화하면 시간간격 신호는 'high'가 된다.

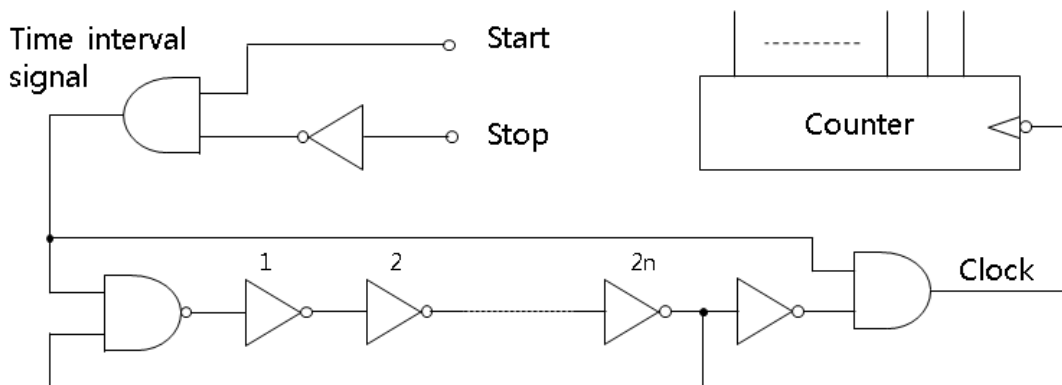


Fig. 4 The proposed time-to-digital converter

이렇게 생성된 시간간격 신호는 16개로 구성된 2n 개의 NOT 게이트와 NAND 게이트로 이루어진 체인을 통과하고, 다시 NOT 게이트와 AND 게이트를 지나 클록을 생성한다. 그리고 멈춤신호가 'high'로 변화하면 시간간격 신호는 'low'로 변화하고 클록은 더 이상 생성되지 않는다. 이렇게 생성된 클록 신호는 카운터의 클록단자에 인가되고 시간간격 신호가 'high'인 동안 클록의 수를 헤아려 시간정보를 디지털 신호로 변환하게 된다.

그림 5(a)는 제안한 시간-디지털 변환회로에서 시작 신호와 클록에 의한 카운터 출력 값으로서, 클록은 항상 시작신호가 인가되면 생성되므로 기존의 시간-디지털 변환기에서 발생하는 시작신호와 클록의 시간차로 인한  $T_{CK}$ 의 에러는 발생하지 않는다[7]. 그림 5(b)와 그림 5(c)는 멈춤신호가 발생하였을 때 카운터 출력 값을 살펴본 것이다. 그림 5(b)와 같이 멈춤신호가 클록의 'low' 동안 발생하면 카운터의 값은 증가하지 않는다. 그러나 그림 5(c)와 같이 클록이 'high' 동안 멈춤신호가 발생하면 그림 5(c)와 같이 짧은 듀티의 클록이 생성되고 이로 인해 카운터의 값은 증가하게 된다. 즉, 클록이  $(1/2)T_{CK}$  시간 이전에 멈춤신호가 발생하면 카운터의 값은 증가하지 않으나, 클록이  $(1/2)T_{CK}$  시간을 지나 멈춤신호가 발생하면 카운터의 값은 증가하게 된다.

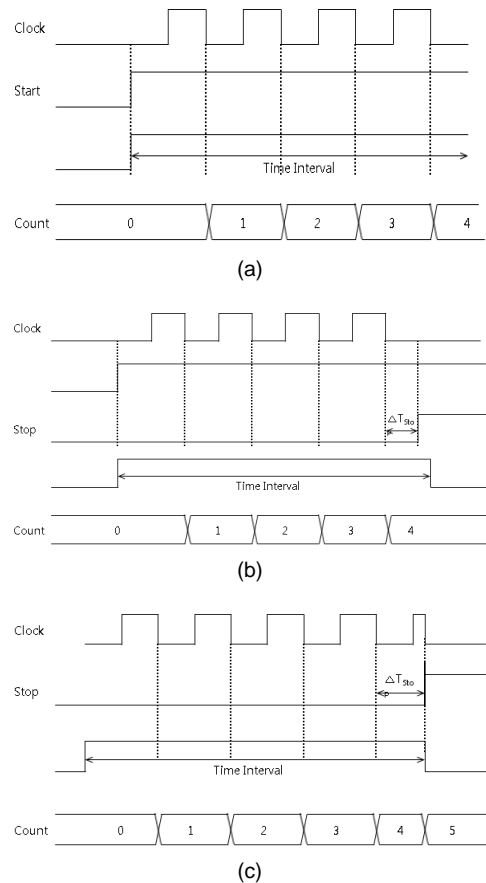
그러므로 제안한 회로의 경우 기존의 회로에서 멈춤신호에 의해 발생할 수 있는 디지털 에러  $T_{CK}$ 의 값을 그림 5(b)와 (c)에서 보듯이  $(1/2)T_{CK}$  크기로 감소시킬 수 있다. 그러므로 제안한 회로의 시작신호와 멈춤신호 사이의 시간간격 신호  $\Delta T$ 는 식(2)와 같다.

$$\begin{aligned} \Delta T &= NT_{CK} \pm \Delta T_{STOP} \quad (2) \\ &= NT_{CK} \pm (1/2)T_{CK} \end{aligned}$$

여기서  $N$ 은 카운터의 디지털 출력 값이며,  $T_{CK}$ 는 클록의 주기이다. 카운터 타입의 시간-디지털 변환기에서 기존의 방식과 본 논문에서 제안한 방식의 시작신호와 멈춤신호에 따른 에러는 표 1과 같다. 본 논문에서 제안한 회로의 경우 시작신호에 의한 에러는 발생하지 않으며, 멈춤신호에 의한 에러는 1/2로 감소시킬 수 있다.

**Table. 1** Error in a conventional TDC and the proposed TDC

start/stop signal	error	
	conventional TDC	proposed TDC
$ \Delta T_{START} $	$T_{CK}$	0
$ \Delta T_{STOP} $	$T_{CK}$	$(1/2)T_{CK}$



**Fig. 5** Input and output signals of the proposed time-to-digital converter (a) when the start signal is high (b) in case of the stop signal is high while the clock is low (c) in case of the stop signal is high while the clock is high

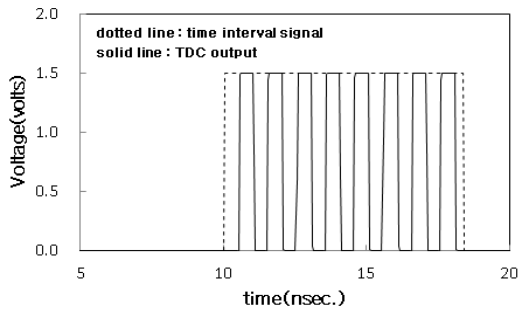
### III. 결과 분석

그림 6(a)는 시작신호가 10nsec에서 발생하고 멈춤신호는 18.5nsec에서 발생한 경우이다. 이 경우 디지털

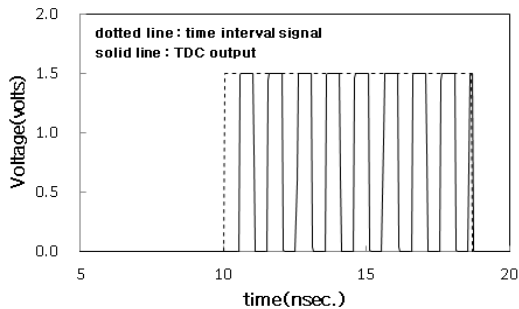
출력 값은 8이다. 그리고 그림 6(b)는 동일하게 시작 신호가 10nsec에서 발생하고 멈춤 신호는 18.7nsec에서 발생한 경우이다.

이 경우 디지털 출력 값은 9이다. 즉, 시간간격 신호의 폭이  $8T_{CK} + (1/2)T_{CK}$  미만일 때 카운터의 값은 8이고, 시간간격 신호가  $8T_{CK} + (1/2)T_{CK}$  이상일 때는 카운터의 값은 9이다. 그러므로 제안한 시간-디지털 변환기는 시간간격 신호가  $NT_{CK} + (1/2)T_{CK}$  미만일 경우 디지털 출력 값은 N이지만, 시간간격 신호가  $NT_{CK} + (1/2)T_{CK}$  이상일 경우 디지털 출력 값은 N+1 로서 디지털 변환에러를 0에서  $\pm(1/2)T_{CK}$ 로서 기존의 회로에 비해 변환에러의 범위를 1/2로 감소시킬 수 있다.

그림 7(a)는 시작신호가 10nsec.에 발생하고 멈춤신호가 235nsec.에 발생한 경우 시간-디지털 변환 회로를 시뮬레이션한 결과이다. 그림 7(a)는 시작신호와 멈춤신호에 의해 생성된 시간간격 신호이다. 그리고 그림 7(b)는 시간간격 신호에 따라 시뮬레이션된 카운터의 출력 값이다.

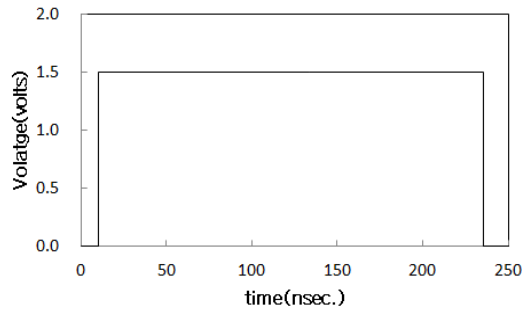


(a)

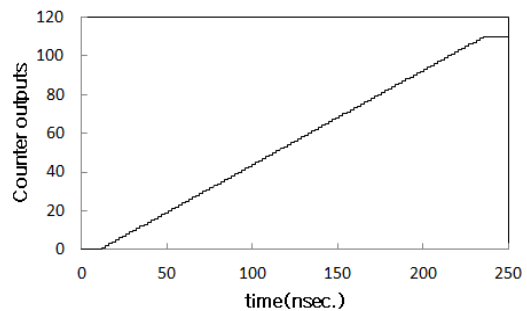


(b)

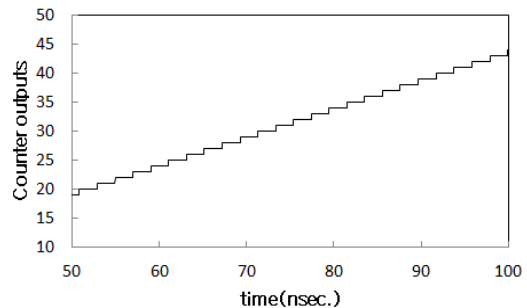
**Fig. 6** Time interval signal and counter output (a) when the stop signal is applied at 18.5nsec. (b) when the stop signal is applied at 18.7nsec.



(a)



(b)



(c)

**Fig. 7** Input and output signals of time-to-digital converter (a) time interval signal (b) counter outputs between 0nsec. and 250nsec.(c) counter outputs between 50nsec. and 100nsec.

시간간격신호가 ‘high’가 되면 카운터는 클럭을 헤아리기 시작하고, 시간간격 신호가 ‘low’가 되면 클럭은 더 이상 생성되지 않아 카운터의 출력 값은 증가하지 않는다. 그림 7(c)는 카운터의 출력 신호를 50nsec.에서 100nsec.까지만 확대하여 살펴본 것이다.

#### IV. 결 론

본 논문에서는 시작신호 및 멈춤신호와 동기화된 클록을 사용하는 카운터 타입의 시간-디지털 변환기를 설계하였다. 일반적인 카운터 타입의 시간-디지털 변환기는 고주파의 외부 클록을 이용하여 시간간격 신호동안 클록을 헤아린다.

이 경우 시작신호와 클록, 멈춤신호와 클록의 비동기로 인하여 변화된 디지털 값의 에러 범위는  $-T_{CK} \sim +T_{CK}$ 이다. 그러나 본 논문에서 제안한 카운터 타입의 시간-디지털 변환기는 외부 클록을 사용하지 않아 시스템을 간단히 구성할 수 있는 장점이 있다.

그리고 시작신호 및 멈춤신호와 동기화된 클록을 생성되도록 회로를 설계하였으며, 이로 인해 시작신호와 클록의 비동기로 인해 발생하는 디지털 변환 에러는 발생하지 않는다. 그리고 멈춤신호와 클록의 시간차로 인해 발생하는 에러 범위는  $\pm(1/2)T_{CK}$ 으로 감소된다.

#### ACKNOWLEDGMENTS

This work was supported by the research grant of the Busan University of Foreign Studies in 2017

#### REFERENCES

- [1] T. Fusayasu, "A Fast Integrating ADC Using Precise Time-to-Digital Conversion," in *IEEE Nuclear Science Symposium Conference Record*, pp. 302-304, 2007.
- [2] S. Henzler, *Time-to-Digital Converters*, Heidelberg, Springer Netherlands, 2010.
- [3] A. Balla, M. M. Beretta, P. Ciambone et al., "The Characterization and Application of a Low Resource Based Time to Digital Converter," *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment* vol.739, pp.75-82, March 2014.
- [4] P. Dudeck, S. Szczepariski and J. V. Hatfield, "A High-Resolution CMOS Time-to-Digital Converter Utilizing a Vernier Delay Line," *IEE Journal of Solid-State Circuit*, vol.35, no.2, pp.240-246, Feb. 2000.
- [5] J. Song, Q. An and S. Liu, "A High-Resolution Time-to-Digital Converter Implemented in Field Programmable Gate Array," *IEEE Trans. Instrum. Meas.*, vol. 53, no.1, Feb. 2006.
- [6] P. Chen, S. I. Liu and J. Wu, "Highly Accurate Cyclic CMOS Time-to-Digital Converter with Extremely Low Power Consumption," *Electronics Letter*, vol. 33, no.10, pp.858-860, May 1997.
- [7] J. H. Choi, "Design of a Time-to-Digital Converter Using Counter," *Journal of the Korea Institute of Information and Communication Engineering*, vol. 20, no. 3, pp. 577-582, March 2016.



최진호(Jin-Ho Choi)

1985 부산대학교 전자공학과 공학사  
1987 한국과학기술원 전기 및 전자공학과 공학석사  
1992 한국과학기술원 전기 및 전자공학과 공학박사  
1992 ~ 1996 하이닉스 반도체 근무  
1996 ~ 부산외국어대학교 근무  
※관심분야 : 임베디드시스템, VLSI 설계