

## Si, Ge과 Si-Ge Hetero 터널 트랜지스터의 라인 터널링과 포인트 터널링에 대한 연구

이주찬<sup>1</sup> · 안태준<sup>1</sup> · 심언성<sup>2</sup> · 유운섭<sup>1\*</sup>

### Study on Point and Line Tunneling in Si, Ge, and Si-Ge Hetero Tunnel Field-Effect Transistor

Ju-chan Lee<sup>1</sup> · TaeJun Ann<sup>1</sup> · Un-sung Sim<sup>2</sup> · YunSeop Yu<sup>1\*</sup>

<sup>1</sup>Department of Electrical, Electronic and Control Engineering and IITC, Hankyong National University, Anseong 17579, Korea

<sup>2</sup>Department of Electronic Engineering, Hankyong National University, Anseong 17579, Korea

#### 요 약

TCAD 시뮬레이션을 이용하여 소스 영역으로 오버랩된(Overlapped) 게이트를 가진 실리콘(Si), 게르마늄(Ge)과 실리콘-게르마늄(Si-Ge) Hetero 터널 전계효과 트랜지스터(Tunnel Field-Effect Transistor; TFET)의 터널링 전류 특성을 분석하였다. SiO<sub>2</sub>를 산화막으로 사용한 Si-TFET의 경우에 포인트와 라인 터널링이 모두 나타나서 험프(Hump) 현상이 나타난다. Ge-TFET는 구동전류가 Si-TFET보다 높으나 누설전류가 높고 포인트 터널링이 지배적으로 나타난다. Hetero-TFET의 경우에 구동전류가 높게 나타나고 누설전류는 나타나지 않았으나 포인트 터널링이 지배적으로 나타난다. HfO<sub>2</sub>를 산화막으로 사용한 Si-TFET의 경우에 라인 터널링의 문턱전압(threshold voltage)이 감소하여 라인 터널링만 나타난다. Ge과 Hetero-TFET의 경우에 포인트 터널링의 문턱전압이 감소하여 포인트 터널링에 의해 동작되며 Ge-TFET는 누설전류가 증가하였고, Hetero-TFET에서 Hump가 나타난다.

#### ABSTRACT

The current-voltage characteristics of Silicon(Si), Germanium(Ge), and hetero tunnel field-effect transistors(TFETs) with source-overlapped gate structure was investigated using TCAD simulations in terms of tunneling. A Si-TFET with gate oxide material SiO<sub>2</sub> showed the hump effects in which line and point tunneling appear simultaneously, but one with gate oxide material HfO<sub>2</sub> showed only the line tunneling due to decreasing threshold voltage and it shows better performance than one with gate oxide material SiO<sub>2</sub>. Tunneling mechanism of Ge and hetero-TFETs with gate oxide material of both SiO<sub>2</sub> and HfO<sub>2</sub> are dominated by point tunneling, and showed higher leakage currents, and Si-TFET shows better performance than Ge and hetero-TFETs in terms of SS. These simulation results of Si, Ge, and hetero-TFETs with source-overlapped gate structure can give the guideline for optimal TFET structures with non-silicon channel materials.

**키워드** : 터널 트랜지스터, 라인 터널링, 포인트 터널링, 문턱전압 이하 기율기, 구동전류

**Key word** : Tunnel field-effect transistor, line tunneling, point tunneling, subthreshold swing, on-current

Received 21 December 2016, Revised 03 January 2017, Accepted 14 February 2017

\* Corresponding Author YunSeop Yu(E-mail:ysyu@hknu.ac.kr, Tel:+82-31-670-5293)

Department of Electrical, Electronic and Control Engineering and IITC, Hankyong National University, Anseong 17579, Korea

Open Access <https://doi.org/10.6109/jkiice.2017.21.5.876>

print ISSN: 2234-4772 online ISSN: 2288-4165

© This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.  
Copyright © The Korea Institute of Information and Communication Engineering.

## I. 서 론

1965년 이래 무어의 법칙(Moore's Law)에 따라 MOSFET은 크기와 성능에 비약적인 발전을 이루었다. 그러나 최근 단채널 효과(short-channel effects)의 심화와 미세공정에서의 어려움 및 문턱전압이하 기울기(subthreshold swing;  $SS$ )가 상온에서 60 mV/dec 이하로 낮아 질수 없는 물리적 한계에 도달하게 되었다[1]. 이를 극복하기 위해서 양자역학적 현상인 밴드-밴드 터널링 현상을 활용한 터널링 전계효과 트랜지스터(Tunnel Field-Effect Transistor; TFET)에 대한 연구가 활발히 진행되고 있다[2].

터널링이란 에너지를 가진 가전자대의 전자가 전도대로 이동하는 현상[3]을 말하며 양자역학의 오퍼레이터를 통해 슈뢰딩거 파동방정식에 의한 확률 함수로 나타낼 수 있다. 이 확률함수는 장벽의 두께와 에너지 밴드갭의 크기에 반비례하며 전계의 세기에 비례하는 성질을 갖는다[2]. 기존의 TFET구조에서 터널링은 게이트의 전계에 의해 게이트 산화막과 소스 접합면에서 일어나는 라인 터널링(line tunneling)과 소스와 채널 사이에서 일어나는 포인트 터널링(point tunneling)으로 구분된다[4].

초기 반도체는 게르마늄(Germanium)에 의해 시작되어 주된 연구는 게르마늄이 대부분이었다. 하지만 실리콘(Silicon)에 대한 연구가 시작되면서 상대적으로 원가가 높은 게르마늄은 점차 그 비중이 감소했으며 열전자 방출에 의해 동작하는 MOSFET의 개발 이래로 고온에 유리하고 열속도(Thermal velocity)가 높은 실리콘에 대한 연구가 주를 이루게 되었다. 하지만 터널링 현상은 열전자 방출과 달리 발열이 거의 없기 때문에 고온의 영향을 무시할 수 있으므로 다른 물질의 사용이 고려될 수 있다. 이에 밴드갭(Band gap)이 더 작고 이동도(Mobility)가 높아 터널링에 유리한 게르마늄에 대한 연구가 다시 증가하고 있다.

지금까지 다양한 채널 물질을 이용한 planar TFET에 대한 연구가 진행되고 있으나 이 TFET들 사이에 특성 분석한 연구결과는 발표되지 않았다[1-9]. 그러므로 채널 물질별로 planar TFET들의 성능을 비교분석할 필요가 있고, 이 결과는 TFET 소자를 설계하는 가이드라인이 될 수 있다.

본 논문에서는 실리콘 TFET(Si-TFET), 실리콘보

다 작은 밴드갭을 갖는 물질 중 게르마늄 TFET(Ge-TFET), 게르마늄-실리콘 Hetero-TFET의 라인 터널링 및 포인트 터널링을 문턱전압(Threshold voltage), 구동 전류(On-current;  $I_{on}$ ),  $SS$ 면에서 조사한다. 또한 SiN와 High- $k$ 의 게이트 산화막에 변화에 따른 각 TFET별 특성을 비교한다.

## II. TFET 구조 및 시뮬레이션 모델

그림 1(a)는 일반적으로 사용되는 TFET 구조의 모식도를 나타내고 그림 1(b)는 게이트의 길이를 소스 영역으로 오버랩하였을 때의 TFET 구조를 나타낸다. 드레인 영역의 길이( $L_{dr}$ )는 60 nm, 채널( $L_{ch}$ )과 소스의 길이( $L_{so}$ )는 50 nm로 설정하였고 게이트 길이는 채널길이에

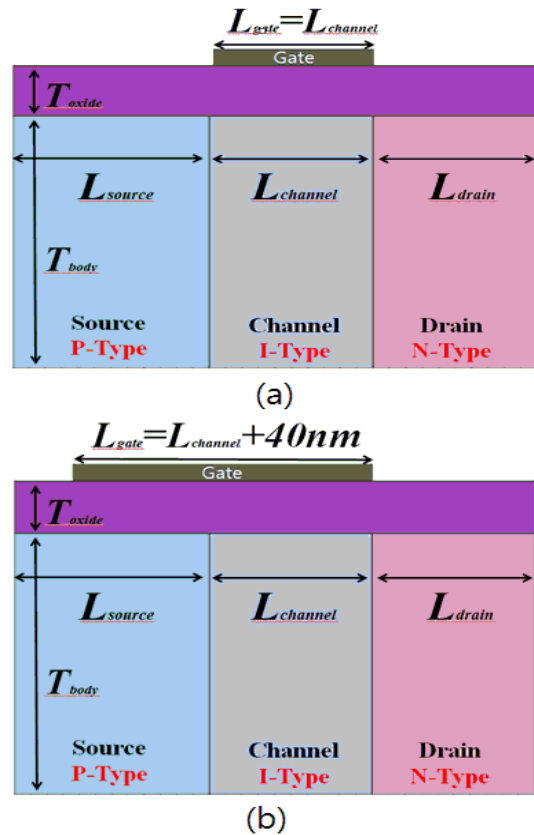


Fig. 1 Schematic diagram of TFET with source-overlapped gate. (a)  $L_{gate}=0$  nm, (b)  $L_{gate}=40$  nm.

오버랩된 게이트 길이( $L_{gate}$ )를 합한 길이이다.

실리콘의 두께( $T_{body}$ )는 단채널 효과를 고려하여 10 nm로 설정하였다[5]. 산화막의 길이( $T_{oxide}$ )와 유전율( $\epsilon$ )은 터널링에 큰 영향[6]을 주는 중요한 파라미터로 작용되기 때문에 기존의 구조를 바탕으로 산화막 길이는 2 nm, 유전율은 비유전율 7.5를 갖는 실리콘 질화물을 사용하였다. 게이트의 일함수는 효과적인 터널링 효율과 공정 과정을 고려하여, 4.17 eV의 일함수를 갖는 N-type로 도핑된 다결정실리콘을 사용하였다. 드레인 전계에 따른 단채널 효과를 고려하여, 드레인 전압( $V_{dr}$ )은 0.7 V로 설정하였다. 단채널 효과란 채널 길이가 감소함에 따라, 게이트에 의해 조절되는 영역이 감소하여 드레인 전류( $I_{ds}$ )가 드레인 전압의 영향을 받아 작동되는 상태를 말한다[5]. 소스, 채널, 드레인 영역의 도핑농도들은  $N_{so}=1 \times 10^{20} \text{ cm}^{-3}$ ,  $N_{ch}=1 \times 10^{15} \text{ cm}^{-3}$ ,  $N_{dr}=1 \times 10^{20} \text{ cm}^{-3}$ 이다.

그림 2(a)는 소스-채널영역에서의 에너지밴드를 나타낸다. 채널 영역이 게이트의 수직전계 영향을 받아서 그림2(b)와 같은 에너지밴드가 되면 가전자대에 존재하던 전자가 화살표 방향을 통과해 전도대로 이동하게 되는데 이것을 포인트 터널링이라 한다. 그림 2(c)는 게이트 산화막-소스영역의 에너지 밴드를 나타낸다. 오버랩된 게이트의 수직전계에 의해 소스영역이 그림 2(d)와 같은 에너지밴드가 되면, 소스 표면에 그림 2(d)와 같은 반전영역이 생기게 되는데 이때 화살표 방향으로의 전자이동을 라인 터널링이라 한다. 일반적인 TFET 구조에서 라인 터널링의 동작 가능 범위가 포인트 터널링보다 5배 이상 크기 때문에 SS와 구동전류에서 더 높은 성능을 가진다[4].

그림 3은 그림 2(a)와 (b)에 나타난 TFET구조에 대한 터널링 분포를 나타낸 것이다. 그림 3(a)에서 소스와 채널 방향의 포인트 터널링이 지배적인 것을 확인할 수 있다. 수직전계의 영향을 강하게 받는 소스-채널영역의 게이트 산화막-채널 표면 근처에서 터널링 분포가 가장 높은 것을 확인할 수 있다. 그림 3(b)는 라인 터널링이 지배적으로 나타난다. 터널링은 전계에 지수함수로 비례하는 성질이 있으므로 수직전계의 영향을 강하게 받는 게이트 산화막-소스 영역에서 가장 강하게 일어나며 게이트 산화막-소스 영역에서 포인트 터널링이 없어지기 때문에 벌크(bulk) 부분에서 나타나는 포인트 터널링은 무시될 수 있다.

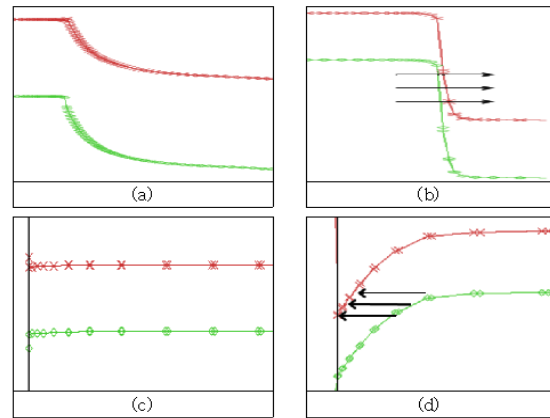


Fig. 2 Energy band diagram of TFET with source-overlapped gate. (a) Source-channel direction in no tunneling bias, (b) Source-channel direction under tunneling bias, (c) gate oxide-source direction in no tunneling bias, and (d) gate oxide-source direction under tunneling bias.

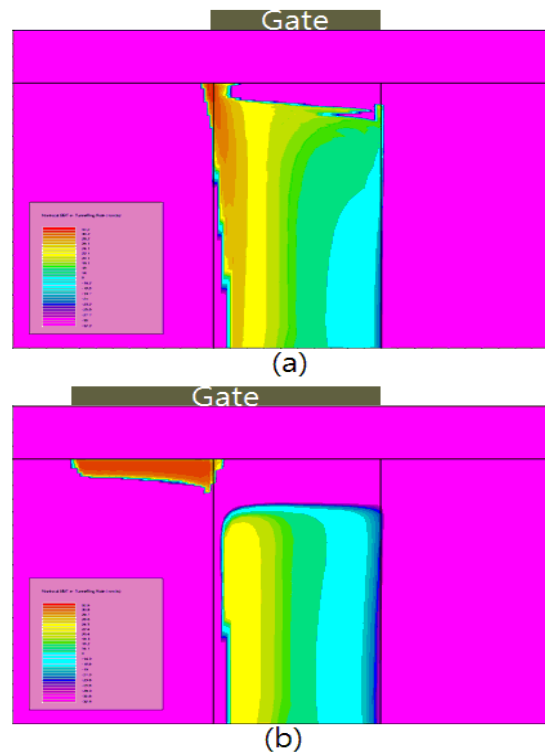


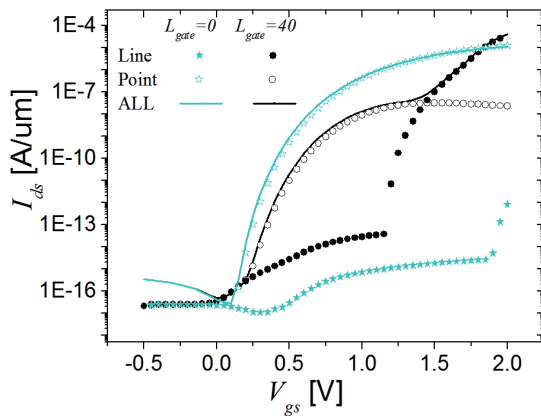
Fig. 3 (a) Tunneling rate distribution in  $L_{gate}=0$  nm and (b) tunneling distribution in  $L_{gate}=40$  nm.

Silvaco의 ATLAS를 사용하여 2D TCAD 시뮬레이션하였다. 터널링 관련 모델은 BBT.nonlocal과 BBT.nlderivs를 사용하였고 캐리어의 밀도에 따른 재결합을 고려하여 CONSRH(Concentration dependent Shockley-Read-Hall Recombination)와 Auger모델을 사용하였다. SRH와 Auger은 재결합에 관련된 모델로, SRH는 charge에 의한 재결합 및 생성이 적용되며 Auger은 밀도에 따라 전자의 충돌에 의한 에너지전도 및 재결합이 적용된다. 소스와 드레인의 고농도 도핑에 의해서 반도체가 금속의 성질을 갖게 되어 밴드 갭이 줄어들고 캐리어 농도가 증가하는 축퇴효과(Degenerated Effect)를 고려하여 Fermi, ni.fermi와 BGN(band gap narrow) 모델을 사용하였다.

### III. 시뮬레이션 결과

#### 3.1. Si-TFET

그림 4는 오버랩된 게이트의 길이가 0 nm(별 기호), 40 nm(원 기호)일 때 Si-TFET의 라인 터널링(빈 기호), 포인트 터널링(채운 기호)에 의한 전류와 전체전류(실선)의 드레인 전류-게이트 전압( $I_{ds}-V_{gs}$ ) 특성곡선이다. 오버랩이 없는 TFET( $L_{gate}=0$  nm)에서 포인트 터널링이 지배적으로 동작하게 되며 라인 터널링 영향은 거



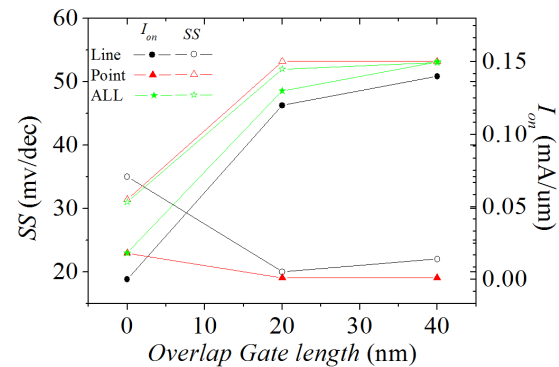
**Fig. 4**  $I_{ds}-V_{gs}$  characteristics of Si-TFETs with  $L_{gate}=0$  nm and  $L_{gate}=40$  nm. filled circles, empty symbol, and solid symbol and lines denote line, point, and total tunneling currents, respectively. star and circle denote Si-TFET with  $L_{gate}=0$  nm and  $L_{gate}=40$  nm, respectively.

의 없다.

오버랩된 TFET( $L_{gate}=40$ nm)에서 포인트 터널링의 문턱전압이 라인 터널링보다 낮다. 따라서 전체전류는 저전위 상태에서는 포인트 터널링, 고전위 상태에서는 라인 터널링의 영향에 의해 동작되는 것을 확인할 수 있다.

전체전류 곡선은 포인트 터널링에서 라인 터널링으로 바뀌는 시점에서 험프(Hump) 현상이 일어난다. 험프 현상이란, 기울기가 낮은 영역에서 높은 영역으로 변경될 때 곡선의 기울기가 급격히 상승하는 현상을 말하며 이는 SS에 좋지 않은 영향을 미친다[6]. 험프 현상을 최소화시키는 방법으로 기존 TFET 구조의 게이트 산화막-소스와 소스-채널 접합면에 intrinsic한 포켓 영역을 추가하여 포인트 터널링의 문턱전압을 높이고 라인 터널링의 문턱전압은 내리는 방법을 이용한 Pocket TFET[8]와 소스 영역의 전계를 높여 라인 터널링의 문턱전압을 낮추는 방법, 새로운 구조를 통해 포인트 터널링이 일어나지 않도록 하는 방법을 이용한 L-shaped TFET[8]이 연구되고 있다.

$L_{gate}=0$  nm에서의 포인트 터널링과  $L_{gate}=40$  nm에서의 라인 터널링을 비교해보면 Si-TFET에서 각각의 터널링에 의한 효과를 비교할 수 있다. 그림 5는 Si-TFET의 오버랩 게이트 길이에 따른 최소 SS와  $I_{on}$ 을 비교한 것이다. 라인 터널링에 의한 최소 SS는 22 mV/dec, 구동전류는 0.13 mA로 포인트 터널링보다 10배 이상 우수한 것을 확인할 수 있다.

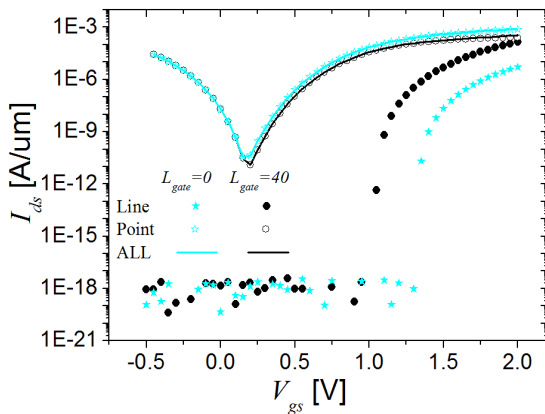


**Fig. 5** SSs and  $I_{on}$ s of Si-TFETs with  $L_{gate}$ (from 0 to 40 nm). Empty and filled symbols denote  $I_{on}$  and SS, respectively. circle and triangle and star denote line, and point, and total tunneling currents, respectively.

하지만 전체전류는 포인트 터널링의 영향을 받기에 SS의 효율이 상당히 낮은 것을 확인할 수 있다. 또한 밴드갭의 특성에 의해 실용화되기엔 구동전류가 낮은 단점이 있다.

### 3.2. Ge-TFET

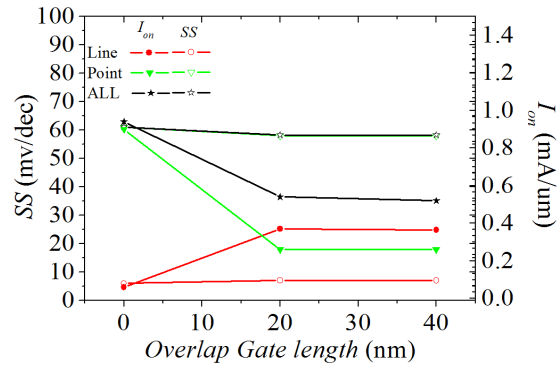
TFET의 터널링은 밴드갭의 크기에 반비례하는 성질을 가지고 있기 때문에 1.1 eV의 밴드갭을 갖는 Si-TFET는 구동전류에서 낮은 효율을 보이는 것을 확인할 수 있다. 따라서 게르마늄과 같은 더 작은 밴드갭을 갖는 물질에 대한 Ge-TFET 연구가 활발히 이루어지고 있다[5].



**Fig. 6** Fig. 4  $I_{ds}$ - $V_{gs}$  characteristics of Ge-TFETs with  $L_{gate}=0$  nm and  $L_{gate}=40$  nm. filled circles, empty circle, and solid lines denote line, point, and total tunneling currents, respectively. star and circle denote Ge-TFET with  $L_{gate}=0$  nm and  $L_{gate}=40$  nm, respectively.

그림 6는 Ge-TFET를 소스 영역으로 오버랩한 경우(원 기호)와 오버랩이 없는 경우(별 기호)일 때 라인 터널링(빈 기호), 포인트 터널링(채운 기호), 전체전류(실선)의  $I_{ds}$ - $V_{gs}$  특성곡선을 비교한 것이다. 게르마늄은 밴드갭이 작고 유전율이 크기 때문에 Si-TFET보다 터널링으로 인한 구동전류가 더 큰 것을 확인할 수 있다. 하지만 같은 이유로 양극성 전류가 높아지기 때문에 누설전류(leakage current) 또한 높은 상태를 유지한다. 양극성 전류란 역방향 전압이 인가되었을 때 전류가 흐르는 현상[9]을 말하며 TFET의 경우에 전체의 영향에 의해 채널의 밴드가 높아지므로 채널-드레인 영역

에서 포인트 터널링에 의해 전류가 흐르게 된다. Ge과 Si-TFET를 비교하였을 때 라인 터널링의 문턱전압의 차이는 거의 없으나 포인트 터널링의 문턱전압이 낮아지는 결과를 확인할 수 있다.



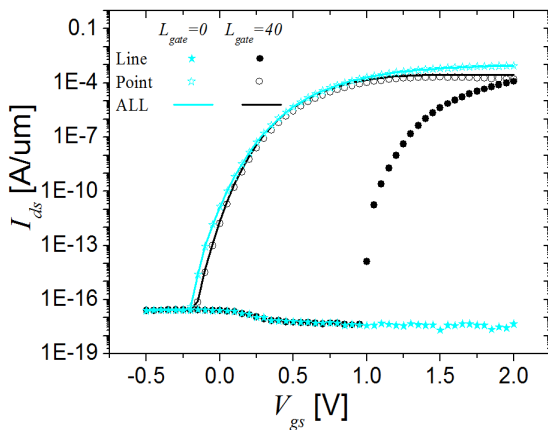
**Fig. 7** SSs and  $I_{ons}$  of Ge-TFETs with  $L_{gate}$  (from 0 to 40 nm). Empty and filled symbols denote  $I_{on}$  and SS, respectively. circle and triangle and star denote line, point, and total tunneling currents, respectively.

그림 7은 Ge-TFET의 오버랩 게이트 길이에 따른 최소 SS와  $I_{on}$ 을 비교한 것이다. 실리콘과 게르마늄의 최소 SS 특성을 비교하였을 때, 양극성전류에 의해 전체 전류와 포인트 터널링에 의한 최소 SS는 게르마늄이 실리콘에 비해 더 낮은 효율을 보인다. 하지만 라인 터널링은 7 mv/dec로 실리콘보다 더 높은 효율을 보이는 것을 확인할 수 있다. 실리콘과 달리 게르마늄은 포인트 터널링에서 높은 구동전류를 갖는다. 따라서 험프는 존재하지 않지만 전체전류가 포인트 터널링에 의해 지배되는 특징을 보인다. Ge-TFET에서 라인 터널링의 효율은 아주 높은 편이나 포인트 터널링에 의해 지배되므로 전체적인 효율을 낮은 것을 확인할 수 있다. 게르마늄의 특징을 보존하고 효율을 높이기 위한 방법으로 적당한  $Si_xGe_{1-x}$ 을 사용하여 양극성 전류를 감소시킨다면 높은 효율을 기대할 수 있을 것으로 예상된다.

### 3.3. Hetero-TFET

Ge-TFET는 밴드갭이 작으므로 구동전류에서 높은 효율을 보였으나 포인트 터널링의 지배를 받고 양극성 전류가 나타나므로 누설전류와 SS에서 효율이 낮은 것

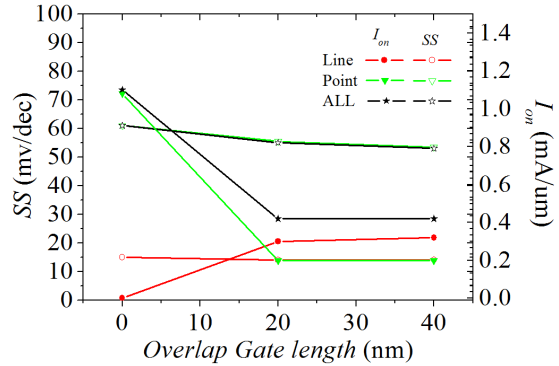
을 확인할 수 있었지만 라인 터널링의 높은 효율을 확인할 수 있었다. 따라서 이러한 Ge-TFET의 단점을 보완하여 터널링이 일어나는 소스영역을 게르마늄으로 사용하고 양극성 전류가 발생하는 채널, 드레인 영역을 실리콘으로 사용한 Hetero-TFET에 대한 연구가 진행되고 있다[6].



**Fig. 8** Fig 4.  $I_{ds}$ - $V_{gs}$  characteristics of Hetero-TFETs with  $L_{gate}=0$  nm and  $L_{gate}=40$  nm. filled circles, empty circle, and solid lines denote line, point, and total tunneling currents, respectively. star and circle denote Hetero-TFET with  $L_{gate}=0$  nm and  $L_{gate}=40$  nm, respectively.

그림 8은 Hetero-TFET를 소스 영역으로 오버랩한 경우(별 기호)와 오버랩이 없는 경우(원 기호)의  $I_{ds}$ - $V_{gs}$  특성곡선이다. 누설전류가 Ge-TFET보다 안정적이며 실리콘보다 높은 구동전류를 확인할 수 있다. 하지만 게르마늄과 마찬가지로 전계전류는 포인트 터널링의 영향을 받으며 포인트 터널링에서 라인 터널링으로 변경되는 시점이 존재하여 미약한 험프 현상이 관찰되며 수직전계에 의해 포인트 터널링이 감소하여 라인 터널링이 활성화되기 전에 전체전류가 감소하는 구간이 존재한다.

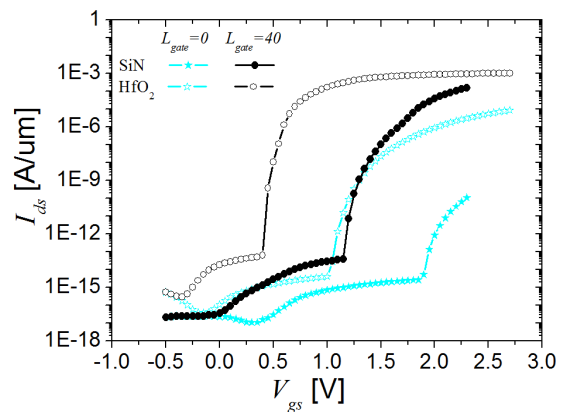
그림 9는 Hetero-TFET의 오버랩 게이트 길이에 따른 SS와  $I_{on}$ 을 비교한 것이다. 포인트 터널링에 의해 동작되어 SS의 효율은 낮은 편이지만 양극성 전류가 없어 실리콘보다는 좋은 결과를 확인할 수 있다.



**Fig. 9** SSs and  $I_{on}$ s of Hetero-TFETs with  $L_{gate}$  (from 0 to 40 nm). Empty and filled symbols denote  $I_{on}$  and SS, respectively. cricle and triangle and star denote line, and point, and total tunneling currents, respectively.

### 3.4 High-k TFET

High-k TFET는  $HfO_2$ 와 같이 고유전율을 갖는 산화막 물질을 사용하여 채널 또는 소스에 가해지는 전계를 높여 포인트 터널링 또는 라인 터널링의 문턱전압에 영향을 주는 기술이다[10]. 일반적으로 High-k 기술에는 대개 유전율이 22인  $HfO_2$ 의 산화막이 사용된다.  $HfO_2$  유전율은 기존 사용하던 Si Nitride 보다 3배정도 높은 유전율을 갖는다.

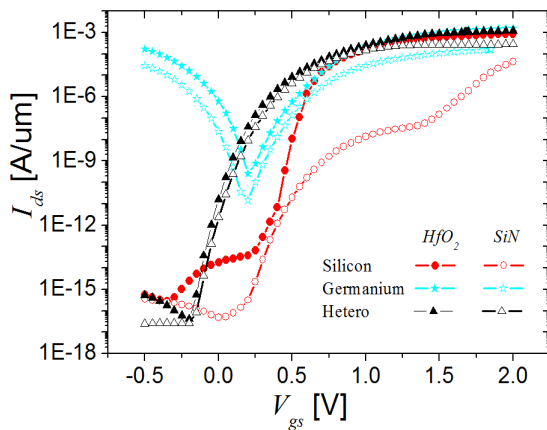


**Fig. 10**  $I_{ds}$ - $V_{gs}$  characteristics of Si-TFETs with  $L_{gate}=0$  nm and  $L_{gate}=40$  nm and with gate oxide materials SiN and  $HfO_2$ . Empty and filled circles denote TFETs with SiN and  $HfO_2$ , respectively, and star and circle denote Si-TFET with  $L_{gate}=0$  nm and  $L_{gate}=40$  nm, respectively.

이를 통해 게이트 전계가 소스 영역에 미치는 영향이 증가하므로 라인 터널링의 문턱전압이 낮아지게 된다.

그림 10은 High-*k* 기술을 사용하여 게이트 산화막을 HfO<sub>2</sub>로 하였을 때와 기존의 Nitride를 사용하였을 때 Si-TFET의 라인 터널링의 특성곡선을 비교한 것이다. High-*k* 를 사용하였을 때에 라인 터널링의 문턱전압이 낮아지는 것을 확인할 수 있다.

그림 11는 게이트 산화막에 SiN과 HfO<sub>2</sub>을 사용하였을 때에 Si, Ge, Hetero-TFET의 전체전류의 특성곡선을 나타낸 것이다. Si-TFET의 경우 라인 터널링의 문턱전압이 많이 낮아지므로 포인트 터널링이 최소화되어 험프현상이 제거되며 전체전류의 효율이 상당히 증가한 것을 확인할 수 있다. Ge-TFET의 경우 여전히 포인트 터널링이 우세한 것을 확인할 수 있다. 또한 게이트 산화막-채널 영역에서의 전계 또한 증가하기 때문에 누설전류 또한 증가하는 것을 확인할 수 있다. Hetero-TFET의 경우도 두 가지 사이에 크게 변화가 없고 이는 곧 전체전류가 포인트 터널링에 의해 지배된다고 해석될 수 있다. 단, SiN을 가진 Si-TFET의 1.5 V 부분에서 나타나던 험프현상이 최소화되지만 전체적인 효율은 크게 증가하지 않는 것을 확인할 수 있다.



**Fig. 11**  $I_{ds}$ - $V_{gs}$  characteristics of various TFET with  $L_{gate}=40$  nm and with gate oxide material SiN and HfO<sub>2</sub>. Empty circles denote TFETs with SiN and solid lines denote TFETs with HfO<sub>2</sub>. circle, star and triangle denote Si, Ge, Hetero-TFET, respectively.

## VI. 결론

본 논문에서는 Si, Ge, Hetero-TFET의 게이트가 소스영역으로 오버랩된 구조를 통해 각각의 라인 터널링 및 포인트 터널링의 특성을 분석하였다. Si-TFET는 라인 터널링이 포인트 터널링보다 구동전류와 최소 SS에서 우수한 효율을 나타냈으며, High-*k* 기술을 통해 라인 터널링을 극대화 시킬 수 있는 방법을 연구했다.

Ge-TFET는 누설전류가 높고 포인트 터널링의 구동전류 또한 라인 터널링 만큼 높게 나타났기 때문에 게이트 산화막 물질에 상관없이 전체적인 전류는 포인트 터널링에 의해 지배되는 것을 확인할 수 있었다. 이때 SS 효율은 실리콘 보다 낮게 나타났지만 라인 터널링의 SS 효율은 아주 높은 것을 확인할 수 있었다. Hetero-TFET 또한 전체전류는 포인트 터널링에 의해 지배되었으며 이때의 구동전류가 높게 나타나는 것을 확인할 수 있었다.

하지만 누설전류가 낮기 때문에 Ge-TFET 보다는 SS에서 높은 효율을 나타냈지만 여전히 포인트 터널링의 한계를 극복하기 어려웠다. Hetero-TFET 또한 라인 터널링의 효율은 높게 나타나는 것을 확인할 수 있었다. 이 결과를 바탕으로 다른 물질을 이용한 터널링 소자 연구에 새로운 틀을 제시할 수 있을 것으로 예측한다.

## ACKNOWLEDGMENTS

This research was supported by the Ministry of Trade, Industry & Energy (MOTI) (Project No. 10054888) and the Korea Semiconductor Research Consortium (KSRC) support program for the development of future semiconductor devices.

REFERENCES

[ 1 ] K. P. Cheung, "On the 60 mV/dec @300 K limit for MOSFET subthreshold swing," in *Proceeding of VLSI Technology Systems and Applications (VLSI-TSA) 2010 International Symposium on IEEE*, Hsin Chu: Taiwan, pp. 72-73, 2010.

[ 2 ] W. Y. Choi and B. G. Park "Tunneling Field-Effect Transistors (TFETs) With Subthreshold Swing (SS) Less Than 60 mV/dec," *IEEE Electron Device Letters*, vol. 28, no. 8, pp. 743-745, Aug. 2007.

[ 3 ] A. O. Caldeira and A. J. Leggett "Influence of Dissipation on Quantum Tunneling in Macroscopic Systems," *American Physical Society*, vol. 46, no. 4, pp. 211-214, 26 Jan. 1981.

[ 4 ] W. G. Vandenberghe, A. S. Verhulst, G. Groeseneken, "Analytical model for point and line tunneling in a tunnel field-effect transistor," in *Proceeding of Simulation of Semiconductor Processes and Devices 2008 SISPAD 2008. International Conference, IEEE*, pp. 9-11, Sept. 2008.

[ 5 ] N. D. Chiena, C. H. Shiha, "Short-channel effect and device design of extremely scaled tunnel field-effect transistors," *Microelectronics Reliability*, vol. 55, no. 1, pp. 31-37, Jan. 2015.

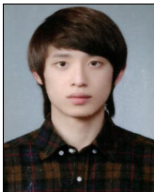
[ 6 ] S. W. Kim, W. Y. Choi, "Hump Effects of Germanium/Silicon Heterojunction Tunnel Field-Effect Transistors," *IEEE Transactions on Electron Devices*, vol. 63, no. 6, pp. 2583-2588, June 2016.

[ 7 ] H. Y. Chang, B. Adams, P. Y. Chien, J. L. Jason, C. S. Woo "Improved Subthreshold and Output Characteristics of Source-Pocket Si Tunnel FET by the Application of Laser Annealing," *IEEE Transactions on Electron Devices*, vol. 60, no. 1, pp. 92-96, Jan. 2013.

[ 8 ] S. W. Kim, W. Y. Choi, M. C. Sun, H. W. Kim, J. H. Lee, "L-Shaped Tunneling Field-Effect Transistors (TFETs) for Low Subthreshold Swing and High Current Drivability," in *Proceeding of Int. Microprocesses and Nanotechnology Conf*, pp. 26C-4-5L, Kyoto: Japan. 2011.

[ 9 ] Hrazia, A. Vladimirescu, A. Amara, C. Anghel, "An analysis on the ambipolar current in Si double-gate tunnel FETs," *Solid-State Electronics*, vol. 70, pp. 67-72, April 2012.

[ 10 ] C. J. Först, C. R. Ashman, K. Schwarz, and P. E. Blöchl, "The interface between silicon and a high-k oxide," *Nature*, vol. 427, pp. 53-56, Jan. 2004.



이주찬 (Ju-Chan Lee)

2012년 3월 - 현재 한경대학교 전기전자제어공학과 학부  
 ※관심분야 : 반도체 소자 및 회로 설계



심언성(Un-Seong Shim)

2009년 3월 - 현재 한경대학교 전자공학과 학부  
 ※관심분야 : 반도체 소자 및 회로 설계



안태준(TaeJun Ahn)

2016년 2월 한경대학교 전자공학과 (공학사)  
 2016년 3월 - 현재 한경대학교 일반대학원 전기전자제어공학과 석사과정  
 ※관심분야 : 반도체 소자 및 회로 설계





**유운섭(YunSeop Yu)**

1995년 8월 고려대학교 전자공학과(공학사)  
1997년 8월 고려대학교 일반대학원 (공학석사)  
2001년 8월 고려대학교 일반대학원 (공학박사)  
2001년 9월 ~ 2002년 9월 미국 NIST 초청연구원  
2014년 1월 ~ 2015년 7월 Georgia Institute of Technology Visiting Scholar  
2002년 10월 ~ 현재 한경대학교 전기전자제어공학과 교수  
※관심분야 : 반도체 소자 및 회로 설계, 고령친화 IT 기술