

터널링 전계효과 트랜지스터 4종류 특성 비교

심언성¹ · 안태준² · 유운섭^{2*}

Comparative Investigation on 4 types of Tunnel Field Effect Transistors(TFETs)

Un-Seong Shim¹ · TaeJun Ahn² · YunSeop Yu^{2*}

¹Department of Electronic Engineering, Hankyong National University, Anseong 17579, Korea

^{2*}Department of Electrical, Electronic and Control Engineering and IITC, Hankyong National University, Anseong 17579, Korea

요 약

본 연구에서는 TCAD 시뮬레이션을 이용하여 4가지 터널링 전계효과 트랜지스터(Tunnel Field-Effect Transistors; TFETs) 구조에 따른 특성을 조사하였다. 단일게이트 TFET(SG-TFET), 이중게이트 TFET(DG-TFET), L-shaped TFET(L-TFET), Pocket-TFET(P-TFET)의 4가지 TFET를 유전율과 채널 길이를 변화함에 따라서 드레인 전류-게이트전압 특성을 시뮬레이션해서 문턱전압이하 스윙(Subthreshold Swing; SS)과 구동 전류(On-current)면에서 비교하였다. 고유전율을 가지며 라인 터널링을 이용하는 L-TFET 구조와 P-TFET 구조가 포인트 터널링을 이용하는 SG-TFET와 DG-TFET보다 구동전류면에서 10배 이상 증가하였고, SS면에서 20 mV/dec 이상 감소하였다. 특히, 고유전율을 가진 P-TFET의 주 전류 메커니즘이 포인트 터널링에서 라인터널링으로 변화하는 험프현상이 사라지면서 SS가 매우 향상되는 것을 보였다. 4가지 TFET 구조의 분석을 통해 포인트터널링을 줄이고 라인터널링을 강조하는 새로운 TFET 구조의 가이드 라인을 제시한다.

ABSTRACT

Using TCAD simulation, performances of tunnel field-effect transistors (TFETs) was investigated. Drain current-gate voltage types of TFET structure such as single-gate TFET (SG-TFET), double-gate TFET (DG-TFET), L-shaped TFET (L-TFET), and Pocket-TFET (P-TFET) are simulated, and then as dielectric constant of gate oxide and channel length are varied their subthreshold swing (SS) and on-current (I_{on}) are compared. On-currents and subthreshold swings of the L-TFET and P-TFET structures with high electric constant and line tunneling were 10 times and 20 mV/dec more than those of the SG-TFET and DG-TFET using point tunneling, respectively. Especially, it is shown that hump effect which dominant current element changes from point tunneling to line tunneling, is disappeared in P-TFET with high- k gate oxide such as HfO_2 . The analysis of 4 types of TFET structure provides guidelines for the design of new types of TFET structure which concentrate on line tunneling by minimizing point tunneling.

키워드 : 라인터널링, 포인트터널링, 문턱전압 이하 기율기, 문턱전압, 구동 전류

Key word : Point tunneling, Line tunneling, Subthreshold Swing, Threshold Voltage, On-current

Received 08 December 2016, Revised 12 December 2016, Accepted 12 January 2017

* Corresponding Author YunSeop Yu(E-mail:ysyu@hknu.ac.kr, Tel:+82-31-670-5293)

Department of Electrical, Electronic and Control Engineering, Hankyong National University, Anseong 17579, Korea

Open Access <https://doi.org/10.6109/jkiice.2017.21.5.869>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서 론

18개월 마다 반도체 집적회로의 성능이 2배 증가한다는 무어의 법칙(Moors's Law)이 발표된 이래 반도체 업계에서는 MOSFET기술에 기반을 두고 급속한 성장을 이루었다. 그러나 반도체 공정 기술의 발전에 따라서 반도체소자의 크기는 급속하게 줄어들게 되었지만, 현재 단채널 효과(short-channel effects)의 심화 및 미세공정의 어려움 등이 심각한 문제로 대두되고 있다[1]. 이러한 문제를 해결하기 위해서 게이트 유전막을 기존의 이산화규소(SiO₂)보다 고유전율(high- k)을 갖는 물질로 대체하는 고유전율 기술, 3차원구조의 FinFET기술 등이 있다[2]. 하지만 이런 기술이 있음에도 불구하고 MOSFET은 근본적인 물리적 한계를 가지고 있으며 그 중 심각한 것 중의 하나는 문턱전압(threshold voltage; V_{th}) 이하의 기율기(Subthreshold Swing; SS)가 상온에서 60 mV/dec 이하로 낮아 질 수 없는 물리적 한계에 도달하게 되었다[3]. 이를 극복하기 위해서 양자역학적인 현상인 밴드에서 밴드로 터널링 현상을 활용한 터널링 전계효과 트랜지스터(Tunnel Field-Effect Transistors; TFET)에 대해 활발히 연구가 진행되고 있다[4]. 기본적인 구조인 단일게이트(single-gate) 구조[5], 이중게이트(double-gate) 구조[6], 터널링을 활성화 시킨 L-shaped 구조[7]와 포켓(pocket)을 추가한 구조[8] 등 여러 가지의 구조들에 대한 연구가 되어 지고 있다. TFET 소자들의 특성을 구조나 물질별로 전류-전압 특성을 간단하게 비교한 논문들은 발표되었다[9, 10]. 그러나 게이트 산화막 유전율, 채널 길이 및 두께, 포켓길이 및 두께, 소스/채널 드레인 불순물 도핑 농도 등에 따라서 성능비교를 상세하게 분석한 논문은 지금까지 발표되지 않았기 때문에 다양한 구조 및 물질 파라미터에 따른 단일게이트 TFET(SG-TFET), 이중게이트 TFET(DG-TFET), L-shaped-TFET(L-TFET), 포켓을 추가한 Pocket-TFET(P-TFET)의 성능 비교가 필요하다.

본 논문에서는 SG-TFET, DG-TFET, L-TFET, P-TFET 구조에 대해서 TCAD(Technology Computer-Aided-Design) 시뮬레이션을 통해서 종합적으로 성능을 비교 분석하고 새로운 구조의 가이드라인을 제시하고자 한다.

II. 터널링 전계효과 트랜지스터 구조

그림 1은 4가지 TFET 구조의 단면도를 나타낸다. 그림 1(a), (b), (c), (d)는 각각 SG-TFET, DG-TFET, L-TFET, P-TFET 구조를 나타내고 있다. 4가지 TFET의 채널 물질은 실리콘이며 게이트 산화막은 다양한 물질이 사용되고 게이트와 소스, 드레인의 길이는 각각 $L_g, L_{so}, L_{dr}=50$ nm이고 L-TFET 구조 같은 경우 라인터널링(line tunneling)을 활성화하기 위해 $L_{ch}=4$ nm의 intrinsic 부분을 첨가하였으며[11], P-TFET 구조는 포켓의 길이 $L_{po}=40$ nm, 두께 $T_{po}=4$ nm 로 구성되어 있다. 게이트 산화막의 두께는 $T_{oxide}=2$ nm, 실리콘 두께 $T_{Si}=10$ nm로 이루어져 있으며 도핑농도는 소스, 채널, 드레인에 각각 $10^{20}, 10^{15}, 10^{18}$ cm⁻³이다. SS 는 최대기율기인 SS_{max} 로 측정한다.

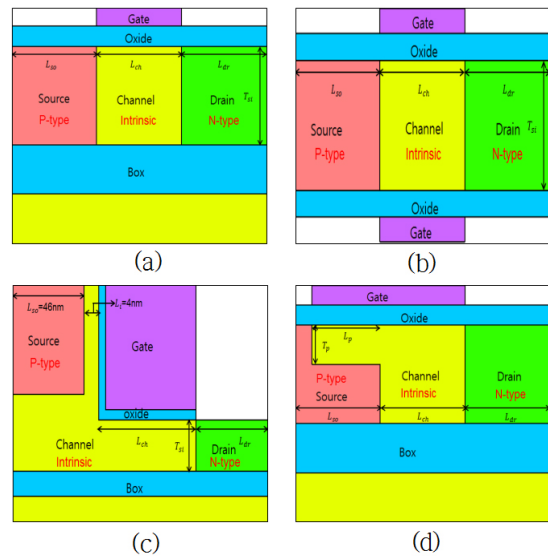


Fig. 1 Schematic diagram of (a)SG-TFET, (b)DG-TFET, (c)L-TFET, (d)P-TFET

III. 터널링

TFET는 가전도대에 있는 전자들이 전기장 영향에 의해 에너지 장벽을 뚫고 전도대로 이동하는 밴드간(Band-to-Band) 터널링 현상이 발생한다. 그림 2의 에너지 밴드 다이어그램에서 보여진 것처럼 터널링에는

포인트 터널링(point tunneling)과 라인터널링의 2가지 방법이 존재한다. 그림 2에서 포인트 터널링(좌)과 라인 터널링(우)을 크게 구분하는 방법은 전계방향과 터널링이 일어나는 부분에서 결정이 된다. 포인트 터널링은 채널부분에 P-N 접합의 전계의 영향에 의해 터널링을 발생시킨다. 반면 라인터널링은 채널부분이 아닌 소스 부분에서 게이트 방향으로 전계가 걸려 터널링을 발생시킨다. 포인트 터널링은 채널에서 멀어 질수록 약해지는 반면에 라인 터널링은 소스 벌크부분에서 게이트 방향으로 전계가 걸리면서 동일한 면적에 터널링이 발생되어 포인트 터널링보다 터널링이 잘 일어난다. 하지만, 라인터널링은 포인트 터널링 보다 문턱전압이 높아 더 강한 전계를 가해야 한다. 이러한 문제로 인해 L-TFET 구조는 소스 부분에 진성(intrinsic) 채널이 매우 얇게 추가된다.

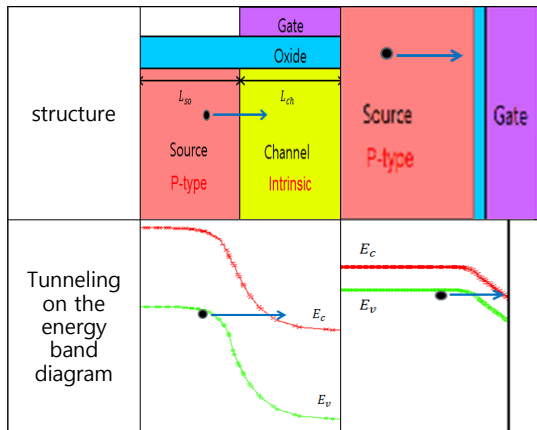


Fig. 2 Energy band diagram for point tunneling and line tunneling mechanism

IV. 성능 비교 평가

4.1. 시뮬레이션 모델

각 구조 별 비교하기 위해서 Silvaco사의 ATLAS[12] 시뮬레이션을 이용하여 2차원 구조로 시뮬레이션하였다. 터널링모델은 비지역모델(non-local model)을 사용하였으며, 비지역모델은 전기장에 의한 터널링뿐만 아니라 에너지 밴드의 공간적인 변화에 의한 터널링 전류를 계산할 수 있기 때문에 지역모델(local model)에 비

해 정확한 터널링 전류를 계산할 수 있다[13]. 이동도 모델은 Lombardi CVT model, 재결합 모델은 AUGER model과 SRH model, 캐리어 특성 모델은 FERMI model, 온도는 300K로 설정하였다.

4.2. 시뮬레이션결과

그림 3은 게이트 산화막이 이산화규소인 TFET들의 드레인전류-게이트전압($I_{ds}-V_{gs}$) 특성을 나타낸다. L-TFET와 P-TFET에서는 SG-TFET, DG-TFET보다 큰 구동 전류(On-current)와 더 가파른 SS를 보인다. 그러나 P-TFET에서 $V_{gs}=1$ V 지점에서 험프(hump) 현상이 나타난다. 험프현상은 포켓 구조에서 라인터널링과 포인트 터널링 사이의 지점에서 생기는 현상이고 험프현상으로 인해서 SS가 증가하는 영향을 끼친다.

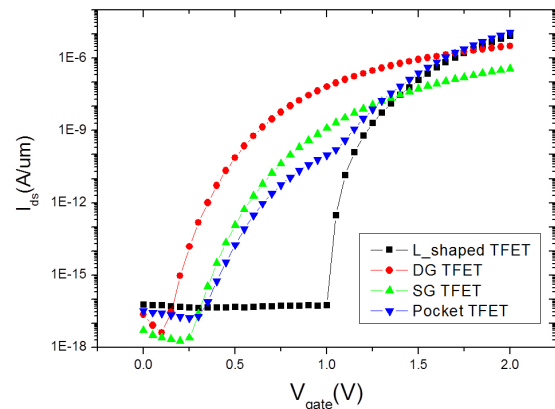


Fig. 3 $I_{ds}-V_{gs}$ characteristics of TFETs with gate oxide SiO_2 at $V_{ds}=0.7$ V.

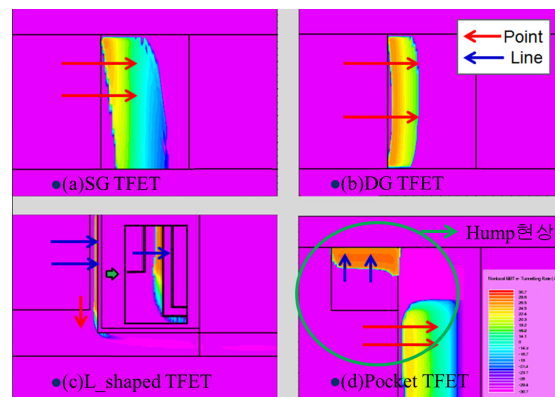


Fig. 4 Tunneling rate for 4 TFET Structures

그림 4는 게이트 산화막이 이산화규소인 TFET의 각 구조별 터널링 분포를 나타낸다. SG-TFET 경우에 게이트에서 멀어질수록 터널링분포가 약해지고, DG-TFET 같은 경우에 실리콘 두께에 대칭인 터널링 현상을 보인다. L-TFET 경우에 포인트 터널링보다 라인 터널링이 지배적으로 나타나고, P-TFET 경우에 포켓부분에서 라인 터널링 분포가 높게 나며 포켓아래 채널부분에서는 포인트 터널링이 발생한다. 게이트전압 별 터널링 분포를 나타낸 그림 5를 보게 되면 게이트 전압 1 V 이하에서는 포켓부분에는 아무런 터널링이 존재하지 않으며 채널부분에서는 포인트 터널링이 발생되는 것을 보인다. 게이트 전압 1 V 이상부터는 라인 터널링이 발생되면서 험프현상이 나타나고 게이트 전압 2 V 이상부터는 라인 터널링 분포가 지배적으로 나타나기 시작한다.

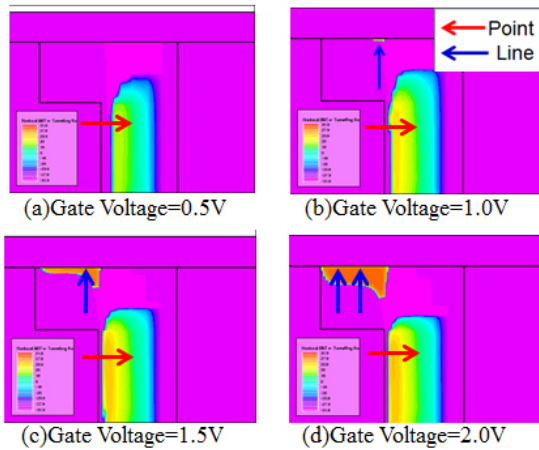


Fig. 5 Hump Effect of P-TFET at four different gate voltages.

그림 6은 게이트 산화막 이산화하프늄(HfO_2)인 TFET들의 드레인전류-게이트전압 특성을 나타낸다. L-TFET와 P-TFET는 라인 터널링이 지배적으로 나타나기 때문에 SG-TFET와 DG-TFET보다 더 가파른 SS와 더 높은 구동전류가 보인다. P-TFET에서 발견된 험프현상은 발견이 되지 않는다.

그림 7은 게이트 산화막 유전율에 따른 문턱전압 특성을 나타낸다. 유전율 물질로는 이산화규소(3.9), 질산화규소 SiON (7.5), 산화알루미늄 Al_2O_3 (10), 이산화

프늄 HfO_2 (22) 4가지물질로 바꾸어 시뮬레이션하였다. 4가지 구조 모두 게이트 산화막 유전율이 커짐에 따라 문턱전압이 감소한다. 그림 8에서 보여진 것처럼 게이트 산화막 유전율에 따라서 SG-TFET, DG-TFET 및 L-TFET 경우에 거의 동일하다. 특히, L-TFET 경우에 라인터널링이 지배된 구조이므로 SS의 가장 작은 값인 SS_{max} 가 약 10 mV/dec로 매우 낮은 값으로 유지되고 있고 이 값은 참고문헌 [14]와 결과와 유사하다. P-TFET는 게이트산화막 유전율이 증가할수록 SS_{max} 가 더 낮아진다. 그림 9에서 보여진 것처럼 게이트 산화막이 이산화규소보다 고유전율을 가지는 물질인 경우에도 구동전류면에서 변화는 미약하다.

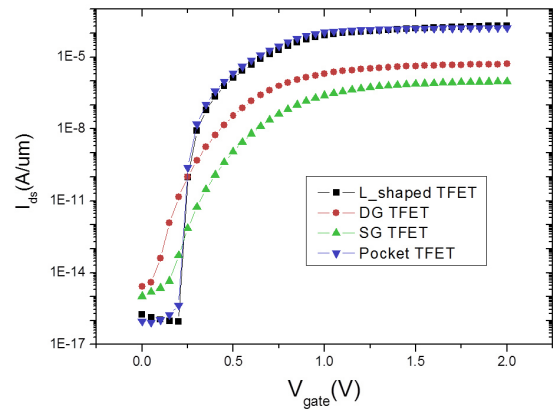


Fig. 6 I_{ds} - V_{gs} characteristics of TFETs with gate oxide HfO_2 at $V_{ds}=0.7$ V.

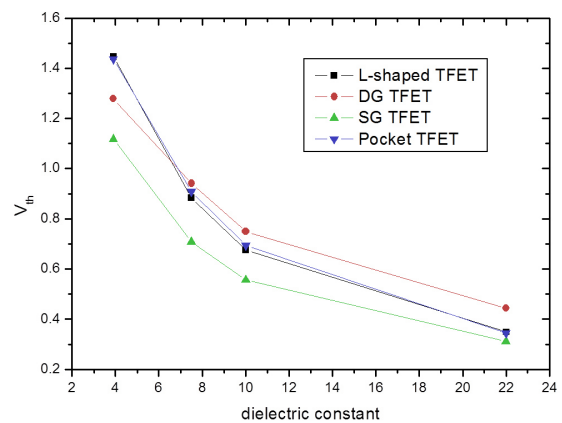


Fig. 7 V_{th} vs dielectric constant of TFETs.

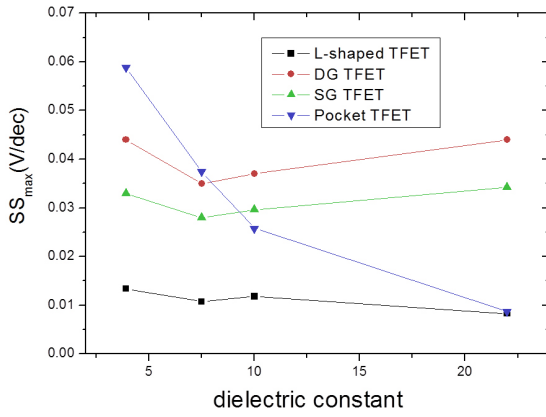


Fig. 8 SS_{max} vs dielectric constant of TFETs.

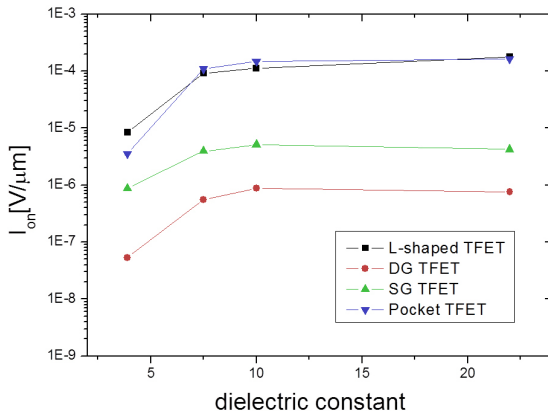


Fig. 9 On-current vs dielectric constant of TFETs.

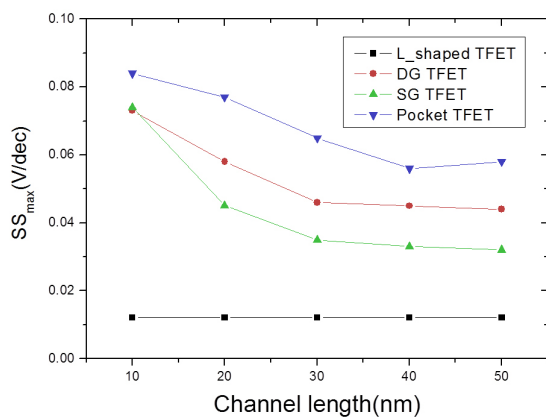


Fig. 10 SS_{max} vs channel length of TFETs.

그림 10 은 게이트길이에 따른 SS_{max} 를 나타낸 결과이다. L-TFET 같은 경우 게이트 길이에 상관없이 SS_{max} 가 일정하게 유지되지만 SG-TFET, DG-TFET, P-TFET에서는 게이트길이의 증가에 따라 SS 가 더 가파라지다가 30 nm 이상에서는 거의 변화가 없다.

V. 결론

본 논문은 4가지 TFET 각 구조들의 특성을 비교하기 위해 Silvaco사의 2차원 소자 시뮬레이션인 ATLAS를 이용하여 시뮬레이션하였다. 게이트산화막이 산화하프늄인 SG-TFET와 DG-TFET 같은 경우에 포인트 터널링에 의해 전류가 흐르게 하지만, L-TFET와 P-TFET 같은 경우 라인 터널링에 의해 전류가 흐르고 SG-TFET와 DG-TFET 보다 SS 면이나 구동전류부분에서 더 향상된 성능을 보였다. 게이트 산화막이 이산화규소를 가지는 P-TFET 같은 경우에 포인트 터널링에서 라인 터널링으로 전류 메커니즘이 바뀌는 험프현상에 의해 SS 가 나빠지나 게이트 산화막을 고유전율 물질로 대체함으로써 험프현상을 억제할 수 있었다. 이 시뮬레이션 결과로 부터 포인트 터널링보다 라인 터널링을 활성화 하는 구조가 향상된 성능을 가지면서 험프현상을 고유전율 기술로 억제하는 방법을 이용한 새로운 구조에 대한 가이드라인으로 제시해본다.

ACKNOWLEDGMENTS

This research was supported by the Ministry of Trade, Industry & Energy (MOTI) (Project No. 10054888) and the Korea Semiconductor Research Consortium (KSRC) support program for the development of future semiconductor devices. This work was supported by IDEC (EDA Tool).

REFERENCES

[1] International Technology Roadmap for Semiconductors [Online]. Available: <http://www.itrs.net/>

[2] D. Hisamoto, W. -C. Lee, J. Kedzierski, H. Takeuchi, K. Asano, C. Kuo, E. Anderson, T.-J. King, J. Bokor, C. Hu, "FinFet- a self-aligned double-gate MOSFET scalable to 20nm," *IEEE Trans. Electron Devices*, vol. 47, no. 12, pp. 2320-2325, Dec. 2000.

[3] K. Gopalakrishnan, P. B. Griffin, J. D. Plummer, "1-MOS:a novel semiconductor device with a subthreshold slope lower than kT/q ," in *IEDM Tech. Dig.*, 2002, pp. 289.

[4] M. J. Lee and W. Y. Choi, "Analytical model of single-gate silicon-on-insulator (SOI) tunneling field-effect transistors (TFETs)," *Solid State Electron.*, vol. 63, no. 1, pp. 110-114, Sept. 2011.

[5] P. -F. Wang, K. Hilsenbeck, T. Nirschl, M. Oswald, C. Stepper, M. Weiss, D.Schmitt-Landsiedel, and W. Hansch, "Complementary tunneling transistor for low power applications," *Solid State Electron.*, vol. 48, no. 12, pp. 2281-2286, May 2004.

[6] M. Gholizadeh, S. E. Hosseini, "A 2-D Analytical Model for Double-Gate Tunnel FETs," *IEEE Trans. Electron Devices*, vol. 61, no. 5, pp. 1494-1500, May 2014.

[7] S. W. Kim, W. Y. Choi, H. Kim, M. C. Sun, H. W. Kim, and B. G. Park, "Investigation on hump effects of L-shaped tunneling field transistors," in *Silicon Nanoelectronics Workshop*, 2012, pp. 169-170.

[8] R. Jhaveri, V. Nagavarapu, and J. C. S. Woo, "Effect of Pocket Doping and Annealing Schemes on the Source-Pocket Tunnel Field-Effect Transistor," *IEEE Trans. Electron Devices*, vol. 58, no. 1, pp. 80-86, Jan. 2011.

[9] U. E. Avci, D. H. Morris, and I. A. Young, "Tunnel field-effect transistors: Prospects and challenges," *IEEE Journal of the Electron Devices Society* vol. 3, no. 3, pp.88-95, May 2015.

[10] H. Lu and A. Seabaugh, "Tunnel field-effect transistors: state-of-the-art," *IEEE Journal of the Electron Devices Society* vol. 2, no. 4, pp.44-49, July 2014.

[11] S. W. Kim, W. Y. Choi, M.-C.I Sun, H. W. Kim and B.-G. Park, "Design Guideline of Si-Based L-shaped Tunneling Field-Effect Transistors," *Jpn. J. Appl. Phys.* vol. 51, no. 6S, pp. 06FE09, June 2012.

[12] Atlas User's Manual, DEVICE SIMULATION SOFTWARE, Silaco. Inc, November 7, 2014.

[13] C. Shen, L.-T. Yang, G. Samudra, Y.-C. Yeo, "A new robust non-local algorithm for band-to-band tunneling simulation and its application to Tunnel-FET," in *Solid-State Electronics*, vol 57, no. 1, pp.23-30, March 2011.

[14] W. G. Vandenberghe, A. S.Verhulst, G. Groeseneken, B. Soree, and W. Magnus, "Analytical model for point and line tunneling in a tunnel field-effect transistor," in *Proceeding of International Conference on Simulation of Semiconductor Processes and Devices (SISPAD)*, 2008, pp. 137-140.



심언성(UnSeong Shim)

2009년 2월 - 현재 한경대학교 전자공학과 학부
 ※관심분야 : 반도체 소자 및 회로 설계



안태준(TaeJun Ahn)

2010년 2월 - 현재 한경대학원 전자공학과 석사
 ※관심분야 : 반도체 소자 및 회로 설계



유운섭(YunSeop Yu)

1995년 8월 고려대학교 전자공학과(공학사)
1997년 8월 고려대학교 일반대학원 (공학석사)
2001년 8월 고려대학교 일반대학원 (공학박사)
2001년 9월 ~ 2002년 9월 미국 NIST 초청연구원
2014년 1월 ~ 2015년 7월 Georgia Institute of Technology Visiting Scholar
2002년 10월 ~ 현재 한경대학교 전기전자제어공학과 교수
※관심분야 : 반도체 소자 및 회로 설계, 고령친화 IT 기술