

# p-Pillar 영역의 두께와 농도에 따른 4H-SiC 기반 Superjunction Accumulation MOSFET 소자 구조의 최적화

정영석, 구상모<sup>a</sup>

광운대학교 전자재료공학과

Optimization of 4H-SiC Superjunction Accumulation MOSFETs by Adjustment of the Thickness and Doping Level of the p-Pillar Region

Young-Seok Jeong and Sang-Mo Koo<sup>a</sup>

Department of Electronic Materials Engineering, Kwangwoon University, Seoul 01897, Korea

(Received July 29, 2014; Revised September 18, 2015; Accepted September 18, 2015)

**Abstract:** In this work, static characteristics of 4H-SiC SJ-ACCUFETs were obtained by adjusting the p-pillar region. The structure of this SJ-ACCUFET was designed by using a two-dimensional simulator. The static characteristics of SJ-ACCUFET, such as the breakdown voltages, on-resistance, and figure of merits, were obtained by varying the p-pillar doping concentration from  $1 \times 10^{15} \text{ cm}^{-3}$  to  $5 \times 10^{16} \text{ cm}^{-3}$  and the thickness from 0  $\mu\text{m}$  to 9  $\mu\text{m}$ . The doping concentration and the thickness of p-pillar region are closely related to the break down voltage and on-resistance and threshold voltages. Hence a silicon carbide SJ-ACCUFET structure with highly intensified breakdown voltages and low on-resistances with good figure of merits can be achieved by optimizing the p-pillar thickness and doping concentration.

**Keywords:** 4H-SiC, ACCUFET, Super-junction, Doping concentration, Breakdown voltage, On-resistance

## 1. 서론

최근 전력 반도체 소자들은 고효율에 대한 요구가 증대되어 4H-SiC에 대한 관심이 많아지고 있다. 4H-SiC는 넓은 밴드갭( $\sim 3.26 \text{ eV}$ ), 높은 전계강도( $\sim 2.2 \times 10^6 \text{ V/cm}$ ), 높은 열전도도( $\sim 3.7 \text{ W/cm} \cdot \text{K}$ )을 가지기 때문에 고온, 고전력 환경에서도 반도체 소자 동작이 가능하다는 장점을 가지고 있다 [1-3]. 특히 실온에서 4H-SiC

는 Si, GaAs보다 항복전계가 10배 정도 커서 Power MOSFET, ACCUFET, BJT, IGBT 등 전력 소자 분야에 적용이 가능하다 [4]. 그 중 ACCUFET 소자는 MOSFET보다 낮은 문턱전압 및 낮은 누설 전류, 채널에서의 높은 이동도, 낮은 온-저항의 장점이 있어 응용 분야가 넓다 [5]. 하지만 ACCUFET 소자의 높은 항복 전압 특성을 위해서는, 일반적으로 드리프트 영역의 불순물 농도를 낮추지만 반대로 온-저항은 증가하게 되어 트레이드-오프 관계가 성립된다. 이러한 관계를 개선하기 위해 pillar를 드리프트 영역에 추가하게 된다. 모서리 부분에 전계 집중 현상을 분산하는 superjunction 구조를 사용하여 항복 전압과 온-저항 특성을 향상시키고 있다.

본 연구에서는 4H-SiC Superjunction Accumulation

a. Corresponding author; smkoo@kw.ac.kr

전계효과 트랜지스터(SJ-ACCUFET) 소자를 설계하였으며, pillar 영역의 두께와 농도에 따른 항복 전압과 온-저항, 문턱 전압을 최적화 시뮬레이션을 진행하였다.

### 2. 실험 방법

SJ-ACCUFET 소자 최적화 설계를 위해 Atlas사의 이차원 시뮬레이터를 사용하였다. 그림 1(a)는 기존의 ACCUFET 구조와 (b) SJ-ACCUFET을 설계한 구조이다. 기존 ACCUFET 구조는 n형 기판( $5 \times 10^{18} \text{ cm}^{-3}$ ) 위에 상대적으로 낮은 도핑 농도를 갖는 n형 드리프트 영역을  $10 \mu\text{m}$  형성하였다. p형 우물 영역( $2 \times 10^{17} \text{ cm}^{-3}$ )은 드리프트 영역과 농도 차에 의해 노멀리-오프가 된다. p형 우물 간의 간격은  $4 \mu\text{m}$ 로 형성하였으며, 산화층의 항복 현상을 막았다 [6]. 이후에 p-pillar 영역을 추가하여 SJ-ACCUFET 구조를 설계하였다.

기존 ACCUFET은 항복 전압이 720 V, 온-저항이

$7.06 \text{ m}\Omega \cdot \text{cm}^2$ , 문턱 전압이 2.7 V인 소자를 기준으로 하였다. Pillar 영역의 두께는  $1 \mu\text{m}$ 에서  $9 \mu\text{m}$  만큼 증가시키는 한편, 농도 변화는  $1 \times 10^{15} \text{ cm}^{-3}$ 에서  $5 \times 10^{16} \text{ cm}^{-3}$ 까지 변화시켜 항복전압, 문턱 전압, 온-저항 성능 지수의 전기적 특성을 분석했다.

### 3. 결과 및 고찰

그림 2(a), (b)는 pillar 영역의 두께 및 농도를 1~9

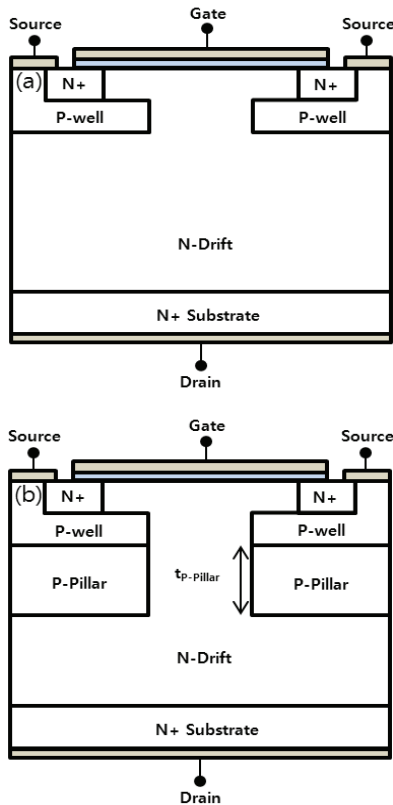


Fig. 1. Cross section of the (a) conventional ACCUFET and (b) SJ-ACCUFET.

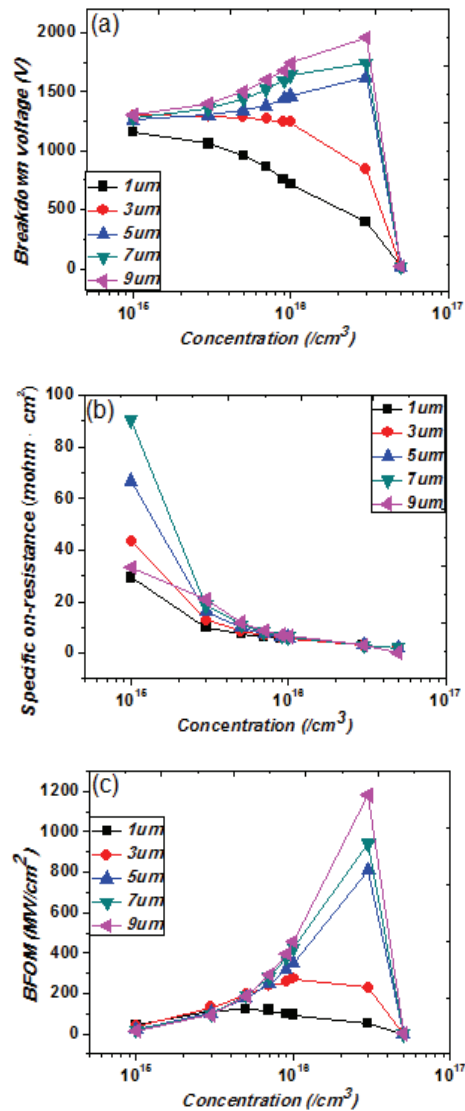


Fig. 2. Effect of drift pillar region concentration on (a) breakdown voltage, (b) specific on-resistance, and (c) BFOM.

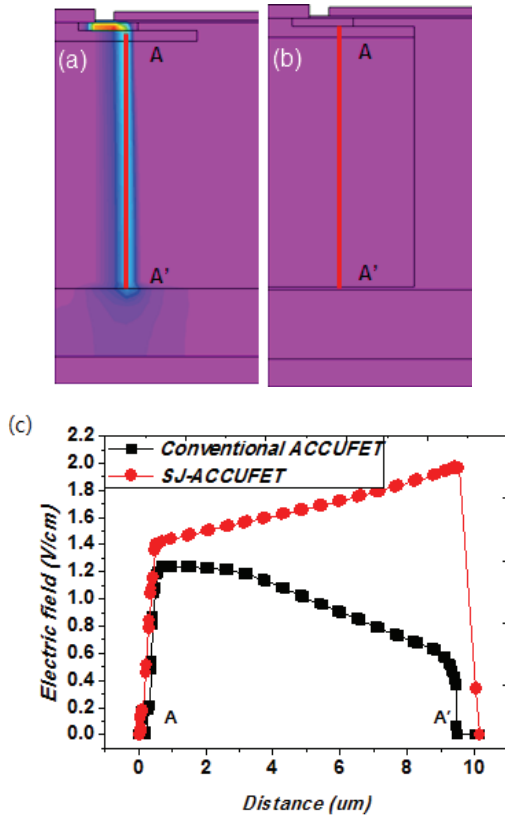


Fig. 3. The current density distribution of (a) ACCUFET, (b) SJ-ACCUFET, and (c) electric field profile at  $V_{DS}=740$  V (at  $V_G=0$  V).

$\mu\text{m}$ ,  $1 \times 10^{15} \text{ cm}^{-3} \sim 5 \times 10^{16} \text{ cm}^{-3}$ 만큼 증가시킬 때 항복 전압과 온-저항의 변화를 나타낸 그림이다. Pillar 영역의 두께가  $9 \mu\text{m}$ , 농도가  $3 \times 10^{16} \text{ cm}^{-3}$ 일 때 기존 ACCUFET 소자보다 항복 전압은  $\sim 720$  V에서  $\sim 1,960$  V로 증가하였으며, 온-저항은  $\sim 7.06 \text{ m}\Omega \cdot \text{cm}^2$ 에서  $\sim 3.27 \text{ m}\Omega \cdot \text{cm}^2$ 로 감소하였다. 농도가  $3 \times 10^{16} \text{ cm}^{-3}$ 에서  $5 \times 10^{16} \text{ cm}^{-3}$ 까지 증가할 경우, 항복 전압이  $\sim 1,960$  V에서  $\sim 20$  V로 크게 감소하였다. 이는 p형 우물 영역과 드리프트 영역의 접합 부분에서 공핍 영역이 형성되지 않아 낮은 전압에서도 전류가 흐르게 된다. 소자 구조 최적화 비교를 위해 발리가 성능 지수(BFOM)를 구했다 [7].

$$BFOM = \frac{V_B^2}{R_{sp,on}} \quad (1)$$

Pillar 두께와 농도 변화에 따른 성능 지수를 구한

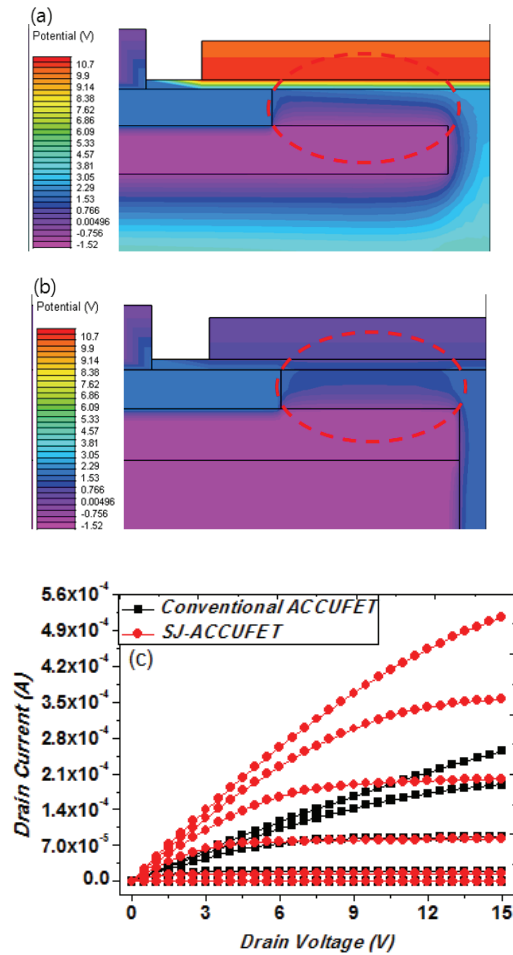


Fig. 4. Potential contours of (a) conventional ACCUFET, (b) SJ-ACCUFET, and (c)  $I_{DS}-V_{GS}$ .

결과는 그림 2(c)를 통해 확인할 수 있다. 두께가  $9 \mu\text{m}$ , 농도가  $3 \times 10^{16} \text{ cm}^{-3}$ 일 때 기존 ACCUFET 보다 BFOM이  $\sim 46.08 \text{ MW/cm}^2$ 에서  $\sim 118.109 \text{ MW/cm}^2$ 로 증가된다. 이는 pillar 영역의 농도와 두께가 소자 성능에 영향을 미치며, 개선되었음을 의미한다.

그림 3(a), (b)는  $V_{DS}=740$  V ( $V_G=0$  V)일 때, 기존 ACCUFET과 최적화된 SJ-ACCUFET의 전류 밀도 분포를 나타낸다. 기존 ACCUFET에서는 항복 현상이 발생하며, 반대로 최적화된 SJ-ACCUFET 구조에서는 발생하지 않았다. 이는 pillar영역으로 인해 임계전계에 도달하는 전압이 감소됨을 의미하며, 그림 3(c)를 통해 확인할 수 있다.

그림 4는 (a) ACCUFET과 (b) SJ-ACCUFET의 등전위선 및 문턱 전압을 비교한 그림이다. ACCUFET

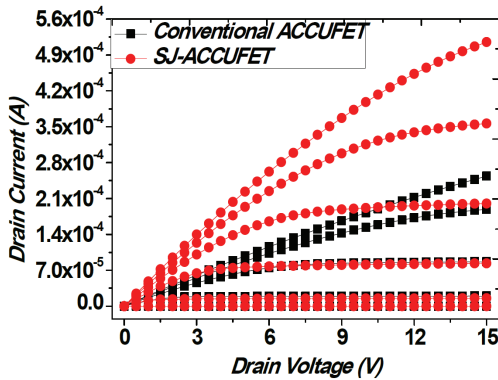


Fig. 5. Comparison of simulated IDS-VDS characteristics of SJ-ACCUFET to those of conventional ACCUFET at  $V_{GS}=0-10$  V.

소자는 p형 우물 영역과 n형 드리프트 영역의 농도 차로 인한 전위장벽( $V_{bi}$ )이 발생된다.  $V_{bi}$ 의 변화는 문턱 전압에 영향을 주는데 식 (2)에 의해  $V_{bi}$ 과 문턱 전압의 관계가 성립된다.

$$V_{th} = \Phi_{ms} + \left( \frac{E_s V_{bi}}{E_{ox} W_n} - \frac{qN_D W_N}{2E_{ox}} \right) \quad (2)$$

위 식에서  $\Phi_{ms}$ 는 금속-반도체 일함수,  $E_{ox}$ ,  $E_s$ 는 산화막, 반도체 영역에서의 전기장,  $W_n$ 은 채널 영역의 폭,  $N_D$ 는 드리프트 영역의 농도를 나타낸다. 따라서 최적화된 SJ-ACCUFET은 기존 ACCUFET 소자보다 문턱 전압이  $\sim 1.6$  V 감소되었다. 이는 그림 4(c)를 통해 확인할 수 있다.

그림 5는 기존 ACCUFET과 SJ-ACCUFET의 출력 특성을 비교한 그림이다. 최적화된 SJ-ACCUFET 소자는 기존 ACCUFET보다 전류 레벨이  $\sim 50\%$  증가하였다. 이는 온-저항 감소가 출력 특성을 향상시켰음을 의미한다.

#### 4. 결론

본 연구에서는 4H-SiC SJ ACCUFET 소자를 설계하여 시뮬레이션을 통해 정적 특성을 확인하였다. p-

pillar을 이용해 항복전압과 온-저항의 트레이드-오프 관계를 개선하였다. 또한 항복전압과 온-저항은 p-pillar 영역의 도핑 농도와 두께 변화에 따라 감소하며, 성능 지수는 증가하였다. 문턱 전압은 p-pillar 영역의 도핑 농도에 따라 기존 ACCUFET 보다  $\sim 1.6$  V 감소하였다.

본 연구 결과를 통해 높은 항복 전압과 낮은 온-저항이 요구되는 무정전 전원장치(UPS)나 스위칭 모드 전력 공급장치(SMPS)에 응용할 수 있는 설계 구조를 확인해 볼 수 있었다.

#### 감사의 글

본 연구는 국가과학기술연구회의 지원을 받아 수행된 한국전기연구원 주요사업(No. 17-12-N0101-35)과 한국연구재단의 지원(2015R1D1A1A01056596, 2015K1A3A1A59074209)을 통해 연구 개발된 결과임을 밝힙니다.

#### REFERENCES

- [1] Z. D. Sha, X. M. Wua, and L. J. Zhuge, *Phys. Lett.*, **A355**, 215 (2007).
- [2] J. H. Kim, D. H. Cho, W. Y. Lee, B. M. Moon, W. Bahng, S. C. Kim, N. K. Kim, and S. M. Koo, *J. Alloys Comp.*, **489**, 1 (2010). [DOI: <http://dx.doi.org/10.1016/j.jallcom.2009.09.048>]
- [3] C. Codreanu, M. Avram, E. Carbunescu, and E. Iliescu, *Mater. Sci. Semicond. Process.*, **2**, 137 (2000). [DOI: [http://dx.doi.org/10.1016/S1369-8001\(00\)00022-6](http://dx.doi.org/10.1016/S1369-8001(00)00022-6)]
- [4] B. J. Baliga, *Silicon Carbide Power Devices* (World Scientific, USA, 2005).
- [5] P. M. Shenoy and B. J. Baliga, *IEEE Electron Device Lett.*, **18**, 589 (1997). [DOI: <http://dx.doi.org/10.1109/55.644080>]
- [6] R. Singh, D. C. Capell, M. K. Das, L. A. Lipkin, and J. W. Palmour, *IEEE Trans. Electron Dev.*, **50**, 471 (2003). [DOI: <http://dx.doi.org/10.1109/TED.2002.808511>]
- [7] B. J. Baliga, *Power Semiconductor Devices* (Boston, MA: PWS-Kent, 1995).