

논문 2017-54-5-4

# 재구성가능 연산증폭기를 사용한 저전력 4차 델타-시그마 변조기 설계

(Design of Low Power 4th order  $\Sigma\Delta$  Modulator with Single Reconfigurable Amplifier)

성재현\*, 이동현\*, 윤광섭\*\*

(Jae-Hyeon Sung, Dong-Hyun Lee, and Kwang Sub Yoon<sup>©</sup>)

## 요약

본 논문에서는 생체 신호 처리를 위한 12비트 이상의 고 해상도를 갖는 저 전력 CMOS 4차 델타-시그마 변조기를 설계하였다. 제안하는 4차 델타-시그마 변조기는 시간 분할 기법을 이용하여 회로를 시간에 따라 재구성해 4개의 연산증폭기가 필요한 회로를 1개의 연산증폭기만으로 구동 시켰다. 이를 통하여 일반적인 구조보다 전력소모를 75% 감소시킬 수 있다. 또한 kT/C 잡음과 칩 면적을 고려하여 변조기의 입력단과 출력 단의 커패시터들을 안정적으로 구동하기 위하여 적분기내 가변되는 증폭기를 설계하였다. 첫 번째와 두 번째 클럭 위상에서는 2단 연산 증폭기가 동작하고, 세 번째와 네 번째 위상에서는 1단 연산 증폭기가 동작한다. 이로 인하여 두 가지 위상 조건에서 연산증폭기의 위상여유가 60~90도 이내에 존재하게 하므로서 변조기의 안정성을 크게 향상시켰다. 제안한 변조기는 0.18 $\mu$ m CMOS N-well 1 poly 6 metal 공정을 이용하여 제작되었으며, 1.8V의 공급전압에서 354 $\mu$ W의 전력소모가 측정되었다. 256kHz의 동작주파수, 128배의 오버샘플링 비율 조건에서 250Hz의 입력 신호를 인가하였을 때, 최대 SNDR은 72.8dB, ENOB은 11.8 비트로 측정되었다. 또한 종합 성능 평가지수인 FOM(Walden)은 49.6pJ/step, FOM(Schreier)는 154.5dB로 측정되었다.

## Abstract

In this paper, a low power 4th order delta-sigma modulator was designed with a high resolution of 12 bits or more for the biological signal processing. Using time-interleaving technique, 4th order delta-sigma modulator was designed with one operational amplifier. So power consumption can be reduced to 1/4 than a conventional structure. To operate stably in the big difference between the two capacitor for kT/C noise and chip size, the variable-stage amplifier was designed. In the first phase and second phase, the operational amplifier is operating in a 2-stage. In the third and fourth phase, the operational amplifier is operating in a 1-stage. This was significantly improved the stability of the modulator because the phase margin exists within 60~90deg. The proposed delta-sigma modulator is designed in a standard 0.18 $\mu$ m CMOS n-well 1 poly 6 Metal technology and dissipates the power of 354 $\mu$ W with supply voltage of 1.8V. The ENOB of 11.8bit and SNDR of 72.8dB at 250Hz input frequency and 256kHz sampling frequency. From measurement results FOM1 is calculated to 49.6pJ/step and FOM2 is calculated to 154.5dB.

**Keywords :** CMOS, Delta-Sigma Modulator, Low Power, Bio Signal Processing

## I. 서론

첨단 과학기술이 발전하면서 인체의 건강에 대한 관심이 높아져, 생체 신호 측정 및 자극 시스템 분야가 활

발히 연구되면서 휴대형 측정 장비의 핵심인 저 전력 고해상도 A/D 변환기에 대한 요구가 증가하고 있다.

여기서 저속/고해상도의 특성을 만족시키는 델타-시그마 변조기에 요구되는 특성은 저전력이다. 낮은 전

\* 학생회원, \*\* 평생회원, 인하대학교 전자공학과 (Department of Electronic Engineering, Inha University)

© Corresponding Author(E-mail : ksyoon@inha.ac.kr)

※ 이 논문은 2010년도 정부(교육부)의 재원으로 한국연구재단의 지원을 받아 수행된 기초연구사업임(2010-0020163)

Received : December 6, 2016 Revised : February 6, 2017 Accepted : April 10, 2017

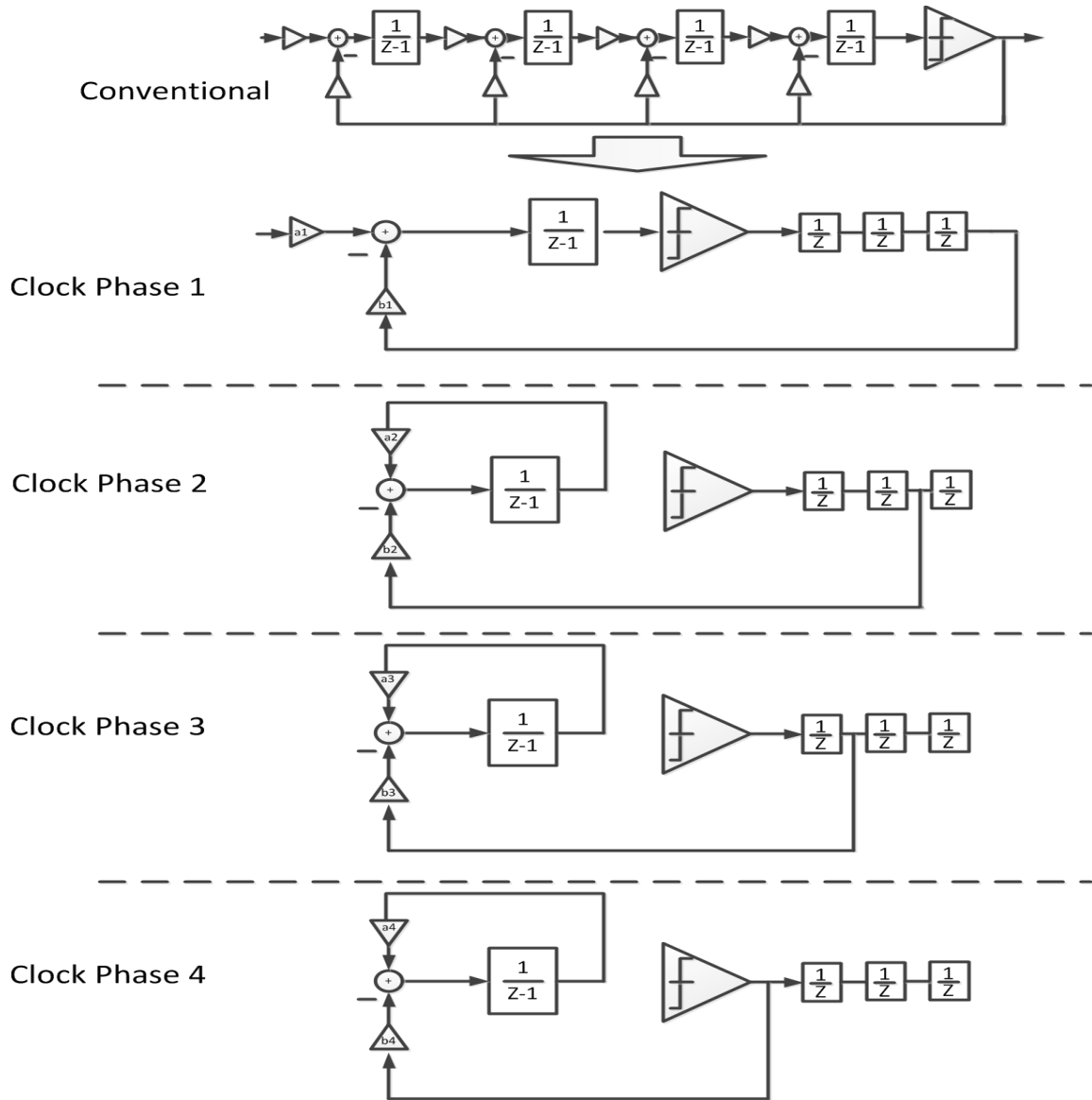


그림 1. (a) 일반적인 4차 피드백 구조의 델타-시그마 변조기와 제안하는 변조기의 (b) 클럭 위상 1, (c) 클럭 위상 2, (d) 클럭 위상 3, (e) 클럭 위상 4

Fig. 1. (a) Conventional feedback 4th order delta-sigma modulator (b) Proposed modulator clock phase 1 (c) Proposed modulator clock phase 2 (d) Proposed modulator clock phase 3 (e) Proposed modulator clock phase 4.

력소를 소모하면서 고해상도를 달성하기 위한 선행연구로는 먼저 시간분할 기술을 이용하여 증폭기의 수를 줄이는 방법이 있다<sup>[1]</sup>. 델타-시그마 변조기는 차수를 증가시킬수록 고해상도를 달성하기에 유리그러나 증폭기의 수가 같이 증가하여 전력 소모가 크게 증가하는데 시간분할 기술을 이용하면 4차 델타-시그마 변조기를 2개의 증폭기만으로 동작시킬 수 있다. 그러나 이 방법은 첫째 단과 두 번째 적분단의 커패시턴스 값이 다르므로 적은 커패시터를 구동하는데 첫째 단에서 큰 커패시터를 구동하는 증폭기를 또 사용하면 효율이 떨어지는 단점이 있다. 또 다른 선행연구로는 연산 증폭기 대신에

인버터를 사용하여 변조기를 구성하는 방법이다<sup>[2~3]</sup>. 이 방법은 인버터가 약반전 영역에서 동작함으로써 공급전압 및 전류를 줄일 수 있어서 전력소모를 줄이는데 용이하다. 그러나 인버터의 낮은 DC이득으로 인해 높은 해상도를 달성하기 어려운 단점이 있다.

따라서 본 논문에서는 위에서 제시된 시간분할 기술을 이용하여 효율성을 좀 더 향상시키는 회로를 제안하였다. 첫째, 하나의 증폭기로 4차 델타-시그마 변조기를 구동시키는 것이다. 하나의 증폭기로 4차 델타-시그마 변조기를 구동시키면 위의 [1]에서 발생하는 효율성의 문제를 해결할 수 있다. 그러나 위와 같이 증폭기의 수

를 감소시키고 높은 차수의 델타-시그마 변조기를 구성하면 하나의 증폭기가 4가지 다른 위상에 따른 4가지 다른 부하 커패시터를 구동하게 되는데, 이때 각각의 커패시턴스 값의 차이가 커서 증폭기의 위상 여유가 안정적인 영역에서 벗어나기 때문에 불안정한 동작과 큰 고조파를 발생시키는 문제를 일으킨다. 이와 같은 문제를 해결하기 위해 제안하는 회로에서는 둘째, 4가지 다른 위상에 따른 각각의 커패시턴스에 적합하게 동작하는 하나의 증폭기를 제안하는 것이다. 두 가지 방법을 결합하면 하나의 증폭기로 높은 차수의 변조기에서도 안정성 있게 동작하는 변조기를 설계할 수 있다.

본 논문의 2장에서는 제안하는 델타-시그마 변조기 구조에 대해 설명하고, 3장에서는 설계된 각 회로에 대해 설명한다. 4장에서는 모의실험 및 측정 결과에 대해 설명한다. 5장에서는 본 논문에 대한 결론을 내리도록 한다.

## II. 본 론

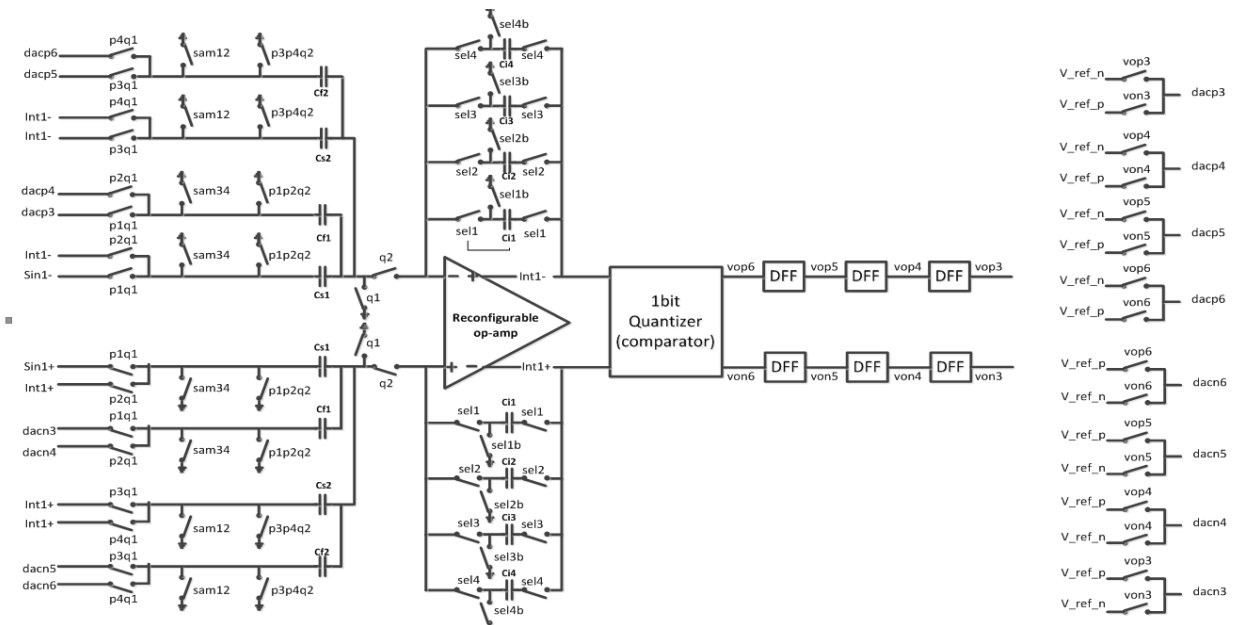
### 1. 제안하는 델타-시그마 변조기 구조

본 논문에서 제안하는 회로는 생체 신호 처리를 위한 4차 델타-시그마 변조기이다. 전력소모를 최소화하기 위해 시간 분할 방법을 이용하여 한 개의 증폭기로 4개의 적분기를 동작시켜 4차 델타-시그마 변조기를 구성하였다. 또한 연산증폭기를 하나만 사용함으로써 발생할 수 있는 위상여유의 불안정성을 안정화시키기 위하여 단이 가변되는 연산증폭기를 사용하였고, 잡음의 영

향을 최소화하기 위하여 단일 비트 비교기와 DAC를 사용하여 설계하였다.

그림 1은 일반적인 델타-시그마 변조기의 구조(a)와 제안하는 변조기 구조의 클럭 위상 1(b), 클럭 위상 1(c), 클럭 위상 1(d) 와 클럭 위상 1(e)이다. 클럭 위상 1에서는 반주기 동안 p1q1, q1, sam12의 스위치가 도통되어 신호를 샘플링 한 뒤 남은 반주기 동안 p1p2q2, q2, sel1의 스위치가 도통되어 적분 동작을 수행하며, 1비트 비교기로 양자화를 수행한다. 클럭 위상 2에서는 반주기 동안 p2q1, q1, sam12의 스위치가 도통되어 1차 적분기의 출력 신호를 다시 샘플링 한 뒤, 남은 반주기 동안 p1p2q2, q2, sel2의 스위치가 도통되어 적분 동작을 수행한다. 클럭 위상 3에서는 반주기 동안 p3q1, q1, sam34의 스위치가 도통되어 2차 적분기의 출력 신호를 다시 샘플링 한 뒤 남은 반주기 동안 p3p4q2, q2, sel3의 스위치가 도통되어 적분 동작을 수행한다. 클럭 위상 4에서는 반주기 동안 p4q1, q1, sam34의 스위치가 도통되어 3차 적분기의 출력 신호를 다시 샘플링 한 뒤 남은 반주기 동안 p3p4q2, q2, sel4의 스위치가 도통되어 적분 동작을 수행한다.

시간 분할 기법이 적용되어 하나의 증폭기가 4개의 적분 커패시터를 사용하여 각 단의 결과를 저장하며, 적분을 수행한다. 제안하는 구조의 변조기는 샘플링과 적분 시간을 1/4로 나누어서 동작하는 구조이기 때문에 감소된 샘플링과 적분 시간에서 안정적으로 동작하기 위해 오버샘플링 비율을 128배로 설정하였다. 오버샘플링 비율을 128배로 설정하였기 때문에 12비트 이상의



해상도를 달성하기 위해서 4차의 델타-시그마 변조기 구조를 사용하였다. 제안하는 구조로부터 NTF(Noise Transfer Function)를 구하면 식 (1)-(5)와 같으며, 각 단의 계수들은 표 1에 나타내었다. 그림 1에서 나타낸 바와 같이 a1, a2, a3, a4 는 각 단에서의 적분 계수이며 b1, b2, b3, b4는 각 단에서의 피드백 계수이다.

$$NTF(z) = \frac{(z-1)^4}{z^4 + C_3z^3 + C_2z^2 + C_1z + C_0} \quad (1)$$

$$C_0 = a_4b_3 - b_4 - a_3a_4b_2 - a_2a_3a_4b_1 + 1 \quad (2)$$

$$C_1 = 3b_4 - 2a_4b_3 + a_3a_4b_2 - 4 \quad (3)$$

$$C_2 = 6 + a_4b_3 - 3b_4 \quad (4)$$

$$C_3 = b_4 - 4 \quad (5)$$

표 1.  $\Sigma\Delta$  변조기의 적분 및 피드백 계수  
Table1. Integration and feedback Coefficient of  $\Sigma\Delta$  modulator.

계수	값	계수	값
a1	0.1	b1	0.1
a2	0.1	b2	0.1
a3	0.4	b3	0.2
a4	0.4	b4	0.2

표 2. 변조기에 사용된 커패시터 값  
Table2. Capacitance used in the modulator.

커패시터	값	커패시터	값
Cs1	2pF	Ci1	20pF
Cs2	2pF	Ci2	20pF
Cs3	400fF	Ci3	1pF
Cs4	400fF	Ci4	1pF
Cf1	2pF	Cf3	200fF
Cf2	2pF	Cf4	200fF

## 2. 델타-시그마 변조기 설계

제안하는 델타-시그마 변조기 회로도도 그림 2와 같다. 하나의 증폭기가 4개의 적분 커패시터를 사용하여 각 적분기 단의 결과를 저장하며 적분을 수행한다. 각각의 적분 커패시터가 증폭기에서 분리되는 시간 동안 신호의 변화를 막기 위하여 그림 2에서와 같이 플로팅된 단자를 공통 모드 단자에 연결하였다. 표 1과 같이 피드백 커패시터의 수를 감소시키기 위하여 첫 번째와 두 번째 적분 단의 루프 필터 계수를 동일하게 구성하였고, 세 번째와 네 번째 단의 루프 필터 계수도 동일하게 구성하였다. 계수 구현과 레이아웃의 용이성을 위하여 250fF의 단위

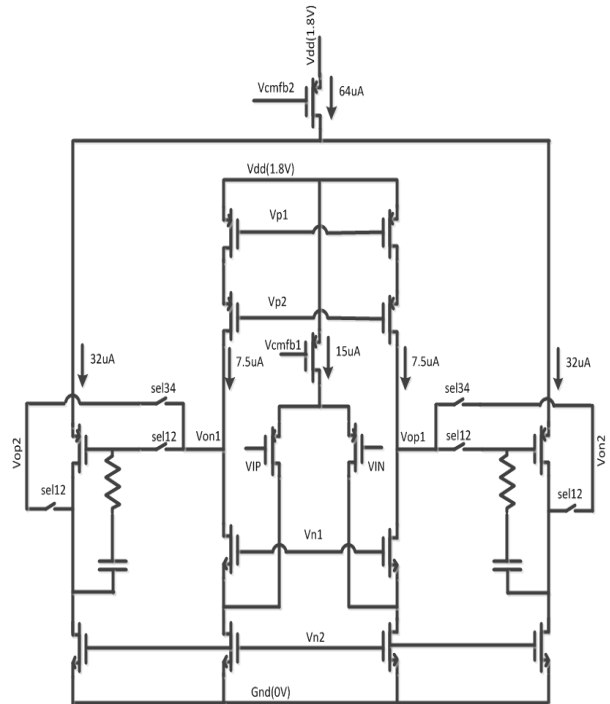


그림 2. 제안하는 단이 가변되는 연산 증폭기의 회로도  
Fig. 2. Proposed circuit schematic of operational amplifier.

커패시터를 정수배로 사용하였다.

델타-시그마 변조기에서 입력 단에서만 kT/C 잡음의 영향이 나타나고 뒷 단으로 갈수록 kT/C 잡음의 영향이 점차적으로 감소한다<sup>[4]</sup>. 따라서 입력 단에서는 kT/C 잡음의 영향을 최소화하기 위하여 충분히 큰 커패시터를 사용하고 뒷 단으로 갈수록 칩 면적을 감소시키기 위하여 작은 커패시터를 사용한다. 이때 제안하는 델타-시그마 변조기는 연산증폭기를 한 개만 사용하기 때문에 두 가지 크기의 커패시터를 구동할 때 위상여유의 안정성을 보장하기 어렵다. 위상여유가 60~90도의 영역을 벗어나게 되면 3차 고조파가 크게 발생하여서 SNDR이 저하되고, 이는 유효비트수(ENOB; Effective Number Of Bit)까지 감소시키는 결과를 발생시킨다<sup>[5]</sup>. 이를 방지하기 위해 입력 단에서 큰 커패시터를 구동할 때는 2단(Two-Stage) 증폭기가 되고, 뒷 단에서 작은 커패시터를 구동할 때는 1단(One-Stage) 증폭기가 되어서 위상여유를 안정적으로 확보하는 연산증폭기를 설계하였다. 제안하는 구조의 연산 증폭기 회로도도 그림 3에 나타내었다. 첫 번째와 두 번째 적분단에서 동작할 때는 sel12의 스위치가 도통되고, sel34가 차단되어서 2단(Two-Stage) 증폭기로 동작하고 세 번째와 네 번째 적분단에서 동작할 때는 sel34의 스위치가 도통되고, sel12가 동작해서 1단(One-Stage) 증폭기로 동작한다.

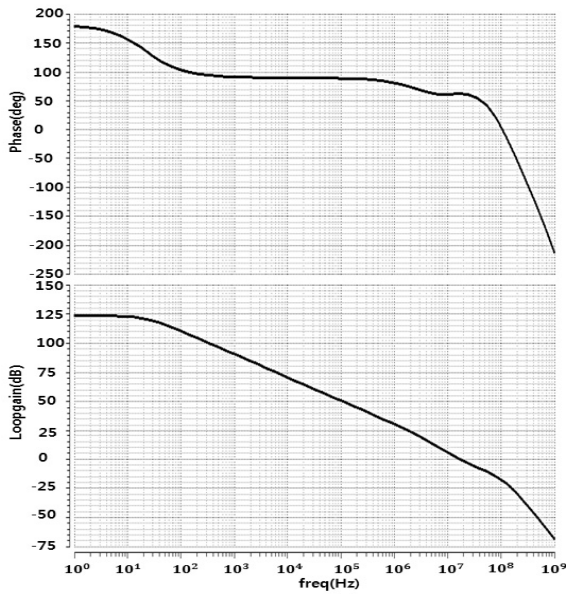


그림 3. 연산 증폭기의 AC 모의 실험 결과 (Phase 1 and Phase 2)  
 Fig. 3. AC simulation result of op-amp in phase 1 and phase 2.

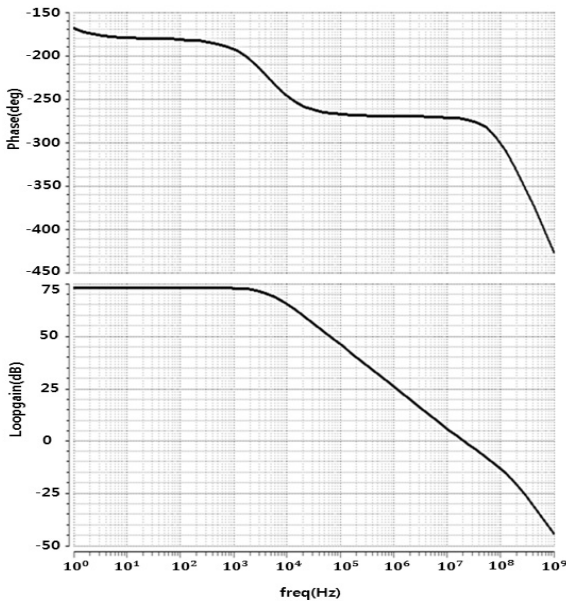


그림 4. 연산 증폭기의 AC 모의 실험 결과 (Phase 3 and Phase 4)  
 Fig. 4. AC simulation result of op-amp in phase 3 and phase 4.

제안된 증폭기의 AC 모의실험 결과를 각각 그림 4와 5에 나타내었다. 클럭 위상 1 과 클럭 위상 2에 사용된 2단 연산 증폭기는 루프 이득이 125dB, 위상여유가 68도, 단위이득 주파수가 17MHz이다. 클럭 위상 3과 클럭 위상 4에 사용된 1단 연산 증폭기는 루프 이득이 75dB, 위상여유가 86 도, 단위 이득 주파수가 19MHz이다. 증

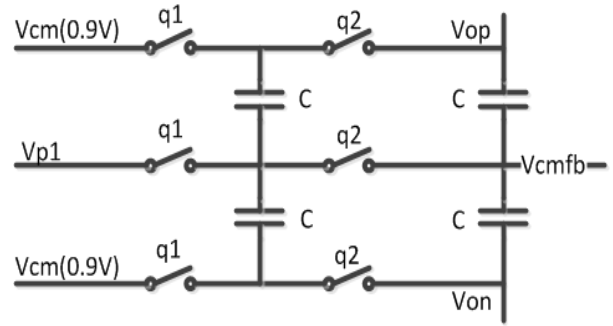


그림 5. 공통모드 귀환 회로의 회로도  
 Fig. 5. Circuit schematic of common mode feedback circuit.

폭기의 공급전압은 1.8V이며, 총 소모전류는 94μA이다. 그림 6은 제안된 회로에 사용된 스위치-커패시터 공통 모드 귀환 회로도를 나타낸 것이다. 공통모드 귀환 회로는 연산증폭기 동작에 영향을 최소화 하기 위해 30fF의 작은 커패시터를 사용하였다.

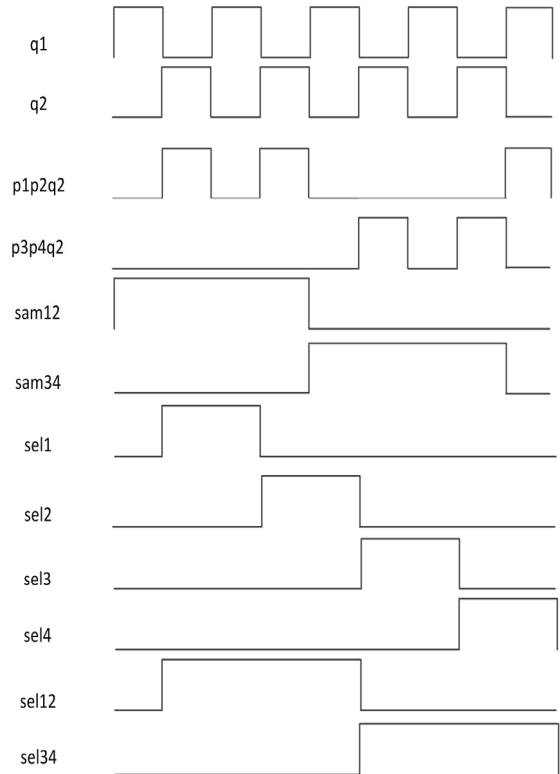


그림 6. 회로 내에서 사용되는 클럭 파형  
 Fig. 6. waveform of clock signal.

### 3. 클럭 발생기 회로 설계

그림 7은 회로 내에서 사용되는 클럭 파형을 나타낸 것이다. q1, q2는 각각 기본 샘플링, 적분 클럭을 나타낸다. p1p2q2, p3p4q2는 클럭 위상 3과 4에서 쓰이는 적분 클럭이다. sam12, sam34는 신호를 샘플링 할 때 반

대 클럭 위상 때 샘플링한 신호의 기준을 잡아주는 데 사용되는 클럭이다. sel1, sel2, sel3, sel4는 각 클럭 위상 때 적분 커패시터를 선택하는데 사용되는 적분 클럭이다. sel12, sel34는 클럭 위상 1, 2와 클럭 위상 3, 4에서 연산 증폭기의 단을 결정하는데 사용되는 클럭이다. 기본 클럭신호인 q1, q2를 먼저 생성하고 q1, q2를 reference로 하여 p1q1d, p2q1d, p3q1d, p4q1d, p1q2d, p2q2d, p3q2d, p4q2d를 생성한다. 다음으로 p1~ , p2~의 클럭들을 reference하여 디지털 로직을 이용하여 회로에 필요한 클럭 신호들을 생성한다. 그림 8은 비 중첩 클럭 발생기의 회로도이다.

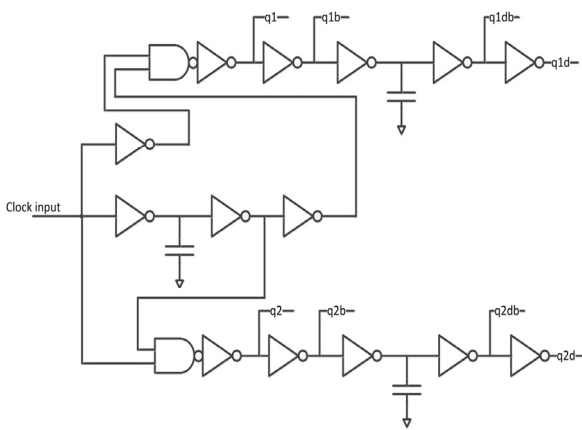


그림 7. 제안된 회로에서 사용된 비 중첩 클럭 발생기의 회로도  
Fig. 7. Circuit schematic of non-overlapping clock generator.

### III. 실험 및 고찰

설계된 변조기의 모의실험은 CMOS 0.18 $\mu$ m 1 poly 6 metal 공정 라이브러리를 이용하여 수행하였다. 사용된 툴은 스펙트라(spectre)와 hspice를 사용하였으며 스펙트의 자체 스펙트럼 분석 기능을 이용하여 FFT 하였다. 비트 스트림의 샘플 수는 4096개로 hanning 윈도우를 통해 신호누설을 억제하여 FFT를 진행하였다. 외부에서 입력되는 동작 클럭 주파수는 OSR이 128이 되도록 설정하였기 때문에 256kHz의 클럭 신호가 필요하다. 제안하는 델타-시그마 변조기 구조는 시간 분할 기법을 사용하기 때문에 4배의 클럭 신호를 인가하여 1/4된 클럭 신호를 사용한다. 따라서 1.024MHz의 클럭 신호를 외부에서 입력하여 실제로는 256kHz의 클럭 신호를 사용한다.

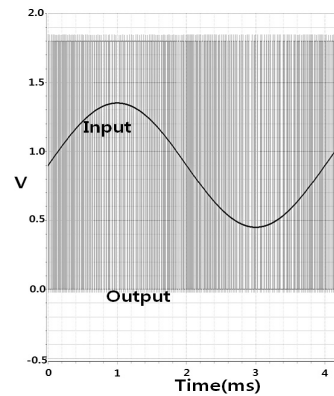


그림 9. 설계된 4차  $\Sigma\Delta$  변조기에 대한 모의실험 결과  
Fig. 9. Simulation result of designed 4th  $\Sigma\Delta$  modulator.

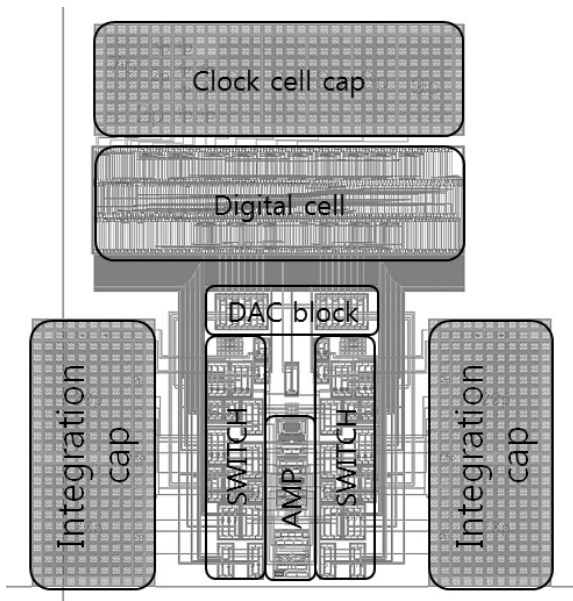


그림 8. 설계한 4차  $\Sigma\Delta$  변조기의 레이아웃  
Fig. 8. Layout of the designed 4th order  $\Sigma\Delta$  modulator.

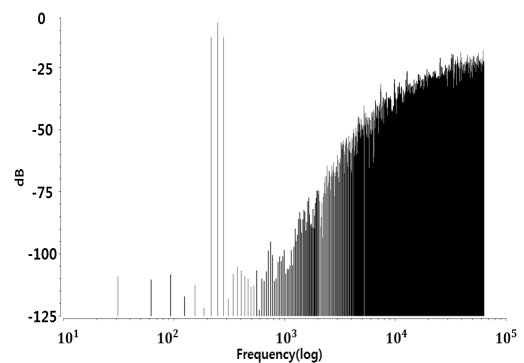


그림 10. 설계된 4차  $\Sigma\Delta$  변조기에 대한 모의실험 FFT 결과  
Fig. 10. Simulation FFT result of designed 4th  $\Sigma\Delta$  modulator.

그림 9는 설계된 4차 델타-시그마 변조기에 대한 모의실험 결과로서 입력 정현파의 기울기에 따라서 변조된 파형이 달라짐을 확인할 수 있다. 그림 10은 그림 9

의 출력 파형을 FFT한 결과로서 노이즈 셰이핑(noise shaping)되는 것을 확인할 수 있다. 250Hz 주파수에 900mVpp의 신호크기를 갖는 신호를 입력시켜서 모의 실험을 수행하였다. 모의실험 결과 SNDR은 80.63 dB, 유효비트수는 13.1 비트로 측정되었다.

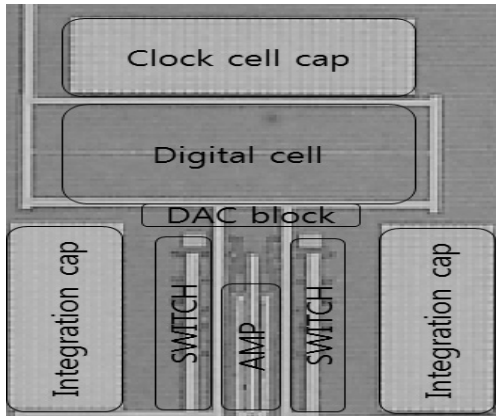


그림 11. 제작된 변조기 칩 사진  
Fig. 11. Chip photograph.

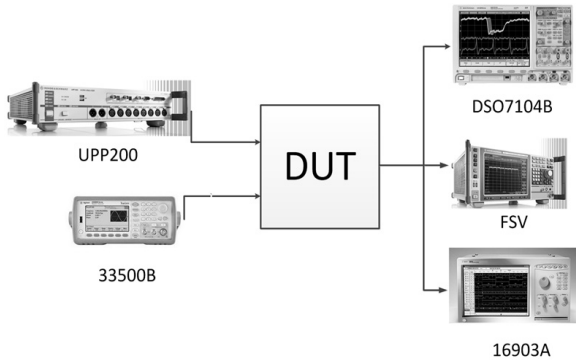


그림 12. 제작된 칩의 측정환경  
Fig. 12. measurement environment.

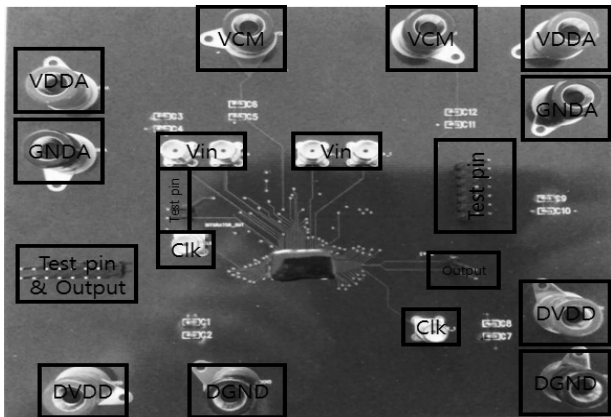


그림 13. 제작한 변조기의 측정용 PCB  
Fig. 13. Performance verification PCB for delta-sigma modulator.

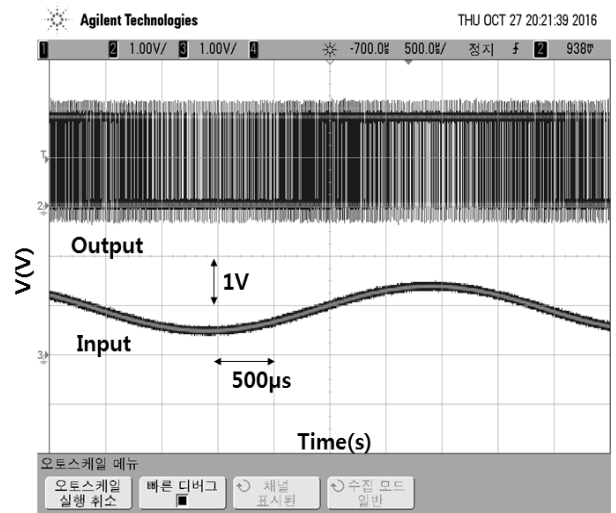


그림 14. 측정된 변조기 출력신호  
Fig. 14. Measured modulator output signal.

그림 11은 제작된 칩 사진이며, 제작된 전체 회로 레이아웃 면적은 850µm x 950µm이다. 칩 사진에서 아날로그 셀과 스위치, 그리고 커패시터는 칩 아래, 클럭발생기에 사용되는 디지털 캐패시터 셀은 칩 윗단에 배치하였다. 칩 측정 환경은 그림 12와 같다. 측정 환경으로는 측정장비 UPP200과 33500B를 사용하여서 각각 정현파 신호와 클럭 신호를 생성하였으며, 출력 신호를 오실로스코프(DSO7104B)와 스펙트럼 분석기(FSV)로 확인한 후, 로직분석기(16903A)로 비트 스트림을 출력한 뒤, MATLAB으로 신호 대 잡음비와 유효비트수를 계산하였다. 그림 13은 제작된 PCB 사진으로서 아날로그 전원(VDDA, GNDA)과 디지털 전원(DVDD, DGND)이 구분되어 있으며, 공통모드 전원(VCM), 클럭(clk), 입력단자(Vin), 테스트 핀(test pin) 및 출력단자(Vout)를 볼 수 있다. 그림 14는 오실로스코프로 측정한 입력 신호와 출력신호 파형을 나타낸 것이다. 250Hz, 804 mVpp 정현파 신호를 입력하였고, 128배의 오버샘플링 비율로 클럭 신호를 입력하였을 때의 출력파형을 나타내었다. 성능 측정은 256kHz의 샘플링 클럭 주파수에서 250Hz의 입력 정현파 신호를 인가하여 크기를 가변시켜서 최대 SNDR과 DR을 구하였다. 그림 15는 804 mVpp에서 131072개의 비트 스트림 샘플 수 일 때 출력 신호 FFT 결과이며, 유효비트수는 11.8 비트로 측정되었다. 측정 결과 최대 SNDR은 72.8dB, 유효비트수는 11.8 비트로 나타내었다. 그래프에서 나타나듯이 kT/C 잡음에 의해서 노이즈 셰이핑의 정도는 40dB로 보이지만 접선의 기울기를 그려보면 80dB/dec임을 확인할 수 있다. 이 때 전력소모는 아날로그 전류 165.9µA, 디지털

전류 31 $\mu$ A로 총 354 $\mu$ W로 측정되었다. 아날로그 전류는 Gm bias 전류: 64.17 $\mu$ A, 연산증폭기 전류: 96.93 $\mu$ A, Am 비교기 전류: 6.89 $\mu$ A이며 디지털 전류는 클럭 발생기와 버퍼에서 소모된다.

그림 16은 입력신호 크기에 따른 SNDR 측정 결과를 나타낸 것이며, 이때 DR은 90dB로 측정되었다. 제안하는 변조기의 측정결과와 다른 논문과의 성능 비교를 표 2에 정리하였다. 연산증폭기 2개로 4차를 구현한 논문인 [1]보다 전력 소모와 FOM (Walden)이 약 1/2로 줄었으며 FOM (Schreier)는 12dB 증가한 것을 확인할 수 있다. 델타-시그마 변조기의 성능을 표현하기 위한 Walden과 Schreier의 FOM (Figure Of Merit) 식을 식 (6) 및 (7)에 나타내었다.

$$FOM(Walden) = \frac{P}{2^{ENOB} \times 2 \times BW} \quad (6)$$

$$FOM(Schreier) = DR + 10 \log \left( \frac{BW}{P} \right) \quad (7)$$

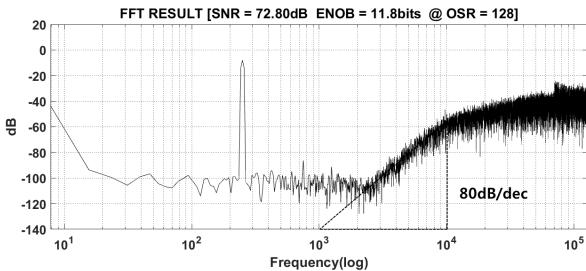


그림 15. 측정된 변조기 출력 FFT 결과  
Fig. 15. Measured modulator output FFT result.

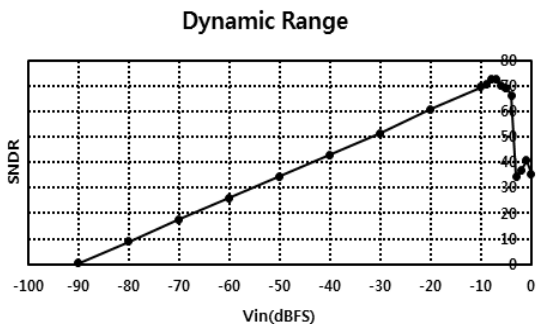


그림 16. 입력신호 크기 변화에 따른 SNDR 측정 결과  
Fig. 16. Measured result of SNDR versus input signal amplitude.

#### IV. 결 론

본 논문에서는 생체 신호 처리용 저 전력 고해상도 4

차 델타-시그마 변조기를 설계하였다. 제안하는 4차 델타-시그마 변조기는 시간 분할 기술을 이용하여 회로를 시간에 따라 재구성하여 4개의 연산증폭기가 필요한 회로를 1개의 연산증폭기로 구동하여 저 전력 회로를 구성하였다. 또한 kT/C 잡음과 칩 사이즈를 고려하여 크기 차이가 크게 설계된 변조기의 입력단과 뒤 단의 커패시터를 안정적으로 구동하기 위하여 커패시터 값에 따라서 단이 가변되는 증폭기를 설계하였다. 해당 OSR에서 12비트 이상의 해상도를 만족시키기 위하여 4차 델타-시그마 변조기의 구조를 사용하였고 1비트 피드백 구조로 설계하여 전력소모를 줄이고 안정적으로 동작하는 것이 핵심이다.

제안한 4차 델타-시그마 변조기는 0.18 $\mu$ m CMOS n-well 1 poly 6 metal 공정을 이용하여 제작되었으며 측정 결과는 1.8V의 공급전압에서 354 $\mu$ W의 전력소모를 가지고 동작주파수 256kHz, OSR 128배의 조건에서 250Hz의 입력 신호를 인가하였을 때 최대 SNDR은 72.8dB, 유효비트수는 11.8bit으로 측정되었다. 결과로부터 FOM (Walden)은 49.6pJ/step, FOM(Schreier)는 154.5dB로 계산되었다.

#### REFERENCES

- [1] S. H. Yang, J. H. Choi, G. S. Yoon, "A Design of Reconfigurable 4th Order delta-sigma Modulator Using Two Op-amps Journal," Journal of The Institute of Electronics and Information Engineers, vol. 52, No. 5, pp. 875-881, May. 2015.
- [2] Y. Chae and G. Han, "Low voltage, low power, inverter-based switched-capacitor delta-sigma modulator," IEEE J. Solid-State circuits, vol. 44, no. 2, pp. 458-472, Feb. 2009.
- [3] Y. Chae, J. Cheon, S. Lim, M. Kwon, K. Yoo, W. Jung, D. Lee, S. Ham, and G. Han, "A 2.1 M Pixels, 120 Frame/s CMOS Image Sensor With Column-Parallel  $\Delta\Sigma$  ADC Architecture," IEEE J. Solid-State Circuits, vol. 46, no. 1, pp. 236-247, Jan. 2011.
- [4] S. Richards and G. C. Temes, "Understanding Delta Sigma data converters," Wiley Interscience, 2005.
- [5] A. Pugliese, Francesco A. Amoroso, G. Cappuccino, G. Cocorullo, "Analysis of op-amp phase margin impact on SC delta-sigma modulator performance", Microelectronics Journal, vol. 41, pp. 440-446, 2010.
- [6] A. P. Perez, E. Bonizzoni, and F. Maloberti, "A



- 88-dB DR, 84-dB SNDR very low-power single op-amp third-order  $\Sigma\Delta$  modulator," IEEE, J. Solid-State Circuits, Vol. 47, No. 9 pp. 2017-2118, Sep. 2012.
- [7] F. Michel and M. S. J. Steyaert, "A 250mV 7.5 $\mu$ W 61dB SNDR SC delta-sigma modulator using near-threshold-voltage-biased inverter amplifiers in 130nm CMOS," IEEE Journal of Solid-State Circuits, vol. 47, No. 3, pp. 709-721, Mar. 2012.
- [8] Yamamoto, J. and Carusone, A.C. "A 1-1-1-1 MASH Delta-Sigma Modulator With Dynamic Comparator-Based OTAs," IEEE J. Solid-State Circuits, vol. 47, no. 1, pp. 1866-1883, Aug. 2012.
- [9] A. Ismail and I. Mostafa, "A Process-Tolerant, Low-Voltage, Inverter-Based OTA for Continuous-Time Delta-Sigma ADC", IEEE Transactions on Very Large Scale Integration Systems, vol. 24, pp. 2911-2917, 2016.

---

 저 자 소 개
 

---



성 재 현(학생회원)  
 2015년 2월 인하대학교 전자공학과  
 학사 졸업.  
 2017년 2월 인하대학교 전자공학과  
 석사 졸업.  
 <주관심분야: 전자공학, 혼성신호  
 회로설계>



이 동 현(학생회원)  
 2017년 2월 인하대학교 전자공학과  
 학사 졸업.  
 2017년 3월 인하대학교 전자공학과  
 입학 석사 재학중  
 <주관심분야: 전자공학, 혼성신호  
 회로설계>



윤 광 섭(평생회원)  
 1981년 인하대학교 전자공학과 학사  
 졸업.  
 1983년 Georgia Institute Inc,  
 Technology 전자공학과 석사  
 졸업.

1989년 Georgia Institute Inc, Technology 전자  
 공학과 박사 졸업.  
 1984년 3월~1989년 2월 Georgia Institute of  
 Technology Research Assistant.  
 1989년 3월~1992년 2월 Silicon Systems Inc, Tustin  
 Calif. U.S.A Senior Design Engineer  
 1992년 3월~현재 인하대학교 전자공학과 교수  
 <주관심분야: 전자공학, 혼성신호 회로설계>