

철도 발리스 응용을 위한 DBPL 인코더 설계 연구

The Study on DBPL Encoder Design for Railway Balise Application

이 정 준* · 양 도 철** · 김 성 진*** · 김 봉 섭*** · 김 유 현***

* 주저자 : 모루시스템(주) 대표이사, 교통공학 박사
 ** 교신저자 : 한국철도기술연구원 수석연구원
 *** 공저자 : 한국철도기술연구원 선임연구원
 *** 공저자 : 모루시스템(주) 연구원
 *** 공저자 : 모루시스템(주) 연구원

Jeong-jun Lee* · Doh-chul Yang** · Seong-jin Kim*** ·

Bong-seob Kim*** · Yu-hyeon Kim***

* MORU Ind. Sys.
 ** Korea Railroad Research Institute
 *** Korea Railroad Research Institute
 *** MORU Ind. Sys.
 *** MORU Ind. Sys.

† Corresponding author : Doh-chul Yang, dcyang@krii.re.kr

Vol.16 No.2(2017)

April, 2017

pp.161~170

ISSN 1738-0774(Print)

ISSN 2384-1729(On-line)

[https://doi.org/10.12815/kits.](https://doi.org/10.12815/kits.2017.16.2.161)

2017.16.2.161

Received 11 November 2016

Revised 16 December 2016

Accepted 14 February 2017

© 2017. The Korea Institute of
Intelligent Transport Systems. All
rights reserved.

요 약

발리스는 열차의 안전한 운영을 위하여 철도의 레일 사이에 설치하여 운영하는 장치로, 텔레그램이라 칭하는 정보(거리·구배·속도·임시 속도제한 등의 가변정보)를 무선으로 통과하는 열차에 전송하는 기능을 갖는다. 본 연구는 이에 필요한 DBPL 인코더의 설계에 대한 것이다. 일반적으로 발리스를 위한 DBPL 인코더는 전용 ASIC이나 FPGA를 통하여 구현하고 있으나, 본 연구에서는 범용의 저전력 마이크로컨트롤러(STM32L4 Series)를 활용하여 설계하였다. 본 연구의 DBPL 인코더는 펌웨어 방식의 논리적 1차 처리 수단과 마이크로컨트롤러 내장 SPI Bus 등을 이용한 물리적 출력수단으로 구분하여 설계하였다. 본 연구의 DBPL 인코더는 유로발리스 표준에서 요구하는 564.48Kbps의 속도로 동작 가능함을 확인하였다.

핵심어 : 발리스, 트랜스폰더, DBPL, 유로발리스

ABSTRACT

The balise is a device for the railroad signal control systems, which is installed between both rail. The balise sends fixed or variable data, named telegram, to the train with wireless method. The telegram includes the position information, the movable distance under the signal status, the gradient, the speed, the temporary speed limit, etc. This research is on a design of the DBPL encoder for the balise. Normally the DBPL encoder for the balise is with the ASIC or FPGA technology. In this research, the DBPL encoder is designed with commercial low power operable micro-controller. The firmware(logic level encode) and the SPI Bus function block(physical level output) of the micro-controller are used for the DBPL encode. Under the european standard, the required working speed of the DBPL encoder is 564.48Kbps. The DBPL encoder of this research is tested under the speed of 564.48Kbps, and it worked properly.

Key words : balise, transponder, DBPL, euro-balise

I. 서 론

1. 개 요

발리스는 열차의 안전운행을 위하여 시설물의 위치를 확인할 수 있는 고정정보나 신호현시에 따라 이동이 허용되는 거리·구배·속도·입시 속도제한 등의 가변정보 등(통칭 텔레그램)을 차상으로 무선 전송하는 장치이다. 발리스는 철도의 레일 사이에 설치되는데, 차상 수신장치 사이의 정보 전달은 유럽철도에서 표준화한 DBPL¹⁾ 인코딩 방식이 해외 및 국내에서 공통적으로 활용되고 있다(Ko, 2012). 본 연구는 이에 필요한 DBPL 인코더의 설계에 대한 것이다. 통상 발리스를 위한 DBPL 인코더는 전용 ASIC²⁾이나 FPGA³⁾ 응용을 통하여 구현하고 있으나, 본 연구에서는 범용의 저전력 마이크로컨트롤러를 활용하여 설계하였다(Baek, 2003; Baek, 2004; Shin, 2007). 이는 발리스 장치의 경제성 향상에 도움이 될 수 있다. 본 연구에서는 기존연구 및 특허 검토를 통해 DBPL 특성을 분석하고 인코더 설계를 진행하여 시제품을 제작하였고 시제품을 통한 성능평가 및 결론을 도출하였다.

II. DBPL 인코딩 규격 및 기존연구 검토

유선 또는 무선 전송로에서 디지털 데이터를 안정적으로 전달하기 위하여 사용되는 물리레벨 인코딩 방식으로는 NRZ·Manchester·Bi-Phase 등 다양한 기법이 있다. 이러한 인코딩 기법의 일종인 DBPL 방식은 주로 철도용 발리스에 적용되고 있는 것으로, 2단계에 걸친 인코딩을 하는 것이 특징이다. DBPL 방식은 다른 분야에서는 활용되는 사례를 찾아보기 어렵고, 인코딩이나 디코딩 기능을 수행하는 상용 IC도 발견할 수 없었다.

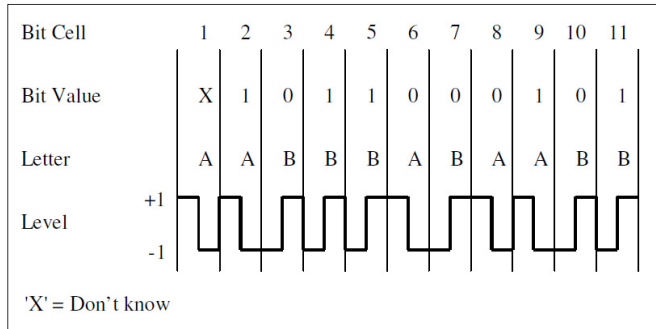
1. DBPL 인코딩 규격

국내에서도 활용되고 있는 발리스에 대한 유럽표준은 ‘SUBSET-036’을 통하여 발리스의 물리적인 상세 규격을 정의하고 있다. DBPL 인코딩·디코딩 방식의 동작 원리를 <Fig. 1>을 참조하여 설명하면 다음과 같다. 먼저 수신된 시그널은 단위 Bit Cell 구간의 중간 시점에서 +1 레벨에서 -1 레벨로 전환되었으면 A-Letter로, -1 레벨에서 +1 레벨로 전환되었으면 B-Letter로 간주된다. 다음 단계로 이전 Bit Cell의 상태와 현재 Bit Cell의 비교를 통하여 A-A Letter 혹은 B-B Letter등으로 상태의 변화가 없었으면 Bit Value는 ‘1’로 간주되고, A-B Letter 혹은 B-A Letter 등으로 변화가 있었다면 Bit Value는 ‘0’으로 간주된다. 송신측 관점에서는 먼저 임의의 초기값이 되는 A 혹은 B의 Letter를 정하고, 전송하고자 하는 현재의 Bit Value가 ‘1’이라면 이전 Bit Cell과 같은 Letter를 전송하고, ‘0’이라면 이전 Bit Cell과 다른 Letter를 전송하게 된다. 발리스의 규격에 정의된 DBPL 신호의 파형은 송신측에서 결정한 초기값의 상태에 따라서 두 가지의 형태를 갖게 된다. <Fig. 1>은 그 중 하나의 예에 대한 파형을 나타내고 있다.

규격에 정의된 DBPL 인코딩 방식은 물리적인 +1 혹은 -1의 Level에 직접 근거하지 않고 이전의 Level 사

1) DBPL ; Defferential Biphase Level
 2) ASIC ; Application Specific Integrated Circuit
 3) FPGA ; Field Programmable Gate Array

이의 변화 여부를 근거로 디코딩을 하기 때문에, 신호의 극성에 영향을 받지 않는 무극성 통신이 가능한 특징을 지닌다.



〈Fig. 1〉 A waveform example of DBPL encoding method

2. 기존 연구 검토

발리스를 위한 DBPL 인코더나 디코더의 설계에 대한 연구는 논문으로 발표된 사례가 드물다. 이는 발리스의 설계 기술을 기업의 노하우로 간직하고자 하는 의도에서 비롯된 것으로 추정된다.

중국 Zhejiang 대학 YAN HAN은 발리스를 위한 물리레벨 데이터 송수신 장치의 설계에 대한 논문(2013)에서 DBPL 인코더를 FPGA⁴⁾를 이용하여 설계하고, 그 평가시험 결과가 긍정적임을 발표하였다. 이는 발리스의 기본적인 제어를 위하여 마이크로 컨트롤러가 필요한 점과 이에 더하여 FPGA를 적용하는 일이 장치의 복잡도와 전력소비를 증가시킬 우려가 크다는 점에서 애로사항을 내포하고 있다고 할 수 있다.

3. 기존 특허 검토

발리스를 위한 DBPL 인코더 및 디코더에 관한 최근의 특허로는 중국의 CN102857366A 및 CN102857366B가 있다(Lian F, 2012a; Lian F, 2012b). 이 두 개의 특허는 CPLD⁵⁾를 이용하여 된 중국의 CTCS⁶⁾ 규격에 호환되는 발리스 설계 기법에 대한 내용을 담고 있다.

Ⅲ. DBPL 인코더의 설계·제작

본 연구에서는 상용의 마이크로컨트롤러를 활용하여 발리스의 핵심적 기능 요소라 할 수 있는 DBPL 인코더를 설계하였다. 본 연구의 DBPL 인코더는 2개의 단계로 구분하여 설계하였다. 즉, 발리스에서 송신하고자 하는 텔레그램을 펌웨어를 통하여 논리적 전처리를 수행하는 1단계, 전처리 결과를 물리적 사양에 따라 SPI⁷⁾ Bus를 통하여 출력하여 FSK 변조 후, UPLINK 안테나로 출력하는 2단계 등으로 구성하였다. 본 연구의

4) FPGA ; field programmable gate array

5) CPLD ; Complex programmable logic device

6) CTCS ; Chinese Train Control System

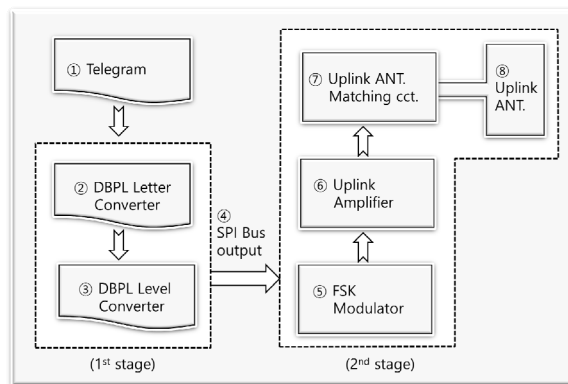
DBPL 인코더 구성을 도식하여 나타내면 <Fig. 2>와 같다. <Fig. 2>에서 ①원시 텔레그램은 발리스가 무선으로 차상장치에 송신하여야 할 데이터이다. 이는 유로발리스 표준 사양에 의거하여 1023bit 또는 341bit의 길이를 갖는다. ②DBPL Letter 변환부 및 ③DBPL Level 변환부는 논리적 전처리 과정(1단계)이고, ④SPI Bus 출력부, ⑤FSK 변조부, ⑥UP-Link 전력증폭부, ⑦UP-Link Ant. Matching부, ⑧UP-Link Ant. 등은 물리적 후처리 과정(2단계)이다.

1. 마이크로 컨트롤러의 선정

소비전력 사양과 처리 능력을 기준으로 본 연구를 위하여 선정된 마이크로컨트롤러는 STM32L4 Series이다. 이는 에너지 소모에 민감한 산업·의료·계측 등의 장치를 위한 것으로, ST마이크로일렉트로닉스에서 2015년 초 발표하였다. 디지털신호처리프로세서(DSP)와 부동소수점유닛(FPU) 등을 포함한 80Mhz의 코어텍스 M4 코어를 탑재하고 있다. 또한 MHz당 100uA 수준의 저 소비전력 사양으로 최대 100DMIPS⁸⁾의 성능을 갖고 있다.

2. DBPL ENCODING 1단계

마이크로컨트롤러의 Firmware로 구성된 DBPL 인코딩 1단계는 송신하여야 할 텔레그램 데이터를 논리적으로 가공하여 ④SPI Bus 출력을 위한 데이터로 만드는 과정이다. 이는 이후의 2단계에서 FM 변조부의 입력 신호로 활용된다. ②DBPL Letter 변환부에서는 A와 B 등 두 개의 출력상태를 갖고 텔레그램 데이터가 0인 경우는 출력상태를 토글하고 1인 경우에는 출력상태를 유지하는 논리로 작동된다. ③DBPL Level 변환부에서는 ②DBPL Letter 변환부에서 만든 출력 데이터를 다시 입력 데이터로 삼아 동작하며, 상태 A의 경우는 전반부가 HIGH이고 후반부가 LOW인 '10'의 두 Bit를 생성하고, 상태 B의 경우는 전반부가 LOW이고 후반부가 HIGH인 '01'의 두 Bit를 생성하는 논리로 작동된다. 송신하여야 할 텔레그램 데이터는 본 DBPL 인코딩 1단계를 거치며 2배의 데이터 용량으로 증가된다.



<Fig. 2> The block diagram of the DPBL Encoder of this research

7) SPI ; Serial Peripheral Interface

8) 1DMIPS는 초당 100만개 명령 수행

3. DBPL ENCODING 2단계

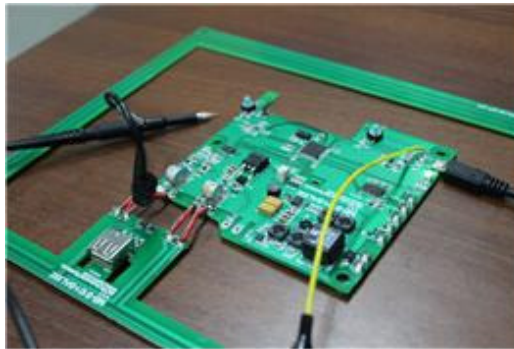
마이크로컨트롤러의 내장 SPI Bus 및 추가적인 Hardware 회로로 구성된 DBPL 인코딩 2단계는 상기의 1단계에서 생성한 데이터를 ④SPI Bus 출력부를 통하여 마이크로컨트롤러 외부로 출력하는 과정이 첫번째이다. 마이크로컨트롤러의 SPI Bus는 유로발리스 표준의 Interface A4에서 정한 전송속도 인 564.48Kbps의 두 배인 1128.96Kbps로 설정하여 동작시키는데, 이는 1단계의 DBPL 인코딩 결과에서 하나의 Letter가 2개의 Level bit로 변환되었기 때문이다. ④SPI Bus 출력을 받아 변조입력으로 활용하여 동작하는 ⑤FSK변조부는 중심주파수 4.234Mhz, 주파수편차 +/- 282.24Khz의 유로발리스 표준사양에 적합하도록 설계된 Hardware 구성이다. 이 출력은 ⑥UP-Link 전력증폭부, ⑦UP-Link Ant. Matching부를 거친 후 최종적으로 ⑧UP-Link Ant.를 통하여 무선 출력된다.

4. 시작품 제작

본 연구의 DBPL 인코더는 2015~2016년에 걸쳐 총 2회의 시작품 제작과 시험 보완을 통하여 완성되었다. 2015년에 제작된 1차 시작품에서는 에너지마이크로사의 8bit 저전력 마이크로컨트롤러인 EFM8SB20F Series를 적용하여, 주로 전기의 2단계인 물리적 구성요소의 동작을 확인하였다. 전송속도의 문제와 저전력 문제를 더욱 향상 시키기 위하여 2016년도의 2차 시작품은 그 사이에 발표된 보다 고 사양의 32bit 저전력 마이크로컨트롤러인 ST마이크로일렉트로닉스사의 STM32L4 Series를 적용하여 제작되었다. 2차 시작품을 이용한 데이터 전송 시험과 송출 세기 보완을 통하여 전기의 1단계 및 2단계 기능의 적합성을 확보하였다. 2차 시작품의 송출 세기 및 전송 시험하는 모습을 <Fig. 3>에 나타내었다.

IV. 동작의 평가

본 연구에서 설계된 DBPL 인코더의 동작에 대한 평가를 2016년 제작된 2차 시작품의 최종 Tuning된 상태를 기준으로 실시하였다. 평가 방법으로는 구성 단계별 동작 특성을 측정하여, 유로발리스 사양과 비교하며 자체시험·평가하였다.



<Fig. 3> The 2-nd evaluation sample of the DPBL Encoder of this research

1. 원시 텔레그램

원시 텔레그램은 텔레그램 저작 툴을 이용하여 설계된 일종의 컴퓨터 파일이다. 텔레그램 저작을 위한 Demo용 PC 프로그램은 한국철도기술연구원의 지원을 받아 활용하였다. 이를 통해, 서로 상이한 조건을 입력하여 된 복수개의 텔레그램 파일을 저작하여 시험에 활용하였다. 원시 텔레그램 파일은 Notebook 컴퓨터의 USB Port를 통하여 본 연구의 시작품에 전달되어 비휘발성 메모리에 저장하도록 설계하여 시험하였다.

2. DBPL LETTER 및 LEVEL 변환부 평가

<Table 1>은 DBPL 인코딩 1단계인 ②DBPL Letter 변환부 및 ③DBPL Level 변환부는 마이크로컨트롤러의 펌웨어로 된 전처리 구성부로서, 복수 샘플의 입력 데이터에 따른 출력 데이터의 생성 결과를 논리적으로 확인하여 검증하여 적합성을 확보하였다.

<Table 1> A data processing example of the 1-st stage DPBL Encoder of this research

bit cell	telegram	②DBPL Letter	③DBPL Level
1	X	A	1
			0
2	1	A	1
			0
3	0	B	0
			1
4	1	B	0
			1
5	1	B	0
			1
6	0	A	1
			0
7	0	B	0
			1
8	0	A	1
			0
9	1	A	1
			0
10	0	B	0
			1
11	1	B	0
			1

3. SPI Bus 출력 평가

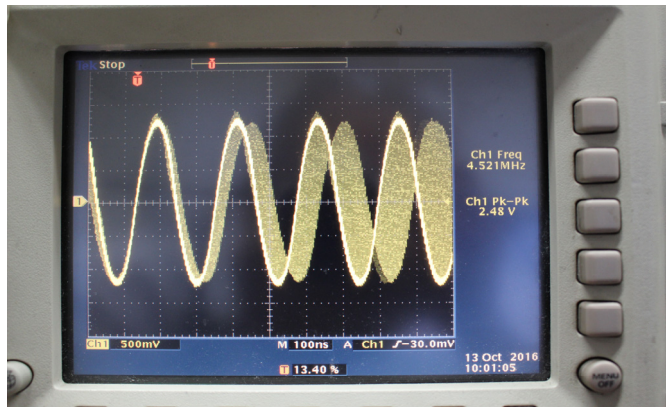
④SPI Bus 출력부를 통하여 마이크로컨트롤러 외부로 출력된 신호는 ⑤FSK변조부의 변조신호 입력으로 제공되는 바, 유로발리스 표준의 변조속도 사양에 부합하여야 한다. 본 연구의 2차 시작품에 대한 SPI Bus 출력 평가 결과는 <Table 2>와 같다.

<Table 2> Characteristic of the output signal of the ④SPI Bus

Item	Value
SPI Output Speed (this research)	1,125kbps
Effective Speed (this research)	562.5kbps
Standard DBPL speed (euro balise spec.)	564.48kbps
Error factor calculated (this research)	- 0.35%
Standard error factor (euro balise spec.)	+/- 2.5%
Evaluation Result	Appropriate

4. FSK 변조 출력 평가

⑤FSK변조부 출력은 미리 설정된 두개의 주파수 중 하나가 ④SPI Bus 출력부를 통하여 제공된 DBPL 데이터의 '0' 또는 '1'의 상태에 따라 선택된 것으로, 발리스와 차상장치 사이의 무선 경로를 이동하기 위한 것이다. 이에 대한 측정 값과 적합성 판정 결과를 <Table 3>에 요약하였다.



<Fig. 4> Waveform of the output signal of the ⑤FSK Modulator

FSK 변조기에서 '0' 과 '1'에 따라 3.95176Mhz, 4.51624Mhz의 주파수를 정상적으로 송출하고 있는지 측정하고 있는 모습을 <Fig. 4>에 나타내었다.

<Table 3> Characteristic of the output signal of the ⑤FSK Modulator

Item	Value
Mark(1) Frequency (this research)	4.51624Mhz
Space(0) Frequency (this research)	3.95176Mhz
Mark(1) Frequency (euro balise spec.)	4.51624Mhz
Space(0) Frequency (euro balise spec.)	3.95176Mhz
Error factor (this research vs spec.)	0%
Evaluation Result	Appropriate

<Table 4> Characteristic of the output signal of the ⑥UP-Link Amplifier

Item	Value
Measured PTP voltage @ Uplink Antenna (this research)	5.9V
RMS voltage @ Uplink Antenna (this research)	4.1725V
Loop current (this research)	84.45mA
Loop current Min. (euro balise spec.)	59mA
Loop current Max. (euro balise spec.)	186mA
Evaluation Result	Appropriate

5. UP-Link 전력증폭부 출력 평가

⑥UP-Link 전력증폭부는 이후의 ⑦UP-Link Ant. Matching부를 통하여 최종적으로 ⑧UP-Link Ant.를 경유하여 차상장치로의 무선 출력이 이루어질 신호를 출력한다. ⑦UP-Link Ant. Matching 회로를 통하여 확보되는 50 Ohm의 안테나 임피던스 환경에서 측정된 ⑥UP-Link 전력증폭부 출력의 평가 방법 및 결과를 요약하면 <Fig. 5>, <Table 4>와 같다.



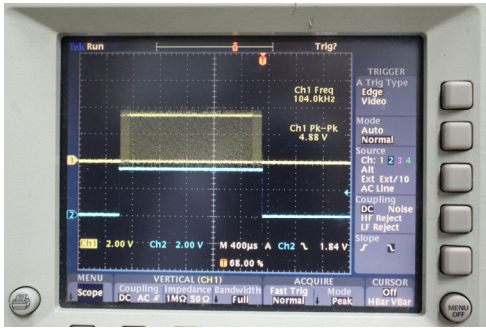
<Fig. 5> The evaluation testing of this research <Fig. 6> The performance test of this research

6. 실제 동작 성능 평가 및 비교

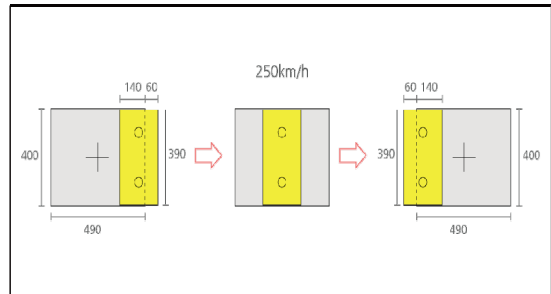
연구의 실제 동작 시험을 위하여 레일바이크를 이용하여 기본 테스트를 진행하였다. <Fig. 6>과 같이 철도 레일 사이에 2차 시작품을 올려놓은 후 레일 위를 통과하여 데이터 송출을 검증하여 적합성을 확보하였다. 전용 ASIC을 활용하는 방식과 FPGA와 마이크로컨트롤러의 혼성 방식은 고 사양 방식으로 시속 350km/h

가 넘는 고속 열차에서도 동작이 가능한 장점이 있지만 매우 고가이다. 본 연구에서는 250km/h에서 동작이 가능한 초 저가 제품에 대한 연구와 성능평가를 진행하였다.

발리스에서 송출한 텔레그램의 적합성 검토를 위하여 오실로스코프로 측정한 모습을 <Fig. 7>에 나타내었다. <Fig. 7>을 보면 텔레그램의 전송 시간은 2.1ms으로 텔레그램 송출 적합성을 확인하였다.



<Fig. 7> Telegram waveform



<Fig. 8> Beginning of tape marker antenna passing over balise

텔레그램 송출하기까지 준비 시간 및 지연되는 시간을 <Table 5>에 나타내었다. 1023bit의 텔레그램을 2번 송출하기 까지 시간을 계산하면 (Wakeup time + Wakeup time + PLL Lock delay + 2 * Telegram ready for sending + 2 * Telegram transmission) 4.526ms이 소요된다.

<Table 5> Telegram transfer time

Item	Time
Wakeup time (LSE)	256µs
PLL config time	10µs
PLL Lock delay	40µs
Telegram ready for sending	10µs
Telegram transmission (1023bit)	2100µs
Telegram transmission (341bit)	700µs

차상장치가 250km/h의 속도로 발리스 위를 지나갈 때 차상장치와 발리스의 모습을 <Fig. 8>에 나타내었다. 발리스의 안테나가 차상장치의 안테나로부터 에너지를 전달받아 텔레그램을 2번 송출하기까지 시간을 계산하기 위하여 안테나의 크기를 측정하였다. 발리스의 안테나가 70%이상 차상장치 안테나와 중첩된 경우 에너지를 전달 받는다고 가정 하면 열차의 속도가 250km/h였을 때 5.9ms의 시간동안 에너지를 전달받고 텔레그램을 송출할 수 있다. 1023bit의 텔레그램을 2번 송출하는데 4.526ms가 소요 되고 341bit의 텔레그램은 2번 이상 전송하기에 충분한 시간이 있으므로 안정적인 텔레그램을 송출이 가능하다.

V. 결론 및 기대효과

본 연구는 최근에 발표된 범용의 저전력 마이크로컨트롤러를 활용하여 발리스용 DBPL 인코더를 설계하여 보인 것이다. 이는 기존의 전용 ASIC을 설계하여 활용하는 방식이나 FPGA와 마이크로컨트롤러의 혼성 구성을 통한 방식에 비하여, 경제성의 향상을 도모할 수 있다. 이를 통하여, 기존의 철도차량 신호시스템용 발리스 기술이 노면전차(트램) 신호시스템 등 보다 경제성이 증시되는 분야에도 활용될 수 있는 계기가 될 것이 기대된다. 향후 연구로는 보다 작은 크기의 도로 매립형 발리스 개발 등 실용화 연구가 필요하다.

ACKNOWLEDGEMENTS

본 연구는 한국철도기술연구원의 ‘중소기업 철도부품 기술개발 지원사업 (2015~2016년)’의 지원으로 수행하였습니다.

REFERENCES

- Ko Y. O.(2012), “Interoperable System Construction with Urban Signalling System (ATS) for Train Control system,” *Journal of the Korean Society for Railway*, pp.204-210.
- Baek J. H. and Kim Y. J.(2004), “The Study of Train Detection Using Balise,” CICS.
- Baek J. H. and Kim Y. J.(2003), “The Study of Function And Requirement Specification for Next Generation Train Train Detection,” ICMIT.
- Shin J. H and H. Y.(2007), “Development of High Speed RFID Reader System,” *Journal of Control, Automation and Systems Engineering*, vol. 13, no. 9, pp.915-919.
- Lian -F., Sun N. F., Zhang P., Xie L., Liming B., Chen Y., He C., Li J. and Li Z.(2012a), “Trackside electronic device for high-speed rail transponder information transparent transmission,” CN102857366A.
- Lian -F., Sun N. F., Zhang P., Xie L., Liming B., Chen Y., He C., Li J. and Li Z.(2012b), “Trackside electronic device for transparent transmission of information of high-speed railway responder,” CN102857366B.