JKIICE Journal of the Korea Institute of Information and Communication Engineering

한국정보통신학회논문지(J. Korea Inst. Inf. Commun. Eng.) Vol. 21, No. 4 : 789~794 Apr. 2017

무접합 원통형 게이트 MOSFET에서 문턱전압이동 분석을 위한 문턱전압이하 전류 모델

정학기*

Subthreshold Current Model for Threshold Voltage Shift Analysis in Junctionless Cylindrical Surrounding Gate(CSG) MOSFET

Hakkee Jung*

Department of Electronic Engineering, Kunsan National University, Gunsan 54150, Korea

요 약

본 논문에서는 무접합 원통형 MOSFET의 해석학적 전위분포를 이용하여 문턱전압이하 전류모델을 제시하고 이를 이용하여 문턱전압이동을 해석하였다. 무접합 원통형 MOSFET는 채널을 게이트 단자가 감싸고 있기 때문에 캐리어 흐름을 제어하는 게이트 단자의 능력이 매우 우수하다. 본 연구에서는 쌍곡선 전위분포모델을 이용하여 포아송 방정식을 풀고 이 때 얻어진 중심 전위분포를 이용하여 문턱전압이하 전류 모델을 제시하였다. 제시된 전류모델을 이용하여 $0.1\mu A$의 전류가 흐를 때 게이트 전압을 문턱전압으로 정의하고 2차원 시뮬레이션 값과 비교하였다. 비교 결과 잘 일치하였으므로 이 전류모델을 이용하여 채널크기 및 도핑농도에 따라 문턱전압이동을 고찰하였다. 결과적으로 채널 반지름이 증가할수록 문턱전압이동은 매우 크게 나타났으며 산화막 두께가 증가할 경우도 문턱전압이동은 증가하였다. 채널 도핑농도에 따라 문턱전압을 관찰한 결과, 소스/드레인과 채널 간 도핑농도의 차이가 클수록 문턱전압은 크게 증가하는 것을 관찰하였다.

ABSTRACT

Subthreshold current model is presented using analytical potential distribution of junctionless cylindrical surrounding-gate (CSG) MOSFET and threshold voltage shift is analyzed by this model. Junctionless CSG MOSFET is significantly outstanding for controllability of gate to carrier flow due to channel surrounded by gate. Poisson's equation is solved using parabolic potential distribution, and subthreshold current model is suggested by center potential distribution derived. Threshold voltage is defined as gate voltage corresponding to subthreshold current of $0.1\mu A$, and compared with result of two dimensional simulation. Since results between this model and 2D simulation are good agreement, threshold voltage shift is investigated for channel dimension and doping concentration of junctionless CSG MOSFET. As a result, threshold voltage shift increases for large channel radius and oxide thickness. It is resultingly shown that threshold voltage increases for the large difference of doping concentrations between source/drain and channel.

키워드 : 무접합, 원통형 MOSFET, 문턱전압이동, 채널 반지름

Key word : junctionless, cylindrical surrounding-gate MOSFET, threshold voltage shift, channel radius

Received 23 November 2016, **Revised** 12 December 2016, **Accepted** 23 December 2016

* **Corresponding Author** Hakkee Jung(E-mail:hkjung@kunsan.ac.kr, Tel:+82-63-469-4684)
Department of Electronic Engineering, Kunsan National University, Gunsan 54150, Korea

Open Access https://doi.org/10.6109/jkiice.2017.21.4.789 print ISSN: 2234-4772 online ISSN: 2288-4165

ⓒThis is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(http://creativecommons.org/li-censes/ by-nc/3.0/) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright Ⓒ The Korea Institute of Information and Communication Engineering.

Ⅰ. 서 론

기존의 CMOSFET는 심각한 단채널효과 때문에 채널길이, 산화막 두께 등의 스케일링에 한계를 드러냈다. 이러한 한계를 극복하기 위하여 개발된 소자가 이중게이트(Double Gate; DG) MOSFET, FinFET, 원통형(Cylindrical Surrounding Gate; CSG) MOSFET 등의 다중게이트 MOSFET이다 [1]. 이 공정 미세화분야에서 가장 앞서가는 삼성전자에서는 2016년 10 nm FinFET을 이용하여 SoC등을 제작하기로 결정하였다고 발표하였다[2]. FinFET는 채널주변에 3개의 게이트를 갖도록 설계한 트랜지스터로서 현재 개발된 공정으로 제작할 수 있는 매우 우수한 소자이다. 그러나 아직까지 일정한 원통형 제작 등 공정상의 문제로 인하여 FinFET보다 게이트 제어능력이 우수한 원통형 MOSFET에 대해선 연구단계에 머물러있다[3]. 원통형 MOSFET는 채널을 완전히 게이트 단자로 둘러싼 소자로써 채널 내 캐리어의 흐름을 제어하는데 가장 우수한 소자이다. 그러나 이와 같은 소자의 경우도 나노단위의 소스와 드레인장벽에서 발생하는 저항이나 도핑기술 등에 의하여 제한을 받고 있다[4]. 이러한 제한 조건을 극복하기 위하여 개발된 소자가 무접합(Junctionless) 원통형 MOSFET이다[5]. 즉, 채널의 도핑농도를 고도핑된 소스/드레인 영역과 유사한 정도까지 증가시켜 나노단위에서 발생하는 급격한 접합장벽문제를 해결하고자 한 트랜지스터이다. 이 경우 공정을 보다 단순히 할 수 있으며 단채널효과를 감소시킬 수 있다[4]. 본 논문에서는 무접합 원통형 MOSFET의 경우 문턱전압이동 현상을 채널크기 및 채널도핑 농도에 따라 관찰하고자 한다. 이를 위하여 포아송방정식에서부터 유도한 해석학적 전위분포를 이용할 것이다. 특히 원통형 MOSFET의 경우 전도중심인 원통중심의 전위분포가 매우 중요하다. 기존의 논문[6,7]에서는 확산-표동방정식을 이용하여 문턱전압이하 전류를 구하였으나 본 논문에서는 보다 단순하면서 2차원 시뮬레이션 값에 더욱 근사한 전류모델을 제시할 것이다. 이 전류모델을 이용하여 문턱전압이동현상을 채널크기 및 도핑농도변화에 대하여 관찰함으로써 무접합 원통형 MOSFET의 설계파라미터를 추출하고자 한다.

2장에서는 원통형 MOSFET의 전위모델 및 문턱전압이하 전류모델을 유도할 것이다. 3장에서 제시한 모델을 이용하여 문턱전압이동현상을 구하고 고찰 할 것이며 4장에서 결론을 맺는다.

Ⅱ. 원통형 MOSFET의 전위 및 문턱전압이하 전류 모델

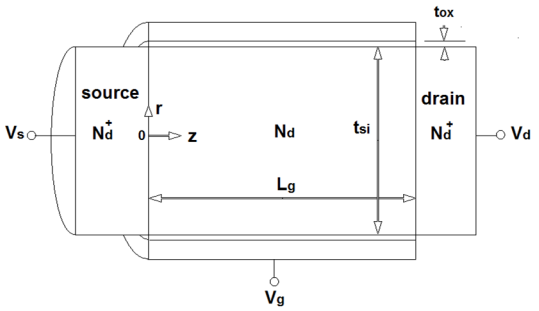


Fig. 1 Schematic sectional diagram of CSG MOSFET

그림 1에 채널크기 및 도핑 파라미터를 포함한 원통형 MOSFET의 개략도를 도시하였다. 그림 1에서 알 수 있듯이 소스/드레인과 채널을 동일한 형태의 N형으로 도핑하여 소스/드레인 영역과 채널 간 발생하는 접합전위의 크기를 최소화한 무접합 원통형 MOSFET의 경우이다. 본 논문에서는 게이트물질로 고도핑된 p^+ 폴리실리콘을 사용하였다. 채널길이는 L_g, 채널지름은 $t_{si}(=2R)$이며 채널도핑은 N_d이다. 먼저 포아송방정식을 이용하여 원통좌표계에서 전위분포를 구한다. 즉,

$$\frac{1}{r}\frac{\partial}{\partial r}\left(r\frac{\partial\phi(r,z)}{\partial r}\right)+\frac{\partial^2\phi(r,z)}{\partial z^2}=-\frac{qN_d}{\epsilon_{si}} \qquad (1)$$

여기서 ϵ_{si}는 실리콘의 유전율, N_d는 채널도핑농도이다. 식 (1)을 풀기 위하여 여러 논문에서 제시한 바와 같이 다음과 같은 쌍곡선 형태의 전위분포 식을 사용한다[8].

$$\phi(r,z)=C_0+C_1(z)r+C_2(z)r^2 \qquad (2)$$

식 (2)를 식 (1)에 대입하여 다음과 같은 경계조건을 이용하여 전위분포를 구한다.

$$\phi(r=0,z)=C_0(z)=\phi_c(z)$$

$$\frac{\partial\phi(r=R,z)}{\partial r}=C_1(z)+C_2(z)\times 2R$$
$$=\frac{C_{ox}}{\epsilon_{si}}(V_g-\phi(r=R,z))$$
$$\frac{\partial\phi(r=0,z)}{\partial r}=C_1(z)=0$$

여기서 $C_{ox}=\epsilon_{ox}/Rln(1+t_{ox}/R)$이며 $\phi_c(z)$는 전도중심인 원통중심에서의 전위분포이다. 상기 식을 이용하여 전도중심에서의 전위분포 $\phi_c(z)$를 구하면 다음과 같다.

$$\phi_c(z)=Ae^{z/\lambda}+Be^{-z/\lambda}+\eta \tag{3}$$
$$A=\frac{(\phi_{bi}-\eta)(e^{-L_g/\lambda}-1)-V_d}{e^{-L_g/\lambda}-e^{L_g/\lambda}}$$
$$B=\frac{(\phi_{bi}-\eta)(1-e^{L_g/\lambda})+V_d}{e^{-L_g/\lambda}-e^{L_g/\lambda}}$$
$$\lambda=\sqrt{\frac{8\epsilon_{si}R+4R^2C_{ox}}{16C_{ox}}}$$
$$\eta=V_g-V_{FB}+\frac{2qN_dR}{4C_{ox}}+\frac{4qN_dR^2}{16\epsilon_{si}}$$
$$\phi_{bi}=\frac{kT}{q}ln\frac{N_d^+}{N_d}$$

여기서 ϕ_{bi}는 소스/드레인과 채널 간의 접합전위이며, V_{FB}는 게이트 물질로 p^+ 폴리실리콘을 사용하였을 경우 게이트 물질과 실리콘 채널 간의 일함수 차로 표현되는 평탄전압이다.

전류모델을 유도하기 위하여 먼저 채널 내 전위장벽을 넘어 이동할 수 있는 전자의 수를 볼츠만통계에 의하여 다음과 같이 구한다.

$$n_m=N_de^{q\phi_c(z_{\min})/kT} \tag{4}$$

여기서 $z_{\min}$은 중심전위분포가 최소가 될 때 z값으로서 식 (3)을 이용하여 다음과 같이 구할 수 있다. 즉,

$$\frac{\partial\phi_c(z=z_{\min})}{\partial z}=0$$

에서

$$z_{\min}=\frac{\lambda}{2}ln\left(\frac{B}{A}\right) \tag{5}$$

이다. 식 (4)와 식 (5)를 이용하여 구한 전자의 3차원 운동을 고려하면 1/6이 결국 소스에서 드레인 방향으로 전위장벽을 넘어 이동할 것이므로[9] 다음과 같은 식에서 열방사 (thermionic- emmision) 전류 I_{ther}를 구하여 문턱전압이하 전류로 사용할 수 있을 것이다.

$$I_{ther}=\frac{q\pi n_m v_{th}R^2}{6} \tag{6}$$

여기서 v_{th}는 전자의 열속도이다. 식 (6)에서 구한 값이 $0.1\mu A$일 경우 게이트 전압을 문턱전압으로 정의[10]하고 채널크기 및 도핑농도의 변화에 대한 무접합 원통형 MOSFET의 문턱전압이동을 고찰할 것이다.

Ⅲ. 무접합 원통형 MOSFET의 문턱전압이동

문턱전압을 구하는 방법은 여러 가지가 발표되었으며 g_m을 이용하는 방법, $\phi_{\min}$을 이용하는 방법 그리고 I_d-V_g관계에서 외삽법을 이용하는 방법 등이 알려져 있다[11]. 그러나 본 논문에서는 전술한 바와 같이 TCAD에서 정의한 문턱전압관계를 이용할 것이다. 식

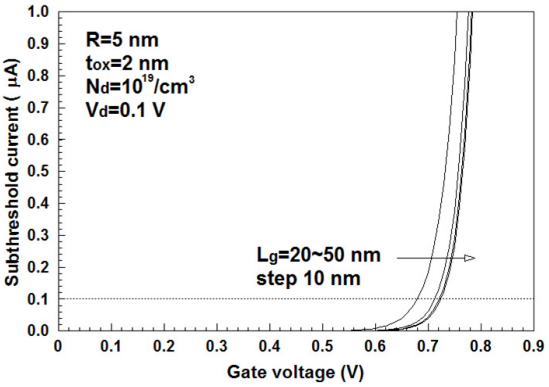


Fig. 2 Subthreshold current for gate voltage derived from Eq. (6) with channel length as a parameter under given conditions.

(6)을 이용하여 채널길이가 20 nm에서 50 nm까지 변화할 때, 게이트 전압과 문턱전압이하 전류의 관계를 그림 2에 도시하였다. 그림 2에서 점선은 문턱전압을 정의하기 위하여 사용한 $0.1\mu A$일때의 문턱전압이하 전류에 해당하는 선이다. 이 선과 만나는 전류-전압 곡선에서의 게이트 전압을 문턱전압으로 정의하였다. 그림 2에서 알 수 있듯이 30 nm에서 50 nm까지는 전류-전압 곡선이 거의 일정하였으나 20 nm로 감소하면 전류-전압 곡선이 좌로 크게 이동하는 것을 알 수 있다. 즉, 문턱전압이 20 nm에서 크게 감소하는 것을 예측할 수 있다.

본 논문에서 식 (6)의 타당성을 입증하기 위하여 그림 3에 g_m을 이용하는 방법, $\phi_{\min}$을 이용하는 방법의 2차원 시뮬레이션 결과와 Hu 등의 해석학적 방법으로 구한 문턱전압[12]을 본 논문의 결과와 비교하였다. 그림 3에서 알 수 있듯이 g_m을 이용하는 방법은 타 방법과 비교하여 과대추정하고 있다는 것을 관찰할 수 있다. 동일한 소자파라미터의 조건 하에서 본 논문에서 제시한 문턱전압이동은 2차원 시뮬레이션에 의한 $\phi_{\min}$을 이용하는 방법과 Hu의 해석학적 모델과 잘 일치하는 것을 관찰할 수 있다. 그러므로 본 논문의 전류 및 문턱전압모델을 이용하여 채널크기 및 도핑농도에 따른 문턱전압 이동에 관하여 고찰할 것이다.

그림 1에서 알 수 있듯이 무접합 원통형 MOSFET의 크기를 결정하는 요소는 채널길이와 채널의 반지름 R이다. R이 증가하면 식 (6)에서 알 수 있듯이 전류는 제곱에 비례하여 증가하며 결국 이는 문턱전압의 감소로

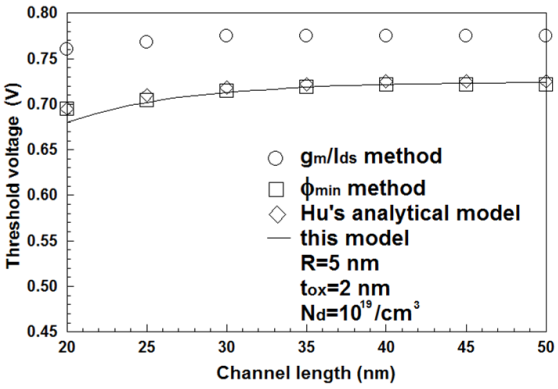


Fig. 3 Threshold voltages for channel length, comparing with results of g_m method and $\phi_{\min}$ method, and Hu's analytical model under given conditions.

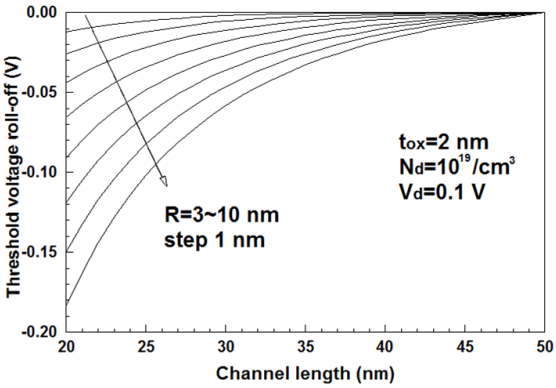


Fig. 4 Threshold voltage roll-offs for channel length with channel radius as a parameter under given conditions.

나타날 것이다. 이러한 이론적인 배경을 관찰하기 위하여 채널 반지름을 파라미터로 구한 채널길이에 대한 문턱전압이동을 그림 4에 도시하였다. 그림 4에서 알 수 있듯이 채널 반지름이 증가할수록 문턱전압이동은 매우 심각하게 발생하는 것을 관찰할 수 있다. $R=3nm$와 같이 채널길이에 비하여 채널 반지름이 비교적 작을 경우, 채널길이가 50 nm에서 20 nm로 감소할 때 문턱전압이동은 0.01 V 정도로 거의 무시할 수 있을 정도이다. 그러나 채널 반지름이 증가하여 $R=10\,nm$까지 증가하면 채널길이가 50 nm에서 20 nm로 감소할 때 약 0.18 V의 무시할 수 없는 문턱전압이동이 발생한다는 것을 관찰할 수 있다. 그러므로 무접합 원통형 MOSFET에서 문턱전압이동과 같은 단채널 효과를 감소시키기 위하여 가능하면 채널 반지름을 작게 제작하여야 할 것이다.

채널반지름 뿐만이 아니라 게이트 산화막 두께는 문턱전압을 결정하는 중요한 요소이다. 전술한 경계조건과 식 (3)에서 결국 게이트 산화막 두께는 중심전위 분포에 영향을 미칠 것이다. 이러한 게이트 산화막 두께를 파라미터로 구한 채널길이에 대한 문턱전압이동 관계를 그림 5에 도시하였다. 이때 채널 반지름은 그림 4에서 알 수 있듯이 비교적 문턱전압이동이 적은 5 nm의 경우를 사용하였다. $R=5nm$의 경우이므로 비교적 작은 문턱전압이동이 발생하고 있다는 것을 그림 5에서 관찰할 수 있다. 게이트 산화막 두께가 증가할수록 문턱전압이동이 크게 증가하는 것을 그림 5에서 알 수 있다. 게이트 산화막 두께가 1 nm 정도로 감소하면

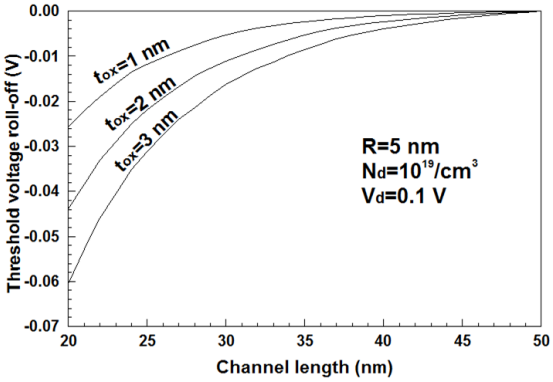


Fig. 5 Threshold voltage roll-offs for channel length with gate oxide thickness as a parameter under given conditions.

$R=5nm$ 일 때 조차 채널길이가 50 nm에서 20 nm로 감소할 때 0.02 V~0.03 V정도의 비교적 작은 값의 문턱전압이동을 보이고 있었다. 즉, 무접합 원통형 MOSFET의 경우, 문턱전압이동을 감소시키기 위해서 게이트 산화막 두께를 가능하면 작게 제작하여야 할 것이다. 무접합 원통형 MOSFET의 경우는 전술한 바와 같이 소스/드레인 도핑농도와 채널의 도핑농도를 유사하게 제작함으로써 소스/드레인과 채널 사이에서 발생하는 접합전위를 작게 제작한다. 소스/드레인은 일반적으로 $10^{20}/cm^3$이상의 고 도핑된 실리콘을 사용하므로 채널 의 도핑농도가 $10^{16}/cm^3$에서 $10^{19}/cm^3$으로 변화할 때 채널길이에 따른 문턱전압의 변화를 그림 6에 도시하였다.

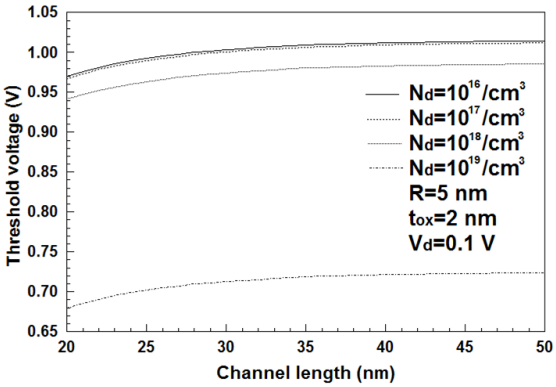


Fig. 6 Threshold voltages for channel length with channel doping concentration as a parameter under given conditions.

그림 6에서 알 수 있듯이 채널도핑농도가 $10^{16}/cm^3$에서 $10^{19}/cm^3$으로 변화할 때 문턱압이동은 거의 동일한 것을 관찰할 수 있다. 그러나 문턱전압 값은 채널도핑농도에 따라 크게 변화하였다. 즉, 그림 6에서 알 수 있듯이 $10^{19}/cm^3$의 경우는 문턱전압이 작은 값을 유지하나 $10^{18}/cm^3$이상으로 낮아져 소스/드레인과 채널 간 접합전위가 증가하면 문턱전압이 크게 증가하는 것을 그림 6에서 관찰할 수 있다. 또한 $10^{17}/cm^3$이하로 감소하면 문턱전압 값에 큰 변화를 보이지 않았다. 그러나 문턱전압이 크게 증가하여 실제로 집적회로에서 사용하기 적당치 않은 것으로 사료된다. 그러므로 무접합 원통형 MOSFET 설계 시 소스/드레인과 채널의 도핑농도는 10배 이상 차이를 두지 않는 것이 바람직하다.

Ⅳ. 결 론

본 논문에서는 무접합 원통형 MOSFET의 해석학적 전위분포를 이용하여 간단한 문턱전압이하 전류모델을 제시하고 이를 이용하여 문턱전압이동과 같은 단채널 효과를 관찰하였다. 무접합 원통형 MOSFET의 경우는 채널을 게이트 단자가 감싸고 있기 때문에 대부분의 케리어들은 중심축을 통하여 이동할 것이므로 중심전위가 캐리어 전송에 큰 영향을 미치게 된다. 이러한 중심전위를 이용하여 전류를 구하고 그 값이 $0.1\mu A$일 때의 게이트 전압 값을 문턱전압으로 정의하여 채널길이, 채널반지름, 게이트 산화막 두께 및 채널도핑농도에 따라 문턱전압이동을 관찰하였다. 본 논문에서 제시한 문턱전압 모델과 2차원 시뮬레이션의 결과를 비교한 결과 매우 잘 일치하였다. 그러므로 복잡한 2차원 시뮬레이션을 수행하지 않아도 문턱전압이동 현상을 관찰할 수 있다. 무접합 원통형 MOSFET의 경우, 채널 크기를 구성하는 요소 중 채널 반지름은 채널길이에 비하여 작을수록 문턱전압이동이 크게 감소하는 것을 알 수 있었다. 채널 반지름 뿐만이 아니라 게이트 산화막 두께는 문턱전압이동에 큰 영향을 미치며 게이트 산화막 두께가 감소할수록 문턱전압이동도 감소하는 것을 관찰하였다. 본 논문에서는 소스/드레인과 채널의 도핑 형태로 동일한 N 형을 사용한 무접합의 경우이므로 소스/드레인과 채널의 접합전위는 단지 두 영역의 도핑농도 크기에 따라 변할 것이다. 채널의 도핑농도가 $10^{18}/cm^3$이하로

감소하면 문턱전압이 1 V에 근접하므로 집적회로에서 사용하기 적당치 않다. 그러므로 가능한 한 채널의 도핑농도를 고 농도로 유지하여 집적회로에서 사용 가능한 문턱전압을 유지하여야할 것이다. 이와 같은 결과는 무접합 원통형 MOSFET의 미세화를 이끌 기술의 기본이 될 것이며 나아가 집적회로의 성능향상에 이바지할 것이다.

ACKNOWLEDGMENTS

This paper was supported by 2015 sabbatical research funds of Kunsan National University

REFERENCES

[1] J. P. Colinge, "Multiple-gate SOI MOSFETs," *Microelectronic Engineering*, vol.84, no.9-10, pp. 2071-2076, Sep. 2007.

[2] Semiconductor Engineering, 10-nm FinFET Market Heats Up [Internet]. Available : http://semiengineering.com/10nm-finfet-market.

[3] M. Aldegunde, A. Martinez and J. R. Barker, "Study of Discrete Doping-Induced Variability in Junctionless Nanowire MOSFETs Using Dissipative Quantum Transport Simulations," *IEEE Electron Device Letters* , vol. 33, no. 2, pp. 194-196, Feb. 2012.

[4] J. P. Colinge, C. W. Lee, A. Afzalian, N. D. Akhavan, R. Yan, I. Ferain, P. Razavi, B. O'Neill, A. Blake, M. White, A. M. Kelleher, B. McCarthy and R. Murphy, "Nanowire transistors without junctions," *Nature Nanotechnology*, vol. 5, no. 3, pp. 225-229, Mar. 2010.

[5] C. Li, Y. Y. Zhuang, S. Di and R. Han, "Subthreshold Behavior Models for Nanoscale Short-Channel Junctionless Cylindrical Surrounding-Gate MOSFETs," *IEEE Transactions on Electron Devices*, vol. 60, no. 11, pp. 3655-3662, Nov. 2013.

[6] C. Li, Y. Zhuang, R. Han and G. Jin, "Subthreshold behavior models for short-channel junctionless tri-material cylindrical surrounding-gate MOSFET," *Microelectronics Reliability*, vol.54, no.6-7, pp. 1274-1281, Jun.-Jul. 2011.

[7] N. Trivedi, M. Kumar, S. Haldar, S. Deswal, M. Gupta and R. S. Gupta, "Analytical modeling of Junctionless Accumulation Mode Cylindrical Surrounding Gate MOSFET (JAM-CSG)," *International Journal of Numerical Modeling*, vol.29, no.6, pp. 1036-1043, Nov./Dec. 2016.

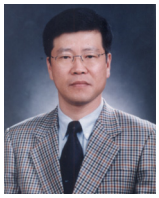
[8] T. K. Chiang, "A New Quasi-2-D Threshold Voltage Model for Short-Channel Junctionless Cylindrical Surrounding Gate (JLCSG) MOSFETs," *IEEE Transactions on Electron Devices* , vol. 59, no. 11, pp. 3127-3129, Nov. 2012.

[9] S. Dimitrijev, *Principles of Semiconductor Devices*, 2nd ed. New York, NY: Oxford University Press, 2012.

[10] *TCAD Manual, Part 4:INSPEC*, ISE Integrated Systems Engineering AG, Zurich, Switzerland, 2001, p.56, ver7.5

[11] H. S. Wong, M. H. White, T. J. Krutsick and R. V. Booth, "Modeling of Transconductance Degradation and Extraction of Threshold Voltage in Thin Oxide MOSFETs," *Solid-State Electronics*, vol. 30, no. 8, pp. 953-968, Sep. 1987.

[12] G. Hu, P. Xiang, Z. Ding, R. Liu, L. Wang and T. A. Tang, "Analytical Models for Electrical Potential, Threshold Voltage, and Subthreshold Swing of Junctionless Surrounding-Gate Transistors," *IEEE Transactions on Electron Devices* , vol. 61, no. 3, pp.688-695, March 2014.



정학기(Hak Kee Jung)

1983.3 아주대학교 전자공학과 B.S.
1985.3 연세대학교 전자공학과M.S.
1990.8 연세대학교전자공학과 Ph.D
1995.8 일본 오사카대학 교환교수
2005.8 호주 그리피스대학 교환교수
1990.3-현재 군산대학교 전자공학과 교수
2014.1 ~ 2015.12 한국정보통신학회 회장
2016.1 ~ 2017.1 호주 그리피스대학 QMF 연구교수
※관심분야 : 반도체소자 시뮬레이션