JKIICE Journal of the Korea Institute of Information and Communication Engineering

한국정보통신학회논문지(J. Korea Inst. Inf. Commun. Eng.) Vol. 21, No. 4 : 774~780 Apr. 2017

CABAC 부호화기를 위한 고속 이진 산술 부호화기의 설계

박승용 · 조현구 · 류광기*

Design of High Speed Binary Arithmetic Encoder for CABAC Encoder

Seungyong Park · Hyungu Jo · Kwangki Ryoo*

Department of Information Communication Engineering, Hanbat National University, Daejeon 34158, Korea

요 약

본 논문은 HEVC의 엔트로피 코딩방법인 CABAC 부호화기를 위한 효율적인 이진 산술 부호화기 하드웨어 구조를 제안한다. CABAC은 HEVC 표준에서 사용되는 엔트로피 코딩 방법으로 통계적 중복성을 제거하여 영상의 높은 압축률을 지원한다. 하지만 이진 산술 부호화(Binary Arithmetic Encode)는 데이터 간의 의존 관계가 높아 병렬처리가 어렵고 실시간 처리의 지연이 발생 된다. 제안하는 이진 산술 부호화기는 입력으로 들어오는 빈을 고속으로 처리하기 위하여 재정규화 과정을 분리 시켜 동작하도록 설계한다. 기존의 반복적인 알고리즘을 병렬적으로 처리함으로써 최대지연시간(Critical Path)을 최적으로 줄일 수 있는 4단계의 파이프라인 구조로 설계하였다. 또한, 멀티-빈 구조를 적용하여 클록 사이클 당 3개의 빈을 처리한다. 제안하는 CABAC의 이진 산술 부호화기는 Verilog-HDL로 설계하였으며 65nm 공정으로 합성하였다. 합성 결과 게이트수는 8.07K 이며 최대 동작주파수는 769MHz로 최대 빈 처리량은 2307Mbin/s이다. 제안하는 하드웨어 구조는 기존의 이진 산술 부호화기와 비교하여 최대 빈 처리량이 26% 만큼 증가 하였다.

ABSTRACT

This paper proposes an efficient binary arithmetic encoder hardware architecture for CABAC encoding, which is an entropy coding method of HEVC. CABAC is an entropy coding method that is used in HEVC standard. Entropy coding removes statistical redundancy and supports a high compression ratio of images. However, the binary arithmetic encoder causes a delay in real time processing and parallel processing is difficult because of the high dependency between data. The operation of the proposed CABAC BAE hardware structure is to separate the renormalization and process the conventional iterative algorithm in parallel. The new scheme was designed as a four-stage pipeline structure that can reduce critical path optimally. The proposed CABAC BAE hardware architecture was designed with Verilog HDL and implemented in 65nm technology. Its gate count is 8.07K and maximum operating speed of 769MHz. It processes the four bin per clock cycle. Maximum processing speed increased by 26% from existing hardware architectures.

키워드 : H.264/AVC, HEVC, CABAC, 이진 산술 부호화기, 엔트로피 코딩

Key word : H.264/AVC, HEVC, CABAC, Binary Arithmetic Encoder, Entropy Coding

Received 16 January 2017, **Revised** 01 February 2017, **Accepted** 11 February 2017

* **Corresponding Author** Kwangki Ryoo(E-mail:kkryoo@gmail.com, Tel:+82-42-821-1710)
Department of Information Communication Engineering, Hanbat National University, Daejeon 34158, Korea

Open Access https://doi.org/10.6109/jkiice.2017.21.4.774 print ISSN: 2234-4772 online ISSN: 2288-4165

ⓒThis is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(http://creativecommons.org/li-censes/ by-nc/3.0/) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright Ⓒ The Korea Institute of Information and Communication Engineering.

Ⅰ. 서 론

최근 영상기술의 발달로 Full-HD를 넘어 4배 이상의 해상도를 갖는 UHD(Ultra High Definition)영상에 대한 사용자의 요구가 증가함에 따라 초고해상도 영상 서비스를 위한 기존 영상 압축 표준인 H.264/AVC 보다 높은 성능을 갖는 영상 압축 표준이 필요하게 되었다. 차세대 영상 압축 표준인 HEVC(High Efficiency Video Coding)는 저해상도인 176x144 영상부터 초고해상도인 4K, 8K 영상까지 다양한 영상의 압축을 지원하며, 이전 영상 압축 표준인 H.264/AVC와 비교하여 약 50% 이상 향상된 압축 효율을 갖는다[1]. 하지만 복잡도와 연산량이 증가하여 실시간 처리의 어려움을 보이고 있다[2]. H.264/AVC 표준의 엔트로피 부호화 방법은 CABAC(Context-based Adaptive Binary Arithmetic Coding)과 CAVLC(Context-based Adaptive Variable Length Coding) 두 가지를 모두 사용하였지만 HEVC에서는 압축 효율이 더 높은 CABAC만을 채택하여 사용하고 있다[3-5].

CABAC은 통계적 중복성을 제거하여 영상의 높은 압축률을 제공한다. 하나의 빈(bin)을 부호화한 후 확률 모델을 업데이트하고, 업데이트 된 확률 모델로 다음 빈을 부호화한다. 이러한 방법은 압축 효율을 향상 시키지만 현재 빈의 부호화가 끝나기 전에는 확률 모델이 업데이트 되지 않아 다음 빈을 부호화 할 수 없다. 본 논문에서는 연산과정에서 지연되는 구간을 분리하여 최적으로 동작하는 4단 파이프라인 구조를 제안한다.

본 논문의 Ⅱ장에서는 CABAC 부호화에 대해서 기술하고 Ⅲ장에서는 제안하는 이진 산술 부호화기의 구조에 대해 기술하며 Ⅳ장에서는 하드웨어 구현결과 및 성능분석에 대해 기술한다. 마지막으로 Ⅴ장에서는 본 연구의 결론을 맺는다.

Ⅱ. CABAC 부호화

2.1. CABAC Encoder

CABAC 부호화는 각 문맥 요소에 대한 확률 모델을 선택하는 문맥 기반 모델링(Context-based Modeling) 방법을 통해 적응적 이진 산술 부호화를 수행하여 부호화한다. CABAC Encoder는 그림 1과 같이 이진화기(Binarizer), 문맥 모델러(Context Modeler), 이진 산술 부호화기(BAE: Binary Arithmetic Encoder)로 구성된다.

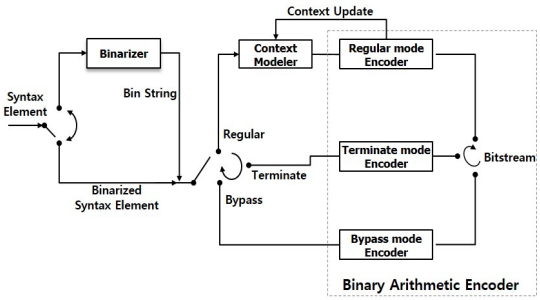

Fig. 1 CABAC Encoder Block Diagram

이진화기는 이진 값이 아닌 신택스 요소(Syntax Element)를 빈 스트링(Bin String)이라 불리는 이진 시퀀스로 처리한다. 이진 값을 가지는 신택스 요소일 경우 이진화 과정을 패스하게 된다. 문맥 모델러는 부호화 블록의 주변 정보 값인 문맥(Context)을 이용하여 문맥 모델 확률을 추정한다. 이진 산술 부호화기는 이진화 된 값인 빈(Bin)과 문맥 모델러의 확률 값을 이용하여 범위(Range)를 설정하면서 부호화를 수행한다. 범위가 일정 크기(256) 미만으로 작아지게 되면 범위를 재설정하는 재정규화(Renormalization) 과정을 수행하며, 재정규화 과정에서 비트스트림(Bitstream)을 생성한다. 이진화기를 거쳐 이진화된 빈은 정규(Regular)모드, 우회(Bypass)모드, 종결(Terminate)모드의 세 가지 모드로 이진 산술 부호화를 수행한다. 정규모드는 문맥 모델러에서 생성 된 확률 값(pStateIdx, ValMPS)을 가지고 부호화 한다. 우회모드는 문맥 모델러를 사용하지 않으며 동일한 확률로 빈을 부호화 한다. 종료모드는 슬라이스의 종료 여부를 판단하는 신택스 요소(end_of_slice_flag)의 빈을 부호화 한다.

2.2. Binary Arithmetic Encoder Process

이진 산술 부호화는 문맥 모델러에서 확률 값을 받아 현재 빈에 대하여 이진 산술 부호화를 수행한다. 그림 2는 이진 산술 부호화의 과정을 보여준다.

입력되는 빈 값(binVal)은 ‘1, 0, 0, 0’이며, 초기 문맥 모델 값이 pStateIdx=0, valMPS=0을 가질 경우의 이진 산술 부호화 과정은 다음과 같다[6]. Range(현재 구간

범위)와 Low(최소 경계값)의 초기값은 510과 0이며, 첫 번째 입력 되는 빈은 '1'이므로 MPS(Most Probable Symbol)와 LPS(Least Probable Symbol)를 결정 하기위해 valMPS와 binVal를 비교한다. 현재 빈과 MPS의 값이 다르기 때문에 LPS가 선택 되어 LPS의 범위인 240는 256보다 작기 때문에 재정규화 과정을 수행한다. 또한, Update CM(Context Model)을 통하여 valMPS와 pStateIdx를 다음 빈에 대한 확률 모델 값으로 업데이트한다. CABAC은 재정규화 과정을 수행 할 때마다 비트스트림을 출력하거나, 비트스트림 출력을 위한 준비 비트(BitOutStanding)를 업데이트 한다. 이진 산술 부호화는 Range를 계산해야만 Low를 계산 할 수 있고, Range와 Low가 업데이트 되어야만 다음 빈을 부호화 할 수 있다. 또한, 재정규화 과정은 정규모드에서 최대 6번 반복 되기 때문에 이진 산술 부호화 과정마다 소요되는 시간과 출력이 일정하지 않다. 이와 같이 CABAC의 이진 산술 부호화기는 단계 간의 데이터 의존도가 높아 하드웨어 구현시 병렬처리와 고속 동작을 어렵게 한다.

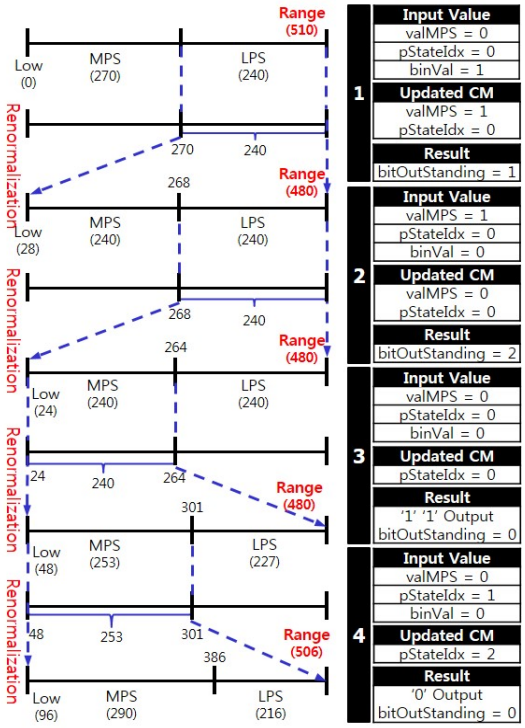

Fig. 2 Process of Binary Arithmetic Encode

Ⅲ. 제안하는 이진 산술 부호화기

제안하는 이진 산술 부호화기는 재정규화 과정을 분리 시켜 기존의 반복적인 알고리즘을 병렬적으로 처리함으로써 Critical Path를 최적으로 줄일 수 있는 4단계 파이프라인 구조로 설계 되었다. 또한, 일반적인 구조는 비트스트림 생성이 가변이므로 메모리를 통하여 비트스트림을 출력하지만 제안하는 구조는 유효한 비트스트림의 개수를 나타내는 비트와 비트스트림을 출력하여 메모리를 사용하지 않으므로 설계 면적을 줄였다. 그림 3은 제안하는 이진 산술 부호화기의 블록도이다.

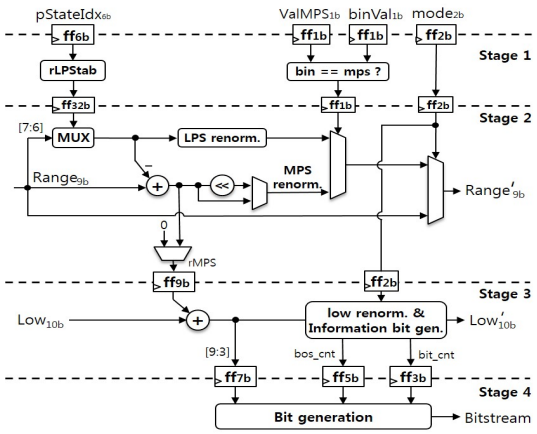

Fig. 3 Propose Block Diagram of BAE

3.1. Probable Symbol and rLPS decide

Stage 1에서는 현재 빈에 대하여 MPS와 LPS를 식 (1)과 같이 결정한다. 또한, 표 1과 같이 문맥 모델러에서 입력받은 확률 값(pStateIdx)에 대하여 네 가지의 LPS 범위 후보를 출력한다.

$$\begin{array}{ll} bin = MPS & \text{if.}\ (ValMPS = bin) \\ bin = LPS & \text{if.}\ (ValMPS \neq bin) \end{array} \qquad (1)$$

Table. 1 rLPS Table

pStateIdx	qRangeIdx			
	0	1	2	3
0	128	176	208	240
1	128	167	197	227
2	128	158	187	216
...				
61	6	7	9	10
62	6	7	8	9

3.2. Range Update

Stage 2는 이진 산술 부호화의 범위(Range)가 일정 범위 보다 작아지면 재정규화를 수행 하고 재정규화의 횟수(Cnt_RenormE)와 Low 값 계산에 필요한 MPS의 범위(rMPS)를 출력한다. Stage 1에서 입력받은 4개의 LPS 후보를 입력 Range의 7, 6번째 비트(qRangeIdx)로 ivlLPSRange를 결정한다. 현재 부호화하는 빈이 LPS일 경우와 MPS일 경우의 ivlCurrRange는 식 (2)와 같다.

$$\begin{aligned} ivlCurrRange &= ivlLPSRange && \text{if. } (bin = LPS) \\ ivlCurrRange &= ivlCurrRange - ivlLPSRange && \\ & && \text{if. } (bin = MPS) \end{aligned} \quad (2)$$

이진 산술 부호화의 정규모드에서 기존의 알고리즘은 ivlCurrRange가 256이상이 될 때까지 최대 6번 좌시프트 연산을 반복적으로 수행하여 Critical Path를 발생시킨다. 제안하는 구조에서는 Range 재정규화의 가변적인 연산을 해결하기 위해 ivlCurrRange의 최상위 비트(MSB: Most Significant Bit)부터 첫 번째 1의 위치를 찾아 재정규화 횟수를 계산하고 반복 횟수만큼 왼쪽으로 시프트 하여 Range 재정규화를 간단하게 수행한다. 그림 4는 Range의 재정규화 순서도를 나타낸다.

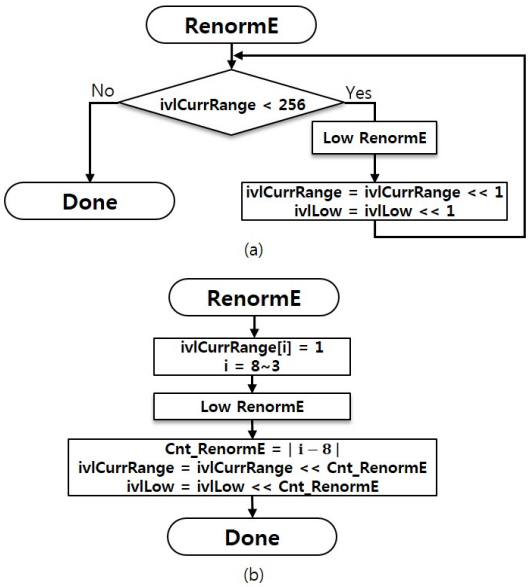

Fig. 4 Range Renormalization flow chart, (a)Conventional Renormalization Algorithm (b)Propose Renormalization Algorithm

3.3. Low Update

Stage 3은 rMPS와 low의 값을 더하여 ivlLow 값을 구하며 ivlLow와 재정규화 횟수를 통하여 부호화하는 빈에 대한 비트스트림 생성 에 필요한 정보 비트를 출력한다. 현재 부호화 하는 빈이 LPS일 경우와 MPS일 경우의 ivlLow는 식 (3)과 같다.

$$\begin{aligned} ivlLow &= ivlLow + rMPS && \text{if. } (bin = LPS) \\ ivlLow &= ivlLow && \text{if. } (bin = MPS) \end{aligned} \quad (3)$$

CABAC 부호화기는 재정규화 횟수만큼 비트스트림을 생성한다. 제안하는 구조는 표 2와 같이 재정규화 횟수만큼 ivlLow를 좌시프트 하고 최상위 비트를 0으로 만들어 재정규화(B)를 진행하며 일부 조건의 경우 MSB를 변경하지 않고 유지 한 채 재정규화(A) 한다.

Table. 2 Low renormalization table according to number of renormalization

ivlLow Index	Cnt_RenormE						
	0	1	2	3	4	5	6
[9]=1 or [0]=0	ivlLow	A	B	B	B	B	B
[9:7]=111 or [7]=0	ivlLow	B	A	B	B	B	B
[9:6]=1111 or [6]=0	ivlLow	B	B	A	B	B	B
[9:5]=11111 or [5]=0	ivlLow	B	B	B	A	B	B
[9:4]=111111 or [4]=0	ivlLow	B	B	B	B	A	B
[9:3]=1111111 or [3]=0	ivlLow	B	B	B	B	B	A
A : ivlLow << Cnt_RenormE B : (ivlLow << Cnt_RenormE) [MSB] <= 0							

비트스트림에 필요한 정보비트의 생성은 ivlLow와 재정규화 횟수(Cnt_RenormE)에 따라서 ivlLow의 상위 재정규화 횟수 + 1 비트를 이용하여 비트스트림의 출력을 나타내는 bit_cnt와 비트스트림의 값이 결정되지 않은 비트의 개수를 나타내는 bitOutstanding의 횟수인 bos_cnt를 결정한다. 표 3은 재정규화 횟수에 따른 비트스트림 출력에 필요한 정보비트의 출력을 나타낸다.

3.4. Bitstream Generation

Stage 4는 현재 빈에 대한 비트스트림 생성 정보를 통하여 비트스트림을 출력한다. 비트 생성기는 ivlLow의 상위 7bit인 Low_data와 bitOutstanding의 횟수를 나타내는 bos_cnt, 출력 비트수를 나타내는 bit_cnt를 입력 받아 비트스트림을 출력 한다. 부호화 되는 빈에 따라 출력하는 비트스트림의 개수는 가변적으로 정보비

Table. 3 Bitstream information bit table according to number of renormalization

ivlLow [9:9-i]			0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
Cnt_RenormE(i)	1	bit	1	0	1	1												
		bos	0	1	0	0												
	2	bit	2	1	0	1	2	1	2	2								
		bos	0	1	2	1	0	1	0	0								
	3	bit	3	2	3	1	3	2	3	0	3	2	3	1	3	2	3	3
		bos	0	1	0	2	0	1	0	3	0	1	0	2	0	1	0	0
	4	bit	4	3	4	2	4	3	4	1	4	3	4	2	4	3	4	0
		bos	0	1	0	2	0	1	0	3	0	1	0	2	0	1	0	4
ivlLow [9:9-i]			16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
(i)	4	bit	4	3	4	2	4	3	4	1	4	3	4	2	4	3	4	4
		bos	0	1	0	2	0	1	0	3	0	1	0	2	0	1	0	0
	5		…															
	6		…															

트를 저장할 메모리가 필요하다.

제안하는 구조는 가변적인 비트스트림의 개수를 나타내는 출력신호(valid_bit_cnt)를 생성하여 메모리에 저장하지 않고 비트스트림을 출력 할 수 있도록 설계하여 하드웨어 면적을 줄이도록 설계하였다. 그림 5는 Bit Generation의 구조를 나타내며 표 4는 비트스트림 출력을 위한 테이블이다. 표 4의 ((n)~Low_data[6])의 n은 n번의 ~Low_data[6]의 비트 반복을 의미한다.

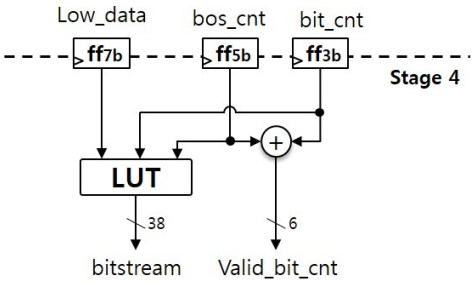

Fig. 5 Architecture of Bitstream Generation

Table. 4 Table for Bitstream output

bos_cnt	Bitstream
0	{Low_data[6:0], ((31)0)}
1	{Low_data[6], ((1)~Low_data[6]), Low_data[5:0], ((30)0)}
2	{Low_data[6], ((2)~Low_data[6]), Low_data[5:0], ((29)0)}
3	{Low_data[6], ((3)~Low_data[6]), Low_data[5:0], ((28)0)}
4	{Low_data[6], ((4)~Low_data[6]), Low_data[5:0], ((27)0)}
...	...
28	{Low_data[6], ((28)~Low_data[6]), Low_data[5:0], ((3)0)}
29	{Low_data[6], ((29)~Low_data[6]), Low_data[5:0], ((2)0)}
30	{Low_data[6], ((30)~Low_data[6]), Low_data[5:0], ((1)0)}
31	{Low_data[6], ((31)~Low_data[6]), Low_data[5:0]}

3.5. Multi-bin Architecture

이진 산술 부호화기 하드웨어 구조의 멀티-빈 처리를 위한 구조는 여러 개의 빈을 동시에 처리한다. 멀티-빈 처리를 위한 구조는 그림 6과 같다.

클록 사이클당 빈의 개수(Bin Per Clock Cycle, BPCC)가 1과 2, 3일 경우의 게이트 수와 최대 빈처리량, 최대 동작 주파수는 표 5와 같다.

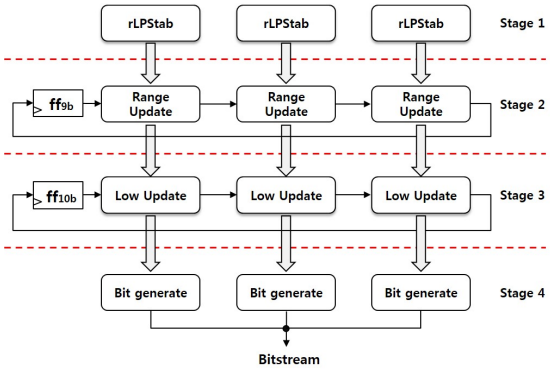

Fig. 6 Architecture for Multi-bin Process

Table. 5 Gate Count, Maximum bin processing and Maximum operating frequency according to BPCC

BPCC	1	2	3
Gate Count	3.17K	5.7K	8.07K
Max. Freq. (MHz)	1,530	1,110	769
Max. bin Processing (Mbin/s)	1,529	2,219	2,307

Ⅳ. 구현결과 및 성능분석

제안하는 CABAC 이진 산술 부호화기는 Verilog HDL로 설계하고 HEVC 표준 모델인 HM16.9을 통해 테스트 벡터를 만들었으며, 이를 입력으로 하여 HM에서 출력 된 비트스트림과 제안하는 이진 산술 부호화기에서 출력 된 비트스트림을 Text 비교 프로그램인 WinMerge를 통하여 완벽하게 일치함을 검증 하였다. 제안하는 이진 산술 부호화기는 IDEC에서 Synopsys의 Design Compiler Tool을 지원받아 65nm 공정으로 합성 한 결과 게이트 수는 8.07K이며, 최대 동작 주파수는 769MHz, 최대 빈 처리량은 2307Mbin/s이다. 표 6은 하드웨어 구현 결과를 다른 구조들과 비교한 결과이다.

Table. 6 Hardware comparison

	Chen[7]	Fei[8]	Peng[9]	Zhou[10]	Proposed
Format	H.264/AVC	H.264/AVC	HEVC	HEVC	HEVC
Throughput (Bin/Clock Cycle)	1.42	4	1.18	4.37	2.99
Max. clock Freq. (MHz)	222	279	357	420	769
Technology (nm)	130	90	130	90	65
Max. Processing (Mbin/s)	315	1,116	440	1,836	2307
Gate Count (NAND gate)	14.7K	8.22K	24.9K	-	8.07K

V. 결 론

제안하는 이진 산술 부호화기 하드웨어 구조는 표준 이진 산술 부호화 기술의 연산시간과 연산량을 감소시키기 위해 재정규화 과정을 분리 시켜 수행하는 구조를 가진다. 제안하는 구조는 가변적인 비트스트림의 개수를 나타내는 출력신호를 생성하여 메모리에 저장하지 않고 비트스트림을 출력할 수 있도록 설계하여 하드웨어 면적을 줄였다. 제안하는 이진 산술 부호화기는 사이클 당 3개의 빈을 처리한다. 65nm 공정으로 합성한 결과 게이트 수는 8.07K, 최대 동작주파수는 769MHz로 최대 빈 처리량은 2307Mbin/s이다. 기존 구조중 성능이 가장 좋은 Zhou[10]의 하드웨어 구조대비 최대 빈 처리량이 26%만큼 증가하였다.

ACKNOWLEDGMENTS

This research was supported by the MSIP (Ministry of Science, ICT and Future Planning), Korea, under the Human Resource Development Project for Brain scouting program(IITP-2017-R2418-17-0007) supervised by the IITP(Institute for Information and Communication Technology Promotion.

REFERENCES

[1] G. J. Sullivan, J.-R. Ohm, W.-J. Han, and T. Wiegand, “Overview of the High Efficiency Video Coding (HEVC) Standard,” *IEEE Transactions on Circuits and System for Video Technology*, vol. 22, no. 12, pp. 1649-1668, Dec. 2012.

[2] Joint Video Team, Draft IUT-T Recommendation and Final Draft International Standard of Joint Video Specification, IUT-T Rec. H.264 and ISO/IEC 14496-10 AVC, 2003.

[3] V. Sze, and M. Budagavi, “High Throughput CABAC Entropy Coding in HEVC,” *IEEE Transactions on Circuits and System for Video Technology*, vol. 22, no. 12, pp. 1755-1764, Dec. 2012.

[3] J. Myoung, and K. Ryoo, “The Hardware Design of CABAC for High Performance H.264 Encoder,” *Journal of the Korea Institute of Information and Communication Engineering*, vol. 16, no. 4, pp. 771-777, Apr. 2012.

[4] H. Kim, and K. Ryoo, “The Hardware Design of High throughput CABAC Decoder for HEVC,” *Journal of the Korea Institute of Information and Communication Engineering*, vol. 17, no. 2, pp. 385-390, Feb. 2013.

[6] J. Moon, Y. Kim, and S. Lee, “Design of an Efficient Binary Arithmetic Encoder for H.264/AVC,” *Journal of the Institute of Electronics Engineers of Korea-SD*, vol.46, no.12, pp. 66-72, Dec. 2009.

[7] J.-W. Chen, L.-C. Wu, P.-S. Liu, and Y.-L. Lin, “A high-throughput fully hardwired CABAC encoder for QFHD H.264/AVC main profile video,” *IEEE Transactions on Consumer Electronics*. vol. 56, no. 4, pp. 2529-2536, Nov. 2010.

[8] W. Fei, D. Zhou, and S. Goto, “A 1 Gbin/s CABAC encoder for H.264/AVC,” *in European Signal Processing Conference*, pp. 1524-1528, Sep. 2011.

[9] B. Peng, D. Ding, X. Zhu, and L. Yu, “A hardware CABAC encoder for HEVC,” *in Processing IEEE International Symposium on Circuits and Systems*, pp. 1372- 1375, May 2013.

[10] D. Zhou, J. Zhou, W. Fei, and S. Goto, “Ultra-High Throughput VLSI Architecture of H.265/HEVC CABAC Encoder for UHDTV Applications,” *IEEE Transactions on Circuits and System for Video Technology*, vol. 25, no. 3, pp. 497-507, Mar. 2015.

박승용(Seungyong Park)

2010년 한밭대학교 정보기술대학 정보통신공학과 공학사
2012년 한밭대학교 정보통신전문대학원 정보통신공학과 공학석사
2012년 ~ 현재 한밭대학교 정보통신전문대학원 정보통신공학과 박사과정
※ 관심분야 : SoC 플랫폼 설계 및 검증, 멀티미디어 코덱 설계

조현구 (Hyungu Jo)

2014년 청주대학교 공과대학 반도체공학과 공학사
2017년 한밭대학교 정보통신전문대학원 공학석사
2017년 ~ 현재 ㈜빌리브마이크론 연구원
※ 관심분야 : SoC 플랫폼 설계 및 검증, 멀티미디어 코덱 설계

류광기(Kwangki Ryoo)

1986년 한양대학교 공과대학 전자공학과 공학사
1988년 한양대학교 대학원 전자공학과 공학석사
2000년 한양대학교 대학원 전자공학과 공학박사
1991년 ~ 1994년 육군사관학교 교수부 전자공학과 전임강사
2000년 ~ 2002년 ETRI 시스템IC설계팀 선임연구원
2010년 ~ 2011년 Univ of Texas at Dallas 방문교수
2003년 ~ 현재 한밭대학교 공과대학 정보통신공학과 교수
※ 관심분야 : 공학교육, SoC 플랫폼 설계 및 검증, 멀티미디어 코덱 설계