

PMIC용 5V NMOS-Diode eFuse OTP IP 설계

김문환* · 하판봉* · 김영희**

Design of 5V NMOS-Diode eFuse OTP IP for PMICs

Moon-Hwan Kim* · Pan-Bong Ha* · Young-Hee Kim**

요약 본 논문에서는 PMIC 칩에 사용되는 BCD 공정기반에서 5V NMOS 트랜지스터와 기억소자인 eFuse 링크로 구성된 저면적의 5V NMOS-Diode eFuse OTP 셀을 제안하였다. 그리고 eFuse OTP 메모리 IP가 넓은 동작전압 영역을 갖도록 하기 위해서 VREF 회로와 BL S/A 회로의 풀-업 부하 회로에 기존의 VDD 파워 대신 voltage regulation 된 V2V (=2.0V ±10%)의 전압을 사용하였다. 제안된 VREF 회로와 BL S/A 회로를 사용하므로 eFuse OTP IP의 normal read 모드와 program-verify-read 모드에서 프로그램 된 eFuse 센싱 저항은 각각 15.9kΩ, 32.9kΩ으로 모의실험 되었다. 그리고 eFuse OTP 셀에서 blowing되지 않은 eFuse를 통해 흐르는 읽기 전류를 97.7μA로 억제하였다. 그래서 eFuse OTP 셀의 unblown된 eFuse 링크가 unblown 상태를 그대로 유지되도록 하였다. 동부하이텍 130nm BCD 공정을 이용하여 설계된 1kb eFuse OTP 메모리 IP의 레이아웃 면적은 168.39μm × 479.45μm (=0.08mm²)이다.

Abstract In this paper, a 5V small-area NMOS-diode eFuse OTP memory cell is proposed. This cell which is used in PMICs consists of a 5V NMOS transistor and an eFuse link as a memory part, based on a BCD process. Also, a regulated voltage of V2V (=2.0V ± 10%) instead of the conventional VDD is used to the pull-up loads of a VREF circuit and a BL S/A circuit to obtain a wider operational voltage range of the eFuse memory cell. When this proposed cells are used in the simulation, their sensing resistances are found to be 15.9kΩ and 32.9kΩ, in the normal read mode and in the program-verify-read mode, respectively. Furthermore, the read current flowing through a non-blown eFuse is restricted to 97.7 μA. Thus, the eFuse link of a non-blown eFuse OTP memory cell is kept non-blown. The layout area of the designed 1kb eFuse OTP memory IP based on Dongbu HiTek's BCD process is 168.39μm × 479.45μm (=0.08mm²).

Key Words : BCD process, PMICs, NMOS-diode eFuse OTP, Sense Amplifier, Reference Voltage

1. 서론

PMIC (Power Management Integrated Circuit)는 아날로그트리밍 기능을 수행하기 위해 추가 공정이 필요 없는 로직 공정 기반의 eFuse OTP (electrical Fuse One-Time Programmable) 메모리 IP (Intellectual Property)가 많이 사용된다[1][2].

eFuse OTP 메모리 IP는 eFuse 링크 (link)에 수십 mA의 과전류를 흘려 blowing하여 프로그램하며, 한번 프로그램하면 다시 프로그램이 불가능한 한번만 프로그램 가능한 메모리이다[3][4].

CMOS 이미지 센서용으로 채널 폭이 작은 3.3V NMOS 트랜지스터와 기억소자인 eFuse 링크로 구성된 저면적의 3.3V NMOS-Diode eFuse OTP 셀

This work was supported by the Industrial Core Technology Development Program(10049095, "Development of Fusion Power Management Platforms and Solutions for Smart Connected Devices") funded By the Ministry of Trade, Industry & Energy

**Corresponding Author : Department of Electronic Engineering, Changwon National University (youngkim@changwon.ac.kr)
Received April 01, 2017 Revised April 08, 2017 Accepted April 13, 2017

이 제안되었다[5]. 제안된 NMOS-Diode eFuse OTP 셀은 프로그램 모드에서 3.3V NMOS 트랜지스터에 형성되는 기생하는 접합 다이오드를 이용하여 eFuse를 blowing 시킨다[5]. 그런데 BCD 공정에서는 MV (Medium Voltage) 소자로 3.3V 대신 5V 소자를 사용하므로 3.3V NMOS-Diode eFuse OTP 셀에서 사용되는 3.3V NMOS 트랜지스터는 5V NMOS 트랜지스터로 변경되어야 한다.

한편 PMIC 칩은 파워-업 시 2.3V 정도의 전압에서 eFuse OTP 메모리의 데이터를 읽어내어 밴드갭 기준전압 발생기 회로를 포함한 아날로그 회로를 트리밍해야 하므로 2.3V~5.5V의 넓은 동작전압 영역을 갖는 회로 설계가 요구되어진다[2]. 그런데 넓은 동작전압 영역을 갖는 eFuse OTP를 설계하는 경우 2.3V의 VDD에서 post-program 저항이 수 십 k Ω 정도인 eFuse를 데이터 '1'로 센싱하도록 BL(Bit-Line) 풀-업 부하 (pull-up load)를 사용하게 되면 5.5V의 VDD에서 프로그램 되지 않은 eFuse 셀을 읽을 때 blowing 되지 않은 eFuse 링크는 큰 전류에 의한 EM(Electro-Migration) 현상에 의해 blowing되는 현상이 일어날 수 있다[6].

본 논문에서는 PMIC 칩에 사용되는 BCD 공정기반에서 5V NMOS 트랜지스터와 기억소자인 eFuse 링크로 구성된 저면적의 5V NMOS-Diode eFuse OTP 셀을 제안하였다. 제안된 eFuse OTP 셀은 isolated 5V NMOS 트랜지스터의 공정단면도에서 DNW안에 형성된 body부분의 PW와 source노드의 n+ 확산영역에 기생적으로 만들어지는 pn 접합 다이오드를 사용하였다. 그리고 eFuse OTP 메모리 IP가 넓은 동작전압 영역을 갖도록 하기 위해서 VREF 회로와 BL S/A 회로의 풀-업 부하 회로에 기존의 VDD 파워 대신 voltage regulation 된 V2V (=2.0V \pm 10%)의 전압을 사용하였다. 제안된 VREF 회로와 BL S/A 회로를 사용하므로 수 십 k Ω 의 post-program 저항을 센싱하면서 eFuse OTP 셀의 blowing되지 않은 eFuse를 통해 흐르는 read 전류를 100 μ A 이내로 억제하여 unblown된 eFuse 링크가 unblown 상태를 그대로 유지되도록 하는 신뢰성을 확보할 수 있다. 동부하이텍 0.13 μ m

BCD 공정을 이용하여 128행 \times 8열의 셀 어레이를 갖는 1Kb eFuse OTP IP를 설계하였다.

2. 회로설계

5V NMOS-Diode type eFuse OTP 셀의 회로는 그림 1에서 보는 바와 같이 채널 폭이 작은 5V NMOS 트랜지스터 (MN0)와 기억소자인 eFuse 링크로 구성되어 있다. 제안된 eFuse OTP 셀은 isolated 5V NMOS 트랜지스터의 공정단면도에서 DNW안에 형성된 body부분의 PW와 source노드의 n+ 확산영역에 기생적으로 만들어지는 pn 접합 다이오드를 사용하였다. 프로그램 모드 시 선택된 셀의 pn 접합 다이오드를 통하여 eFuse 링크로 과전류를 흘려 줄 수 있다. 그림 2는 5V NMOS-Diode type eFuse OTP 셀의 레이아웃 이미지로 eFuse OTP 셀 사이즈는 2.695 μ m \times 5.1 μ m (=13.745 μ m²)이다. SL의 PW pick-up을 5V NMOS 트랜지스터의 소스인 n+ 확산 영역에 최대한 가까이 배치하므로 기생하는 PW 저항을 줄이도록 레이아웃 되어 있다. 그림 2의 제안된 eFuse OTP 셀 사이즈는 0.18 μ m BCD 공정기반의 dual port eFuse OTP 셀[7] 사이즈인 89.96 μ m²보다 훨씬 작으며, 0.18 μ m generic 공정기반의 dual port eFuse OTP 셀[8] 사이즈인 97 μ m²보다도 훨씬 작다.

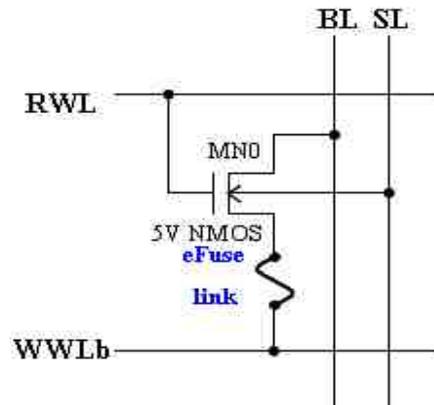


그림 1. 5V NMOS-Diode type eFuse OTP 셀 회로도
Fig. 1. eFuse OTP memory cell of 5V NMOS-diode type

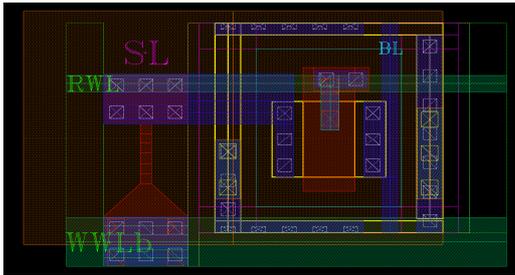


그림 2. 5V NMOS-Diode type eFuse OTP 셀의 레이아웃 이미지
 Fig. 2. Layout image of 5V NMOS-diode type eFuse OTP memory cell

동부하이텍 0.13 μm BCD 공정을 이용하여 설계된 1kb eFuse OTP 메모리 IP의 주요 특징은 표 1과 같다. eFuse OTP 셀 어레이는 128행 \times 8열로 구성되어 있으며, eFuse 링크는 n+ Poly Fuse를 사용하였다. 동작모드는 program 모드, read 모드, program-verify-read 모드가 있다. 그리고 eFuse OTP 메모리의 프로그램 비트 (program bit)와 읽기 비트 (read bit)는 각각 1비트, 8비트이고 프로그램 시간 (program time)은 20 μs 이다. 사용되는 전원전압은 VDD와 V2V (=2.0V \pm 10%)를 사용하였으며, V2V는 PMIC 칩에서 제공되는 내부공급전원 (internal power supply)이다. VDD 전압은 read mode시 2.3V~5.5V가 공급되며, program 모드 시 eFuse 링크를 thermal blowing 시키기 위해 충분한 파워를 공급하는 전압인 5.5V가 사용된다.

표 1. 1Kb eFuse OTP IP의 주요 특징
 Table 1. Major specifications of 1kb eFuse OTP IP

Items	Main Features
Process Technology	DBH 130nm BCD
eFuse Type	n+ Poly Fuse with Co Silicide
Cell Array	128Rows \times 8Columns
Temperature Range	-40 $^{\circ}\text{C}$ ~ 125 $^{\circ}\text{C}$
Operating Mode	Program / Read / Program-Verify-Read
Program bit / Read bit	1bit / 8bit
Program Time	20 μs

표 2는 그림 1의 5V eFuse OTP 셀에 대한 동작모드별 바이어스 조건을 보여주고 있다. 그림 1의 5V eFuse OTP 셀을 '1'로 프로그램하기 위해서는 표2(a)에서 보는 바와 같이 선택되는 셀의 SL (Source Line)과 WWLb (Write Word-Line bar) 신호를 각각 5.5V와 0V로 구동하면 된다. 이와 같이 SL과 WWLb 신호를 5.5V와 0V로 구동하면 SL에서 그림 1의 기생하는 pn 접합 다이오드인 eFuse 링크를 통해 WWLb로 수 십 mA의 과전류가 흘러 eFuse 링크는 열적 파괴에 의해 blowing이 된다. 프로그램 데이터가 '0'인 경우는 선택된 행 (selected row)이나 선택되지 않은 행 (non-selected row)에서 SL이 0V를 구동하므로 eFuse 링크를 통해 전류가 흐르지 않아 eFuse 링크는 unblown 상태를 유지한다. 선택되지 않은 행에서 SL이 5.5V를 구동하더라도 eFuse OTP 셀의 5V NMOS 트랜지스터가 OFF 상태에 있으므로 eFuse 링크에는 전류가 흐르지 않아 unblown 상태를 유지한다. 읽기 모드에서 WWLb은 0V, RWL은 VDD로 구동되며, 이에 따라 '1'로 프로그램 된 eFuse OTP 셀은 eFuse 링크가 blown 상태에 있으며, DOUT(Output Data) 포트에 '1'을 출력한다. 그리고 '0'으로 프로그램 된 eFuse OTP 셀은 eFuse 링크가 unblown 상태에 있으며, DOUT 포트에 '0'을 출력한다.

표 2. 동작모드에 따른 eFuse OTP 셀 바이어스 조건
 (a) program 모드 (b) read 모드
 Table 2. eFuse OTP memory cell bias conditions according to the operational modes : (a) in the program mode and (b) in the read mode

(a)

구분	Non-Selected Row Selected Column		Selected Row Selected Column		Non-Selected Row Non-Selected Col	Selected Row Non-Selected Col
	DIN=0	DIN=1	DIN=0	DIN=1		
RWL	0V	0V	0V	0V	0V	0V
WWLb	5.5V	5.5V	0V	0V	VDD	0V
SL	0V	5.5V	0V	5.5V	0V	0V
BL	Floating	5.5V-V γ	Floating	5.5V-V γ	Floating	Floating
DOUT	X	X	X	X	X	X
eFuse	Unblown	Unblown	Unblown	Blown	Unblown	Unblown

(b)

구분	Non-Selected Row Selected Column		Selected Row Selected Column		Non-Selected Row Non-Selected Column		Selected Row Non-Selected Column	
	CELL=0	CELL=1	CELL=0	CELL=1	CELL=0	CELL=1	CELL=0	CELL=1
RWL	0V	0V	VDD	VDD	0V	0V	VDD	VDD
WWLb	0V	0V	0V	0V	0V	0V	0V	0V
SL	0V	0V	0V	0V	0V	0V	0V	0V
BL	0V	VDD	0V	VDD	0V	VDD	0V	VDD
DOUT	0	1	0	1	X	X	X	X
eFuse	Unblown	Unblown	Unblown	Blown	Unblown	Blown	Unblown	Blown

본 논문에서 설계된 1kb eFuse OTP 메모리 IP의 블록도는 그림 3에서 보는 바와 같이 128행 × 8 열의 셀 어레이, WL (Word-Line) 구동회로, SL 구동회로와 BL (Bit-Line)의 데이터를 읽어내기 위한 BL S/A (Sense Amplifier) 회로, 제어신호 (RD, PGM, PVR_EN)에 따라 프로그램 모드, normal read 모드와 program-verify-read 모드에 적합한 내부 제어 신호를 공급하는 제어로직 회로로 구성되어 있다. 어드레스는 행 어드레스 (row address)인 A[9:3]과 열 어드레스 (column address)인 A[2:0]가 있다. 출력 데이터인 DOUT[7:0]과 입력 데이터인 DIN은 각각 분리되어 있다.

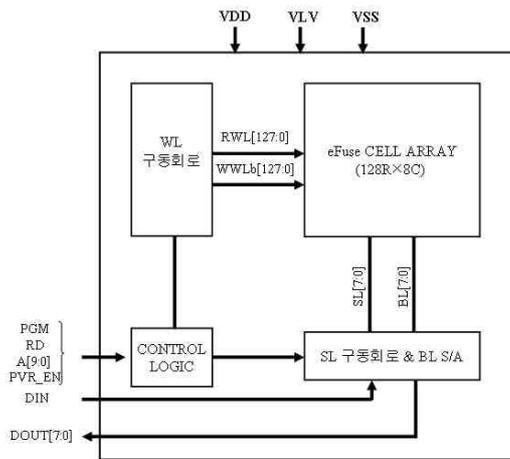


그림 3. 설계된 1kb eFuse OTP 메모리 IP의 블록도
Fig. 3. Block diagram of the designed 1kb eFuse OTP memory IP

본 논문에서 제안된 BL 센싱 회로는 그림 4에

서 보는 바와 같이 제안된 VREF 발생회로는 그림 5에서 보는 바와 같다. 본 논문에서는 BL S/A 회로의 레이아웃 면적을 줄이기 위해 BL S/A 회로마다 VREF 회로를 두는 것이 아니라 eFuse OTP IP에 VREF 회로를 하나만 사용하고 S/A 기반의 D/F/F을 사용하는 BL 센싱 회로를 사용하였다 [9][10]. 그리고 S/A 회로에서 NMOS differential pair와 PMOS differential pair를 사용하는 것은 BL 전압과 VREF 전압의 레벨과 관련이 있다. 본 연구에서는 BL과 VREF 전압이 NMOS differential pair를 구동할 수 없으므로 PMOS differential pair 회로를 사용하였다. 설계된 eFuse OTP IP는 stand-by 상태에서는 BL_PCG와 BL_LOADb 신호는 각각 0V, VDD를 유지한다. 이 상태에서는 VREF와 BL은 플로팅 상태이며, S/A 프리차징 트랜지스터인 MN1과 MN2 트랜지스터가 ON된 상태이므로 N1과 N2 노드는 0V로 프리차징된다. 만약 read 모드와 program-verify-read 모드에서 RD 신호가 high 상태인 VDD로 활성화되면 BL_PCG 신호의 high 펄스에 의해 그림 4의 MN3과 그림 5의 MN4가 ON되면서 VREF와 BL 전압을 0V로 프리차징 한다. BL_PCG 신호에 의해 BL을 0V로 프리차징 하는 이유는 BL을 기존의 VDD로 프리차징 했을 때보다 unblown 상태에 있는 eFuse 링크를 통해 흐르는 read 전류를 낮출 수 있기 때문이다[6].

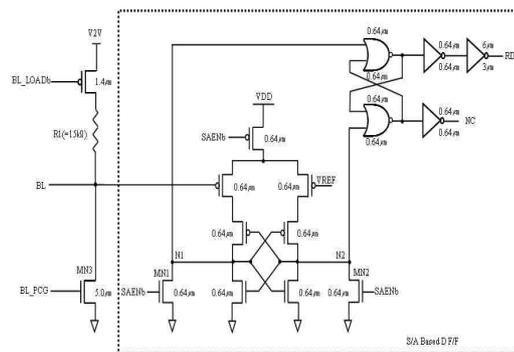


그림 4. BL S/A 회로도
Fig. 4. BL S/A circuit

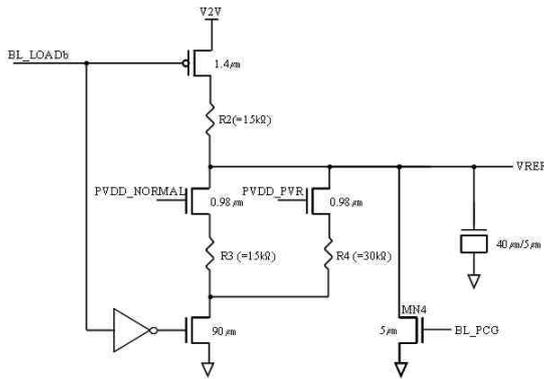


그림 5. VREF 회로도
Fig. 5. VREF circuit

BL_PCG 신호의 high 펄스에 의해 BL S/A의 N1과 N2 노드를 0V로 프리차징 시키고 VREF 회로의 VREF 노드를 0V로 프리차징 시킨 이후 RWL 신호가 0V에서 VDD로 활성화되면서 그림 1의 5V NMOS-diode type eFuse OTP 셀의 회로도에 있는 읽기 트랜지스터인 MN0가 ON된다. RWL이 활성화된 다음은 BL_LOADb 신호가 VDD에서 0V로 활성화되면서 normal read 모드에서의 VREF 노드 전압은 그림 5의 V2V와 GND 사이에 있는 R3 (=15kΩ)과 R4 (=30kΩ)에 의해 기준전압이 만들어진다. 본 논문에서의 R3 저항 값은 5V NMOS 트랜지스터의 기생하는 PW 저항을 고려하여 기존의 5kΩ 대신 15kΩ으로 증가시켰다.

그런데 PMIC 칩에서 사용되는 eFuse OTP IP는 2.3V~5.5V의 넓은 동작전압 영역을 갖는 eFuse OTP IP를 요구하고 있다. 만약 기존의 기술에서처럼 BL 풀-업 부하로 VDD의 파워를 사용하는 PMOS 트랜지스터를 사용하게 되면 넓은 동작전압 영역을 갖는 eFuse OTP IP를 설계하는 경우 2.3V의 저전압 VDD에서 post-program 저항이 15 kΩ 정도인 eFuse를 데이터 '1'로 센싱 하도록 PMOS 풀-업 부하를 맞추게 되면 5.5V의 VDD에서 프로그램되지 않은 eFuse 셀을 읽을 때 blowing 되지 않은 eFuse 링크는 큰 read 전류에 의한 EM 현상에 의해 blowing되는 현상이 일어

날 수 있다. 그래서 본 논문에서는 VREF 회로와 BL S/A 회로의 풀-업 부하 회로에 기존의 VDD 파워 대신 voltage regulation된 V2V (=2.0V ±10%)의 전압을 사용하였다. 제안된 VREF 회로와 BL S/A회로를 사용하므로 normal read 모드에서 15kΩ 정도의 post-program 저항을 센싱하면서 eFuse OTP 셀의 blowing되지 않은 eFuse를 통해 흐르는 read 전류를 100μA 이내로 억제하였다. 그래서 eFuse OTP 셀의 unblown된 eFuse 링크가 unblown 상태를 그대로 유지되도록 하는 신뢰성을 확보할 수 있다.

한편 선택된 셀에 있는 eFuse 링크의 프로그램 유·무에 따라 eFuse 링크의 저항이 달라지므로 BL 노드의 전압은 다르게 나타난다. BL 노드에 셀의 데이터가 충분히 전달되면 SAENb 신호가 VDD에서 0V로 활성화되면서 S/A 기반의 D F/F 회로는 VREF와 BL 전압을 비교·센싱하여 DOUT으로 eFuse OTP 셀의 데이터를 전달한다. 그리고 commercial 제품인 경우 10년의 데이터 retention 동안 프로그램된 eFuse 링크의 저항이 줄어드는 경우를 고려하여 program-verify-read 모드에서는 그림 5의 VREF 발생회로의 기준 저항을 저항값이 큰 R4 (=30kΩ)를 선택하고, normal read 모드에서는 retention 시간동안 프로그램된 eFuse 링크의 저항 값이 줄어드는 것을 고려하여 R3 (=15kΩ)을 선택하도록 설계가 되어져 있다.

동부하이텍 130nm BCD 공정을 이용하여 설계된 1Kb eFuse OTP 메모리 IP의 레이아웃 면적은 168.39μm × 479.45μm (=0.08mm²)이다. 그림 6은 설계된 1kb eFuse OTP 메모리의 레이아웃 이미지를 보여주고 있다.

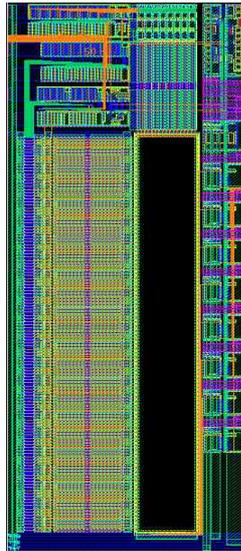


그림 6. 설계된 1kb eFuse OTP IP의 레이아웃 이미지
 Fig. 6. Layout image of the designed 1kb eFuse OTP memory IP

3. 모의실험 결과

설계된 1kb eFuse OTP에서 프로그램 된 eFuse 링크의 센싱 저항에 대한 모의실험 결과는 표 3과 같다. 표 3의 센싱 저항은 $\Delta VBL (=VBL - VREF)$ 이 100mV 이상일 때 정상적으로 센싱되는 것으로 하였다. VDD=5V, SF 모델 파라미터, Temp.=125°C에서 eFuse OTP IP의 normal read 모드와 program-verify-read 모드에서 프로그램 된 eFuse 센싱 저항은 각각 15.9k Ω , 32.9k Ω 으로 모의실험 되었다.

표 3. 동작 모드별 센싱 저항에 대한 모의실험 (a) normal read 모드 (b) program-verify-read 모드

Table 3. Simulation results of sensing resistances according the operational modes: (a) in the normal read mode and (b) in the program-verify-read mode

(a)

VDD	Temp	SS model	SF model	TT model	FS model	FF model
2.3V	-40°C	15.0K	14.9K	14.9K	14.9K	14.9K
	25°C	14.7K	14.8K	14.8K	14.8K	14.8K
	125°C	14.7K	14.7K	14.7K	14.8K	14.7K
5.0V	-40°C	15.5K	15.9K	15.3K	15.1K	15.3K
	25°C	15.5K	15.8K	15.4K	15.1K	15.5K
	125°C	15.5K	15.9K	15.5K	15.4K	15.6K
5.5V	-40°C	15.2K	15.4K	15.1K	15.0K	15.1K
	25°C	15.3K	15.5K	15.3K	15.1K	15.4K
	125°C	15.3K	15.7K	15.5K	15.4K	15.6K

(b)

VDD	Temp	SS model	SF model	TT model	FS model	FF model
2.3V	-40°C	30.1K	30.2K	30.1K	30.0K	29.8K
	25°C	30.2K	30.3K	30.4K	30.0K	29.9K
	125°C	29.7K	29.8K	29.8K	29.9K	29.8K
5.0V	-40°C	31.4K	32.1K	31.4K	30.7K	31.4K
	25°C	31.8K	32.8K	31.8K	31.2K	31.9K
	125°C	31.9K	32.9K	31.9K	31.4K	31.4K
5.5V	-40°C	30.8K	31.2K	30.8K	30.8K	30.8K
	25°C	31.4K	32.0K	31.3K	30.8K	31.4K
	125°C	31.6K	32.4K	31.7K	31.4K	31.8K

한편 normal read 모드에서 채널 폭이 작은 NMOS 트랜지스터를 이용하여 BL에 전압을 전달하므로 표 4에서 보는 바와 같이 eFuse OTP 셀의 blowing되지 않은 eFuse를 통해 흐르는 읽기 전류를 97.7 μ A로 100 μ A 이내로 억제하였다.

4. 결론

BCD 공정에서는 MV 소자로 3.3V 대신 5V 소자를 사용하므로 3.3V NMOS-Diode eFuse OTP 셀에서 사용되는 3.3V NMOS 트랜지스터는 5V NMOS 트랜지스터로 변경되어야 한다. 그리고

2.3V~5.5V의 넓은 동작전압 영역을 갖는 회로 설계가 요구되어진다.

본 논문에서는 PMIC 칩에 사용되는 BCD 공정 기반에서 5V NMOS 트랜지스터와 기억소자인 eFuse 링크로 구성된 저면적의 5V NMOS-Diode eFuse OTP 셀을 제안하였다. 그리고 eFuse OTP 메모리 IP가 넓은 동작전압 영역을 갖도록 하기 위해서 VREF 회로와 BL S/A 회로의 풀-업 부하 회로에 기존의 VDD 파워 대신 voltage regulation된 V2V (=2.0V ±10%)의 전압을 사용하였다.

제안된 VREF 회로와 BL S/A 회로를 사용하므로 eFuse OTP IP의 normal read 모드와 program-verify-read 모드에서 프로그램된 eFuse 센싱 저항은 각각 15.9kΩ, 32.9kΩ으로 모의실험되었다. 그리고 eFuse OTP 셀에서 blowing되지 않은 eFuse를 통해 흐르는 읽기 전류를 97.7μA로 억제하였다. 제안된 VREF 회로와 BL S/A 회로를 사용하므로 수십kΩ의 post-program 저항을 센싱하면서 eFuse OTP 셀의 blowing되지 않은 eFuse를 통해 흐르는 read 전류를 100μA 이내로 억제하여 unblown된 eFuse 링크가 unblown 상태를 그대로 유지되도록 하는 신뢰성을 확보하였다. 동부하이텍 130nm BCD 공정을 이용하여 설계된 1Kb eFuse OTP 메모리 IP의 레이아웃 면적은 168.39μm × 479.45μm (=0.08mm²)이다. 향후 웨이퍼가 나오면 eFuse OTP IP의 특성을 평가해볼 계획이다.

REFERENCES

- [1] S. H. Kulkarni et al., "A 4kb metal-fuse OTP-ROM macro featuring a 2V programmable 1.37μm² 1T1R bit cell in 32nm high-k metal-gate CMOS," *IEEE Solid-State Circuits*, vol. 45, no. 4, pp. 863-868, April 2010.
- [2] W.Y. Jung et al., "Design of eFuse OTP Memory with Wide Operating Voltage Range for PMICs," *Journal of Semiconductor Technology and Science*, vol. 18, no. 1, pp. 115-122, Jan 2014.
- [3] J. Safran, A. Leslie, et al., "A compact eFuse programmable array memory for SOI CMOS," *Symposium on VLSI Circuits*, pp. 72-73, June 2007.
- [4] N. Robson et al., "Electrically programmable fuse (eFuse): From memory redundancy to autonomous chip," *Proceedings of Custom Integrated Circuits Conference*, pp. 799-804, Sep. 2007.
- [5] S. H. Lee et al., "Design of an NMOS-Diode eFuse OTP Memory IP for CMOS Image Sensors," *JKIICE*, vol. 20, no. 2, pp. 306-316, Feb 2016.
- [6] J. H. Kim et al., "Design of 1-Kb eFuse OTP memory IP with reliability considered," *Journal of Semiconductor Technology and Science*, vol. 11, no. 2, pp. 88-94, June 2011.
- [7] D. H. Kim et al., "Design and Measurement of a 1-kBit eFuse One-Time Programmable Memory IP Based on a BCD Process", *IEICE Trans. Electron*, vol. E93-C, no. 8, pp. 1365-1370, Aug. 2010.
- [8] J. H. Lee et al., "Design of an Asynchronous eFuse One-Time Programmable Memory IP of 1 Kilo Bits Based on a Logic Process", *Journal of KIMICS*, vol. 13, no. 7, pp. 1371-1378, July 2009.
- [9] H. Park et al., "Design of Small-Area Dual-Port eFuse OTP Memory IP for Power ICs", *JKIIECT*, vol. 8, no. 4, pp. 310-318, Aug. 2015.
- [10] Y. Ren et al., "Design of a Logic eFuse OTP Memory IP", *JKIICE*, vol. 20, no. 2, pp. 317-326, Feb 2016.

저자약력

김 문 환 (Moon-Hwan kim) [학생회원]



- 2015년 2월 : 창원대학교 전자공학과 (공학사)
- 2006년 3월 ~ 현재 : 창원대학교 전자공학과 석사과정

<관심분야> NVM IP 설계

하 판 봉 (Pan-Bong Ha) [정회원]



- 1981년 2월 : 부산대학교 전기공학과 (공학사)
- 1983년 2월 : 서울대학교 전자공학과 (공학석사)
- 1993년 2월 : 서울대학교 전자공학과 (공학박사)
- 1987년 3월 ~ 현재 : 창원대학교 전자공학과 교수

<관심분야> 임베디드 시스템, SoC 설계

김 영 희 (Yong-Hee Kim) [종신회원]



- 1989년 2월 : 경북대학교 전기공학과 (공학사)
- 1997년 2월 : 포항공과대학교 전자전기공학과 (공학석사)
- 2000년 8월 : 포항공과대학교 전자전기공학과 (공학박사)
- 2001년 3월 ~ 현재 : 창원대학교 전자공학과 교수

<관심분야> CMOS Image Sensor 설계, 메모리 IP 설계, SoC 설계