

저전력 영상 특징 추출 하드웨어 설계를 위한 하드웨어 폴딩 기법 기반 그라디언트 매그니튜드 연산기 구조

김우석*, 이주성**, 안호명***

Gradient Magnitude Hardware Architecture based on Hardware Folding Design Method for Low Power Image Feature Extraction Hardware Design

WooSuk Kim*, Juseong Lee**, Ho-Myoung An***

요약 본 논문에서는 저전력 영상 특징 추출 하드웨어 설계를 위한 하드웨어 폴딩 기법 기반 저면적 Gradient magnitude 연산기 구조를 제안한다. 하드웨어 복잡도를 줄이기 위해 Gradient magnitude 벡터의 특징을 분석하여 기존 알고리즘을 하드웨어를 공유하여 사용할 수 있는 알고리즘으로 변경하여 Folding 구조가 적용될 수 있도록 했다. 제안된 하드웨어 구조는 기존 알고리즘의 특징을 최대한 이용했기 때문에 데이터 품질의 열화가 거의 없이 구현될 수 있다. 제안된 하드웨어 구조는 Altera Quartus II v16.0 환경에서 Altera Cyclone VI (EP4CE115F29C7N) FPGA를 이용하여 구현되었다. 구현 결과, 기존 하드웨어 구조를 이용하여 구현한 연산기와의 비교에서 41%의 logic elements, 62%의 embedded multiplier 절감 효과가 있음을 확인했다.

Abstract In this paper, a gradient magnitude hardware architecture based on hardware folding design method is proposed for low power image feature extraction. For the hardware complexity reduction, the projection vector characteristic of gradient magnitude is applied. The proposed hardware architecture can be implemented with the small degradation of the gradient magnitude data quality. The FPGA implementation result shows the 41% of logic elements and 62% embedded multiplier savings compared with previous work using Altera Cyclone VI (EP4CE115F29C7N) FPGA and Quartus II v16.0 environment.

Key Words : Feature extraction, gradient magnitude calculator, high-throughput signal processing, low-complexity hardware architecture.

1. INTRODUCTION

최근 인구 고령화로 인해 노인성 3대 안구질환 (녹내장, 당뇨망막병증, 황반변성) 발병률이 증가하고 있다. 또한, 인구질환으로 인해 시력을 상실하는 사례가 늘어남에 따라 인공망막의 필요성이 증가하고 있다 [1]. 이런 동향에 따라, Second

sight 사, Retina implant 사, 코넬 의과대학, 스텐포드 의과대학 등 세계 유수의 기업 및 연구기관에서 인공망막 관련 연구를 지속적으로 수행하고 있다. 특히, Second sight 사는 인공망막 아구르스-II 제품을 개발해 환자의 망막에 이식하는데 성공했고, FDA 승인을 받았다. 하지만 인공의안에 사용되는 이미지 프로세서의 영향으로 야외활동

This work was supported by the Academic Research Funding of Osan University in 2016.

*Electrical, Electronic, and Control Engineering, HanKyong University, Korea

**Center of Human-centered Interaction for Coexistence, Seoul, Korea

***Corresponding Author : Department of Electronics, Osan University (callname@osan.ac.kr)

Received March 09, 2017

Revised March 30, 2017

Accepted March 30, 2017

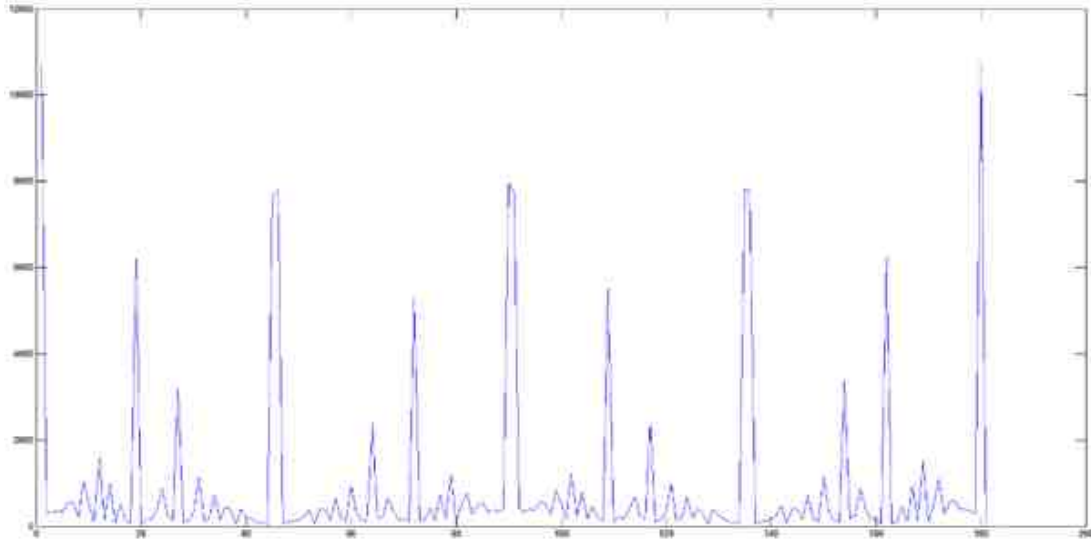


그림 1. 테스트 이미지에서 도출된 Gradient magnitude의 벡터 방향.
Fig. 1. Vector direction of gradient magnitude using test images.

시 배터리 용량 제한으로 인한 짧은 사용시간, 발열 [1] 로 인한 주변장기 손상은 여전히 극복해야 할 문제점으로 남아있다. 따라서 인공의안에 사용되는 이미지 프로세서의 저면적 설계가 필수적이다. 본 연구에서는 이미지 프로세서에서 가장 기본적인 모듈로써 사용되는 edge detector, feature matching [2], [3] 등 물체인식 알고리즘에서 복잡도가 가장 높은 gradient magnitude의 하드웨어 구조에 folding 기법을 적용하여, 하드웨어 면적을 줄일 뿐만 아니라, 연산 정확도는 최대한 유지시키도록 한다.

2. PREVIOUS WORKS

Gradient magnitude는 다양한 영상처리 알고리즘에서 가장 기본적으로 사용될 수 있는 정보이다. 이는 물체와 배경 사이에 발생하는 경계의 크기와 방향을 나타내는 정보이다. Gradient magnitude의 실제 연산에 요구되는 수식은 수식 (1)과 같이 표현된다.

$$|M| = \sqrt{M_x^2 + M_y^2} \quad (1)$$

수식 (1)에서 M_x 는 영상의 수평 방향 변화를 나타내는 Horizontal derivative, M_y 는 영상의 수직 방향 변화를 나타내는 Vertical derivative이다. 수식 (1)에 표현되어 있듯이, Gradient magnitude 연산을 위해 제곱근 (Square root), 제곱, 덧셈 연산이 요구되기 때문에 연산 복잡도가 상당히 높다. 연산의 복잡도를 줄이기 위해 기존 연구들에선, Horizontal derivative와 Vertical derivative의 절댓값을 합하는 방법 [4], Diagonal derivative 필터를 추가하는 방법 [5], Piecewise planar 근사법 [6]을 제안했다. 하지만 대각선 방향에서 발생하는 변화를 검출하지 못하는 단점 [4], 하드웨어 복잡도가 2배 이상 증가하는 단점 [5], [6]이 있다. 때문에 높은 연산 정확도를 유지할 뿐만 아니라, 알고리즘의 하드웨어 구현을 위한 연산기의 수 또한 줄일 수 있는 Gradient magnitude 하드웨어 구조가 요구되고 있다.

3. MAIN IDEA

저면적 Gradient magnitude 하드웨어 설계를 위해 먼저 실제 영상에서 값에 대해 분석했다 [7]. 그림 1은 테스트 이미지에서 나타나는

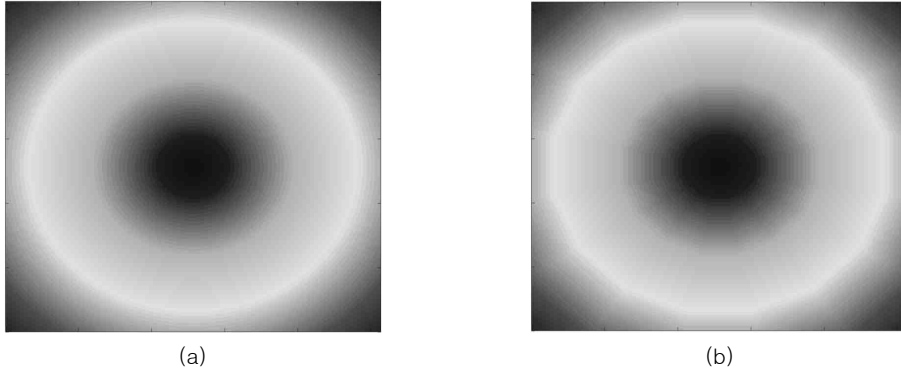


그림 2. Gradient magnitude 연산 수행 결과. (a) 수식 (1) 적용. (b) 수식 (3) 적용 [7].
 Fig. 2. Gradient magnitude computation results. (a) Using Eq. (1). (b) Using Eq. (3) [7].

Gradient magnitude의 Direction 값이다. Direction은 다음 수식을 이용하여 도출했다.

$$\theta = \text{atan}^{-1}\left(\frac{M_Y}{M_X}\right) \quad (2)$$

수식 (2)에서 θ 는 Direction, M_X 는 Horizontal derivative, M_Y 는 Vertical derivative이다. 그림 1에서 X축은 각 픽셀에서 도출된 Gradient magnitude의 벡터 방향 (Degree) 값이고, Y축은 각 벡터 방향 값의 누적을 나타낸다. 그림에 나타난 것과 같이 Gradient magnitude는 22.5°를 간격으로 0°, 22.5°, 45°, 67.5°, 90°, 112.5°, 135°, 157.5°, 180°와 같이 특정 아홉 방향의 각도에서 그 값이 대부분 발생하는 것을 확인할 수 있었다 [7]. 추가적으로, Gradient magnitude는 벡터의 절대적인 크기를 나타내는 유닛 벡터(Unit vector)의 특징을 가지고 있다. 이런 특징에 의해 2차원 평면에서 1사분면과 2사분면이 대칭하고, 이 특정 아홉 방향은 0°, 22.5°, 45°, 67.5°, 90°의 다섯 방향으로 축소될 수 있다. 따라서 수식 (1)은 위 특징을 이용하여 다음과 같이 간소화 될 수 있다.

$$|M| = \max(|M_X|, |M_Y|, \frac{|M_X| + |M_Y|}{\sqrt{2}}), \quad (3)$$

$$|M_X| \times \cosd(22.5^\circ) + |M_Y| \times \sind(22.5^\circ),$$

$$|M_X| \times \cosd(67.5^\circ) + |M_Y| \times \sind(67.5^\circ)$$

수식 (3)에 표현되어 있는 괄호 안의 값 들은 M_X 와 M_Y 를 0°, 90°, 45°, 22.5°, 67.5°로 각각 정사영 시키는 과정을 나타낸다. 2차원 평면의 점 (M_X , M_Y)의 벡터 값인 Gradient magnitude는 특정 다섯 방향으로 정사영 된 값들 중에서 가장 큰 값을 벡터를 취하면 Approximation 가능하다. 그림 2는 Gradient magnitude 연산 수행 결과이다. (a)는 수식 (1)을 이용한 기존 방법, (b)는 수식 (3)을 이용한 방법을 나타낸다. 그림 2에서 나타나 있듯이, 수식 (3)을 이용한 연산 방법은 주관적인 화질에서 차이가 크지 않은 것을 확인할 수 있다. 또, 두 연산 결과의 절댓값 비교 시 오차가 2% 이하로 매우 낮은 것을 확인했다 [7].

그림 3은 제안된 Gradient magnitude 하드웨어 구조이다. 수식 (3)을 기반으로 각 Clock cycle

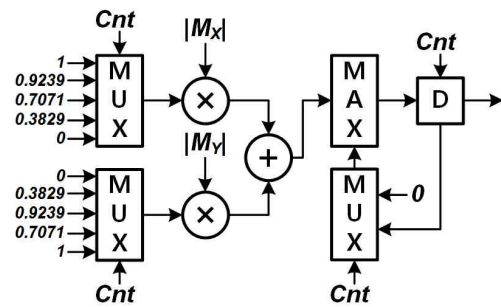


그림 3. 제안된 Gradient magnitude 하드웨어 구조.
 Fig. 3. Proposed hardware architecture.

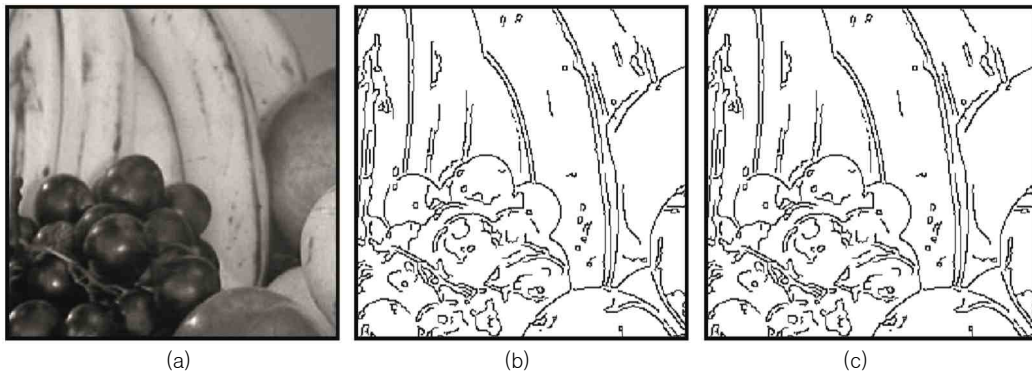


그림 4. Canny edge detection 결과. (a) 원본 이미지. (b) 기존 방법을 적용한 결과. (c) 제안된 방법을 적용한 결과.
 Fig. 4. Canny edge detection results. (a) Original image. (b) Result using conventional approach. (c) Result using proposed approach.

마다 2차원 평면의 점 (MX, MY)을 특정 다섯 방향 (0°, 22.5°, 45°, 67.5°, 90°)에 대해 정사영 시키고 그 중 가장 큰 값을 취하는 구조이다. 먼저 각 콕셈기에 각각 MX, MY가 입력되고, Hardware counter (Cnt)의 시간 제어에 의해 특정 각도에 대한 정사영 상수 값이 0°부터 90°까지 22.5° 스텝으로 순차적으로 MUX를 이용해 선택되는 구조이다. 각 Clock cycle 마다 두 개의 각도 값이 비교되고, 다섯 Clock cycle 후에 특정 각도에 대한 Gradient magnitude 값 비교를 마치고 결과를 도출할 수 있는 하드웨어 구조이다. 제안된 Gradient magnitude 하드웨어 구조는 그림에 나타난 것과 같이 요구되는 연산기의 수를 상당히 줄일 수 있다.

표 1. Gradient magnitude 연산 하드웨어의 FPGA 구현 결과 및 비교.
 Table 1. FPGA implementation result for gradient magnitude calculation hardware

	Conventional	Proposed
Logic elements	181	107 (41% ↓)
Embedded Multiplier	13	5 (62% ↓)

5. EXPERIMENTAL RESULTS

제안된 gradient magnitude 연산기 하드웨어 구조를 이용해 FPGA 구현 후 실제 면적 비교를 수행했다. 구현에는 Altera Cyclone IV FPGA (EP4CE115F29C7N)를 사용했다. 하드웨어의 합성은 Quartus II v16.0을 이용하여 수행되었다. 표 1은 Gradient magnitude 연산 하드웨어의 FPGA 구현 결과를 나타낸다. 구현 결과 제안된 gradient magnitude 연산 하드웨어는 기존 구조에 비해 41%의 logic elements, 62%의 embedded multiplier 절감 효과가 있음을 확인했다. 기존 알고리즘에서 요구하고 있는 제공된 연산이 제거되어 Embedded Multiplier수가 상당히 줄었음을 확인했다.

그림 4는 구현된 gradient magnitude 연산 하드웨어를 Canny edge detection에 적용한 결과를 보인다. 기존 알고리즘의 특성을 최대한 살린 알고리즘이기 때문에, Canny edge detection에 적용시켰을 때 연산의 정확도가 97%로 상당히 높은 것을 확인할 수 있었다.

6. CONCLUSION

본 논문에서는, Gradient magnitude 연산의 저면적 하드웨어 구조가 제안되었다. 제안된 구조는 Gradient magnitude의 벡터 특징을 분석하여 하

드웨어를 공유 할 수 있는 구조로 알고리즘을 변경하고, Folding 구조가 적용될 수 있도록 하였다. 기존 구조와 비교했을 때, 제안된 구조 기존 구조에 비해 하드웨어 자원을 절약할 수 있음을 확인하였다. 또한, 알고리즘 변형을 최소화했기 Gradient magnitude 연산의 정확도가 유지될 수 있었다. 본 논문에 제안된 저면적 gradient magnitude 연산 하드웨어 구조는 인공지능용 이미지 프로세서에 쉽게 적용될 수 있다.

REFERENCES

- [1] A. Alaghi, C. Li and J. P. Hayes, "Stochastic circuits for real-time image processing applications", in *Proc. ACM/EDAC/IEEE Design Automation Conference (DAC)*, pp. 136:1-6, Jun. 2013.
- [2] P. Zhao, H. Zhu, H. Li, and T. Shibata, "A Directional-Edge-Based Real-Time Object Tracking System Employing Multiple Candidate-Location Generation", *IEEE Transactions on Circuits and Systems for Video Technology*, vol. 23, no. 3, pp. 503-517, Mar. 2013.
- [3] S. -L. Chen and E. -D. Ma, "VLSI Implementation of an Adaptive Edge-Enhanced Color Interpolation Processor for Real-Time Video Applications", *IEEE Transactions on Circuits and Systems for Video Technology*, vol. 24, no. 11, pp. 1982-1991, Nov. 2014.
- [4] P. R. Possa, S. A. Mahmoudi, N. Harb, C. Valderrama, and P. Maneback, "A Multi-Resolution FPGA-Based Architecture for Real-Time Edge and Corner Detection", *IEEE Transactions on Computers*, vol. 63, no.10, pp. 2376-238, Oct. 2014.
- [5] N. Kanopoulos, N. Vasanthavada, and R. L. Baker, "Design of an image edge detection filter using the Sobel operator", *IEEE Journal of Solid-State Circuits*, vol. 23, no. 2, pp. 358-367, Apr. 1988.
- [6] B. Geelen, F. Deboeverie, and P. Veelaert, "Implementation of Canny edge detection of Canny Edge Detection Filter for ITK Using CUDA", in *Proc. IEEE Symposium on Computer Systems*, pp. 33-40, Oct. 2012.
- [7] WooSuk, Juseong Lee, Ho-Myoung An, "Low Complexity Gradient Magnitude Calculator Hardware Architecture Using Characteristic Analysis of Projection Vector and Hardware Resource Sharing", *Journal of Korea Institute of Information, Electronics and Communication Technology (JKIIECT)*, vol. 9, no. 4, pp. 414-418, Aug. 2016.

저자약력

김 우 석(Kim Woo Suk)

[학생회원]



- 2016년 3월: 한경대 전기전자 제어공학과(공학사)

<관심분야>

반도체 설계

이 주 성(Juseong Lee)

[정회원]



- 2013년 2월 : 서울과학기술대학교 전자IT미디어공학과 (공학사)
- 2015년 8월 : 고려대학교 전기전자공학과 (공학석사)
- 2015년 10월 ~ 현재 : (재)실감교류인체감응솔루션연구단 연구원

<관심분야>

반도체 설계, 저전력 영상처리, 오류 정정 부호

안 호 명(Ho-Myoung An)

[중신회원]



- 2001년 2월 : 광운대학교 전자재료공학과 (공학사)
 - 2003년 2월 : 광운대학교 전자재료공학과 (공학석사)
 - 2009년 2월 : 광운대학교 전자재료공학과 (공학박사)
 - 2009년 3월 ~ 2013년 2월 : 고려대학교 전기전자전파공학과 연구교수
 - 2013년 3월 ~ 현재 : 오산대학교 전자과 조교수
- 반도체소자, 비휘발성메모리, 광소자, 산화물반도체, 반도체설계, 반도체 장비

<관심분야>