

## CMP slurry 기술 및 산업 동향

글\_ 김태성  
성균관대학교

### 1. 서론

반도체 device의 design rule이 10nm급으로 미세화됨에 따라 shallow trench isolation (STI) 구조의 aspect ratio(깊이/바닥너비)가 증가하고 있다.<sup>1,2)</sup> Aspect ratio의 증가에 따라 gap-filling material도 high-density polyethylene (HDP), n-doped tetraethyl-ortho-silicate (PTEOS)에서 spin-on dielectrics (SOD) 계열로 변화되고 있다.<sup>3)</sup> 연질 막질로의 변화는 STI chemical mechanical planarization (CMP) 공정에서의 scratch 발생 가능성을 높게 하기 때문에 공정내의 요구 scratch level도 더욱 더 낮아져 미세패턴들에 대한 대한 광역 평탄화와 scratch 밀도 감소를 위해 CMP 공정의 중요성이 부각되고 있다.<sup>4,5)</sup> CMP 공정은 Fig. 1와 같이 패드, 슬러리, 컨디셔너 총 3가지의

소모품이 사용되며, 직접적으로 평탄화 공정에 관여하는 소모품은 패드와 슬러리가 있다.

CMP 슬러리는 반도체 표면을 화학적 또는 기계적 방법으로 연마하여 평탄화 하는 CMP 공정에 사용되는 연마 재료로서 화학첨가물을 포함한 수용액과 미립자로 분산된 연마입자로 구성된다.

CMP 슬러리는 연마의 타겟이 되는 막질에 따라 그 성분을 달리하며, 텅스텐, 구리 등의 금속 막질을 연마 시에는 연마입자로 실리카( $\text{SiO}_2$ )가 사용되고 있으며 기계적인 연마를 돕기 위해 금속 산화물을 형성하는 산화제가 들어가기도 하고 실리콘 옥사이드( $\text{SiO}_2$ ), 실리콘나이트라이드( $\text{Si}_3\text{N}_4$ ) 등의 절연막의 연마에는 세리아( $\text{CeO}_2$ ) 입자가 사용되고 있다. (Fig. 2) CMP용 슬러리의 경우 밀링 과정에서의 입자특성(shape, size, size distribution)에 의해 연마 효율 차이를 크게 보여 공정에 따른 입자특성 제어가 필요하다.<sup>6,7)</sup>

최근 CMP가 사용되는 공정이 다양해짐에 따라 다양한 막질 및 다층 반도체 구조에 대응하기 위한 다양한 첨가

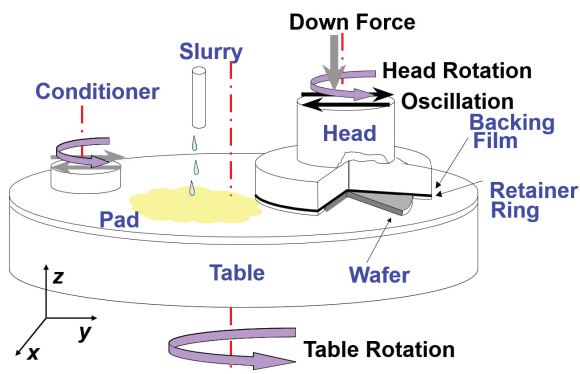


Fig. 1. CMP공정의 개념도

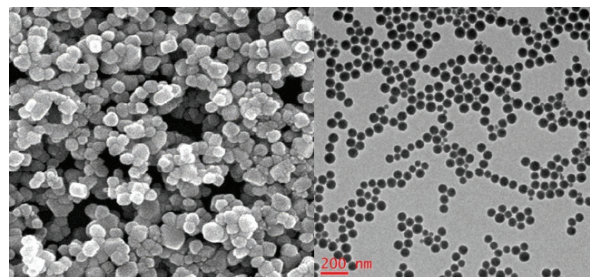


Fig. 2. CMP 슬러리 내 연마입자들 (좌  $\text{CeO}_2$ , 우  $\text{SiO}_2$ )

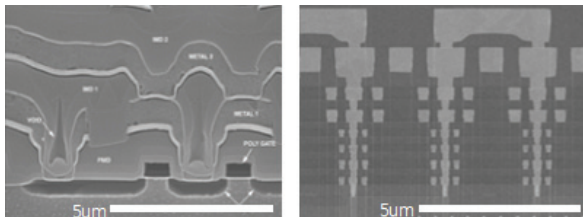
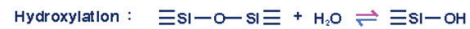


Fig. 3. 반도체 다층 구조 (좌 non-planarization process, 우 planarization process)

제를 포함한 슬러리 개발이 요구되고 있다.<sup>8,9)</sup> Fig. 3과 같은 다층 구조에서는 CMP공정이 필수적이다. 특히 슬러리는 Fig. 4와 같은 기계적, 화학적인 연마를 동시에 지니고 있어 학문적 원리에 근거한 원천기술이 중요하다.



Dissolution(comp. stress)



Condensation(tens. stress)

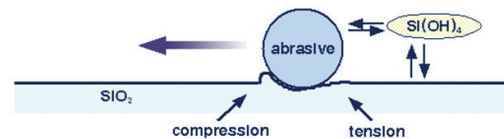


Fig. 4. CMP 슬러리 작용 메커니즘

## 2. 슬러리 응용분야 및 세부기술

CMP 공정에 사용 되는 슬러리를 제품 분류 관점에서

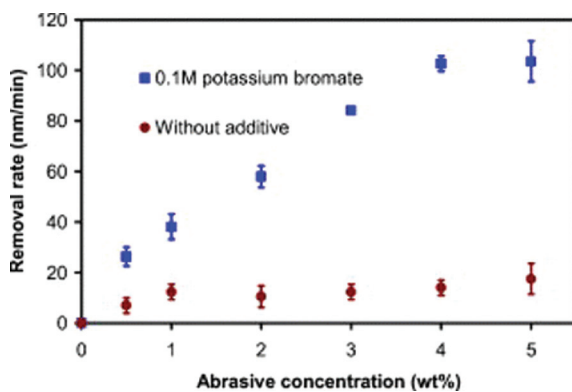


Fig. 5. KBrO<sub>3</sub>첨가에 따른 removal rate 변화

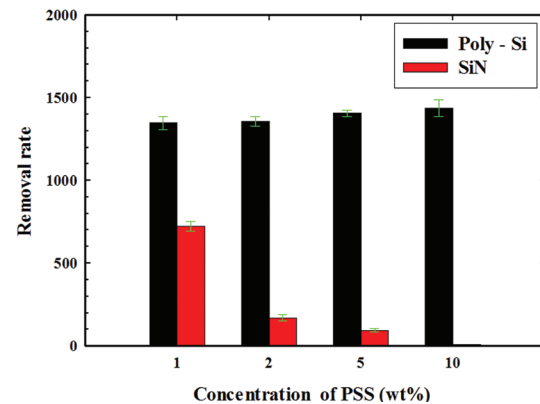


Fig. 6. 슬러리 첨가제 농도에 따른 선택비

Table 1. 제품 별 기술 범위

전략제품	제품분류 관점	세부기술	
CMP 슬러리	절연박막 (dielectric)용 슬러리	Oxide용 슬러리	<ul style="list-style-type: none"> <li>• SiO<sub>2</sub> 박막을 효과적으로 연마 할 수 있는 슬러리</li> <li>• 수율 확보를 위한 고성능, 고연마율 기술 확보 필요</li> </ul>
		STI 공정용 슬러리	<ul style="list-style-type: none"> <li>• 연마 입자 특성만으로는 슬러리 성능을 유지 할 수 없어서 추가적인 첨가제 필요</li> <li>• SiO<sub>2</sub> 와 Si<sub>3</sub>N<sub>4</sub> 막 사이의 고 선택비 유지를 위한 첨가제 확보 필요</li> <li>• 경계면 단차 생성 방지 기술 확보</li> </ul>
		ILD 공정용 슬러리	<ul style="list-style-type: none"> <li>• Gate 또는 금속막의 절연체 도포 후 평탄화 진행</li> <li>• Over 또는 under polishing 방지 기술 필요</li> </ul>
	금속박막 (electric)용 슬러리	Cu 슬러리	<ul style="list-style-type: none"> <li>• 효과적인 연마를 위한 산화제, 억제제, 계면활성제, 킬레이트제 등 다양한 첨가제 조성 최적화 기술 필요</li> <li>• Corrosion 방지를 위한 첨가제 조성 최적화 필요</li> <li>• Organic defect, scratch 개선을 위한 슬러리 성분 최적화 기술 확보</li> </ul>
		W 슬러리	<ul style="list-style-type: none"> <li>• Plug(via) 또는 line용 배선의 금속 residue 제거</li> <li>• Erosion, dishing, EOE 방지 기술 필요</li> <li>• W seam 확장 문제 해결을 위한 첨가제 확보 필요</li> </ul>
		Barrier 금속 슬러리	<ul style="list-style-type: none"> <li>• 금속 막과 실리콘 옥사이드 막 사이에 존재하여 두 접합면이 파괴되는 현상을 방지</li> <li>• 금속 박막 별 적합한 barrier 소재 선정 기술 필요</li> </ul>

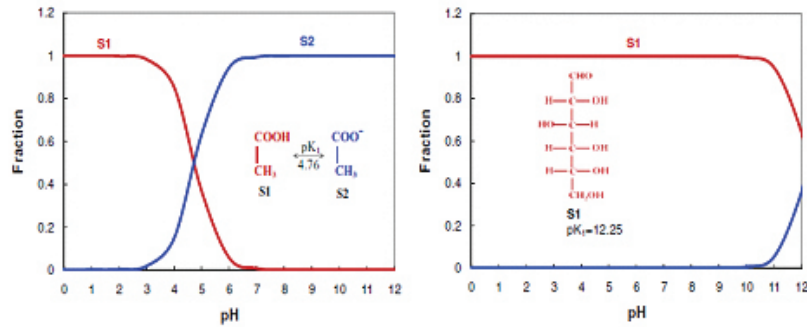


Fig. 7. 첨가제에 따른 연마입자 특성 변화

분류 하자면 절연 박막(dielectric)용 슬러리와 전도박막 (electric)박막용 슬러리로 나눌 수 있다. 절연 박막에는 SiO<sub>2</sub>, Si<sub>3</sub>N<sub>4</sub> 등의 박막이 있고, 전도 박막은 대부분 금속 박막(copper, tungsten, titanium 등)이 사용된다.<sup>10)</sup>

금속 박막의 경우 산화막이 금속보다 기계적 강도가 낮기 때문에 산화제를 사용하여 표면을 산화 시킨 뒤 연마제를 이용해 기계적으로 연마하는 방식을 사용한다. 이를 위해 과산화 수소, 질산철 등과 같은 산화제가 슬러리에 첨가되기도 한다. Fig. 5를 보면 슬러리 첨가물(KBrO<sub>3</sub>)이 연마제의 농도보다 removal rate에 더 큰 영향을 끼치는 것을 알 수 있다.<sup>11)</sup>

최근 STI, in-layer dielectric, tungsten barrier, copper damascene 등 두 가지 이상의 재료로 이루어진 다양한 구조가 새롭게 등장하면서 target 물질의 removal rate를 유지하는 연마 선택비가 중요한 화두로 떠오르게 되었다.<sup>12,13,14)</sup> Fig. 6와 같이 첨가제의 농도에 따라 각기 다른 재료에 대한 removal rate을 조절 할 수 있다. 이러한 최근 동향에 맞춰 연마 선택비를 유지하면서 새로운 반도체 물질에 대응하는 다양한 화학 첨가제가

대학 및 여러 슬러리 제조업체에서 제작되고 있으며 향후 연마입자가 들어있는 연마 슬러리 자체보다 첨가제의 역할이 더 커질 것으로 예측된다. (Table 1)

하지만 화학첨가물의 증가로 인해 CMP 공정 중 연마입자의 기계적 거동 웨이퍼 중심부의 연마 산포가 저해되는 결과를 초래하고 있다. 이를 해결하기 위해 웨이퍼-패드 간극 내의 연마입자의 고른 분포를 유도하는 분산제의 중요성이 점차 대두되고 있다. 또한 여러 첨가제가 섞이면서 화학적 특성 또는 구조가 pH나 zeta potential 등에 의해 달라져 pH adjustor과 같은 첨가제의 필요성 또한 중요하다.<sup>15,16)</sup> Fig. 7은 pH adjustor에 따라 슬러리 첨가제들의 화학적 구조가 바뀌는 것을 확인 할 수 있다.<sup>17)</sup>

### 3. 산업특징 및 구조

#### 3.1 산업의 특징

슬러리 산업은 전방 산업 보다는 후방 산업과의 연계가 더 두드러지는 산업으로, 후방 산업인 반도체 제조 산업

Table 2. 요구조건(defect size) 변화에 따른 연마제 크기 감소

		2012	2013	2014	2015	2016	2017	2018
Particle size (nm)		50	40	30	30	20	10	7
pH	Oxide 세리아	5 ~ 7						
	Oxide 세리아	10 이상의 알칼리						
	Metal 실리카	2이하의 산 또는 11이상의 알칼리						
Defect size(nm)		35	30	25	20	15	8	5

Table 3. 슬러리 산업의 전 후방 산업 환경

전방 산업	CMP 슬러리 산업	후방 산업
나노 입자 합성기술 화학첨가제 공급 산업 슬러리 원재료 공급 산업	절연박막용 슬러리 금속박막용 슬러리	메모리 반도체 제조 시스템 반도체 제조 로직 소자 제조

의 요구 조건에 맞추어 산업과 연구의 방향이 바뀌는 경우가 많다. (Table 2)

슬러리 제조에는 화학적인 요소(입자 합성기술, 분산안정제, 입자 안정제, pH adjustor, 표면 보호제, 산화제 등)와 기계적인 요소(입자 크기 분포 조절, 입자 형상 조절, 입자 밀링 기술 등)가 동시에 필요하므로 복합적인 기술을 요하는 산업이다.

### 3.2 산업의 구조

슬러리 산업은 전방 산업으로 나노입자합성기술, 화학첨가제 공급 산업, 슬러리 원재료 공급 산업 등이 있고, 후방산업으로는 메모리 반도체 제조, 시스템 반도체 제조, 로직 소자 제조 등이 존재 한다. (Table 3)

후방 산업인 반도체 제조 산업의 발전에 맞춰 동시에 기술 발전이 이루어져야 하며, 다른 소모품(패드, 컨디셔너 등)과의 상호작용에 따른 최적화가 매우 중요하므로 연구 시 동시에 고려해야 한다. (Fig. 8)<sup>17)</sup>

### 3.3 국내 산업 환경

슬러리 전방 산업은 대부분의 원재료를 해외에서 수입했었으나 국내 기업의 연구 개발로 현재 많은 부분 국산화에 성공하였다. 하지만 아직 슬러리 제조 및 입자 제조

등에 관한 원천 기술은 부족한 실정이다.

국내 반도체 제조업체인 삼성전자와 SK 하이닉스가 후방 산업을 이끌고 있으며, 소모품의 국산화에 대한 의지와 요구가 높아 현재 국내 슬러리 산업은 후방 산업과의 연계가 잘되고 있다.

기존에 CMP 기술을 적용하지 않았던 organic light emitting diode (OLED)<sup>18)</sup> 산업 분야에서도 미세화에 따라 CMP 기술을 도입하려 하고 있어 새로운 후방 산업이 생성될 가능성이 높아지고 있다.

현재 국내에는 반도체 제조사와 각종 소모품을 생산하는 세계 최고 수준의 기업들이 있어 전문적인 인력들이 다수 분포하고 있다. 또한 성균관대, 부산대, 한양대 등의 대학에서 전문적으로 반도체 CMP공정에 대해 연구가 진행되고 있다.

## 4. 시장환경 분석

CMP 공정이 반도체 공정에서 핵심 공정으로서, 웨이퍼 표면 평탄화 및 배선공정에 적용됨에 따라, CMP 공정에 사용되는 슬러리의 수요 역시 매년 상승하고 있다.

특히 반도체 칩의 다층화 고집적화에 따라 구리 막질의 비중이 높아지고, 이 분야에서의 CMP 공정이 늘어남에

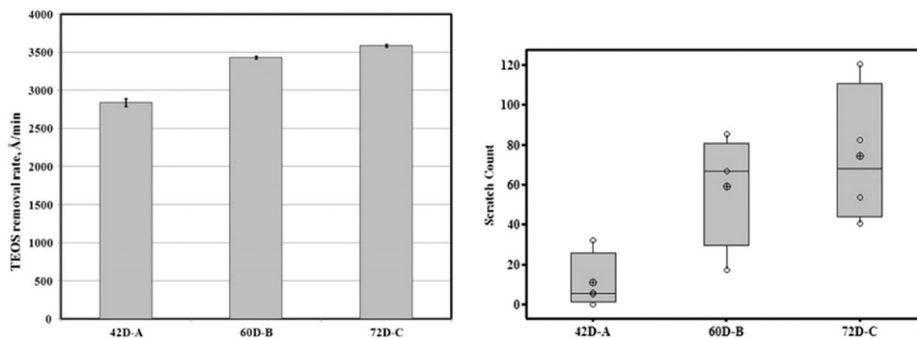


Fig. 8. 패드에 따른 연마효율 차이 (동일 슬러리 사용) (좌 removal rate, 우 scratch count)

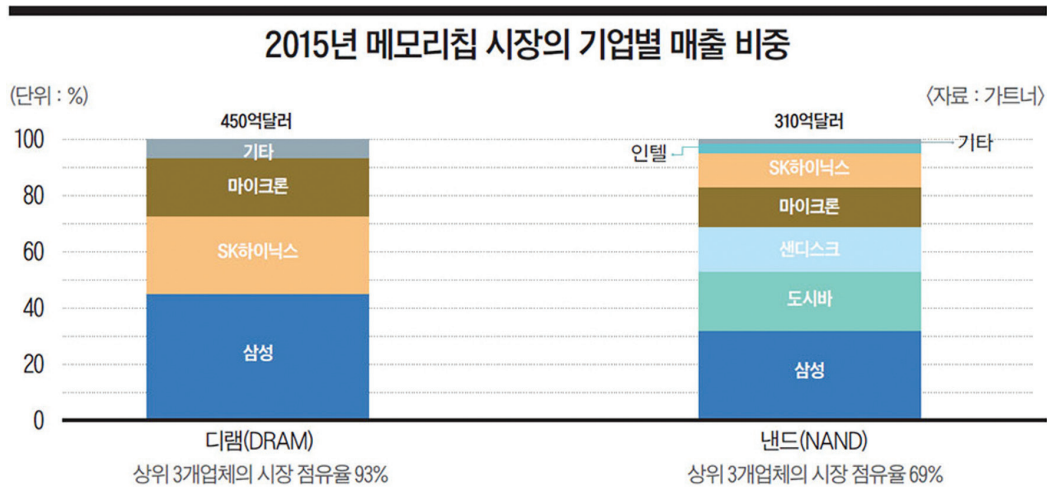


Fig. 9. D램, NAND flash 세계 시장 점유율 (가트너, 2015)

Fig. 9과 같이 따라 copper에 사용되는 소모품의 수요가 급증하고 있다.

CMP 슬러리 시장은 고부가가치화 진행되고 있지만 원료 가격 상승과 특히 장벽으로 성장이 둔화되고 있다. CMP 슬러리는 반도체 웨이퍼 및 회로를 연마해 평탄하게 만드는 역할을 하기 때문에 전방산업인 반도체 시장 상황과 기술 동향에 민감한 것으로 파악되고 있다. 다만, 반도체는 호황이 지속되고 삼성전자와 하이닉스 반도체의 D램 및 NAND flash 시장에 국내 기업들이 큰 점유율을 가지고 있어 CMP 슬러리 시장의 크기가 더욱 커질 것으로 예상된다.

삼성전자의 비메모리 반도체 투자 확대에 따라 CMP 슬러리 수요가 크게 늘어날 것으로 예상되고 있는데, 비메모리 반도체는 메모리 반도체에 비해 다층 구조로 평탄화 공정이 필수적이기 때문이다.

## 5. 결론

Device의 미세화에 따라 공정 난이도는 높아지는 추세를 보이고 있다. 현재 CMP 슬러리의 경우 고상법 세리아가 주종을 이루고 있으나 고상법 세리아는 top down 방식으로 하소 후 밀링공정을 통해 입자사이즈를 조절하는 방식이며 밀링 과정에서는 입자특성이 각진 shape,

large size, wide size distribution으로 인해 많은 scratch를 유발 한다. 이 때문에, size가 작고, 구형에 가까우며, narrow size distribution을 가지고 있는 bottom up 방식의 wet 세리아 입자를 작용하는 시도가 진행 되고 있다. Bottom up 방식으로 제조된 wet 세리아는 프랑스의 Rhodia社가 개발한 wet colloidal 세리아 입자를 적용 CMP 슬러리 개발 연구를 시도하고 있으며, 일본의 Hitachi社는 수산화세륨을 이용한 슬러리 개발을 하고 있으나 국내에서 아직까지 자체적인 wet 세리아 입자 제조 기술이 확보되지 못한 상황이라 독자적인 wet 세리아 입자 합성기술을 확보하는 것이 중요하다. 또한 최근 새롭게 부각되고 있는 OLED, 비메모리 반도체에 CMP 공정이 도입되고 있어 새로운 슬러리 개발에 대한 필요성이 높아져 활발한 연구가 필요한 시점이다. 새로운 산업 분야뿐만 아니라 반도체 디바이스의 회로 선폭의 감소, 두 가지 이상의 재료로 이루어진 패턴 구조 등 기존의 CMP 슬러리에도 아직 해결해야 할 많은 숙제들이 있다. 인해 슬러리 입자 크기 입자를 줄이고 입자 농도를 낮춰야 하기 때문에 이를 위한 저 농도 미세 연마 입자에 대한 연구, 각각의 재료에 대한 서로 다른 선택비를 가지기 위한 첨가제 연구, 첨가제 간의 기계적 거동 및 화학적 변화에 대응하기 위한 연구 개발이 필요하다

## 참고문헌

1. B. V. S. Praveen, R. Manivannan, T. D. Umashankar, B. J. Cho, J. G. Park, & S. Ramanathan "Abrasive and additive interactions in high selectivity STI CMP slurries" *Microelectronic Engineering*, **114** 98-104 (2014).
2. D. S. Lim, J. W. Ahn, H. S. Park, & J. H. Shin "The effect of CeO<sub>2</sub> abrasive size on dishing and step height reduction of silicon oxide film in STI-CMP" *Surface and Coatings Technology*, **200**(5) 1751-1754 (2005).
3. S. Kondo, S. Tokitoh, B. U. Yoon, A. Namiki, A. Sone, N. Ohashi, & K. Yoneda "Low-pressure CMP for reliable porous low-k/Cu integration" In *Interconnect Technology Conference, 2003. Proceedings of the IEEE 2003 International* (pp. 86-88). (2003).
4. E. E. Remsen, S. Anjur, D. Boldridge, M. Kamiti, S. Li, T. Johns, & P. Feeney "Analysis of large particle count in fumed silica slurries and its correlation with scratch defects generated by CMP" *Journal of The Electrochemical Society* **153**(5), G453-G461 (2006).
5. Y. Ahn, J. Y. Yoon, C. W. Baek, & Y. K. Kim "Chemical mechanical polishing by colloidal silica-based slurry for micro-scratch reduction" *Wear* **257**(7), 785-789 (2004).
6. J. Luo, & D. A. Dornfeld "Material removal regions in chemical mechanical planarization for submicron integrated circuit fabrication: coupling effects of slurry chemicals, abrasive size distribution, and wafer-pad contact area" *IEEE Transactions on Semiconductor Manufacturing* **16**(1), 45-56 (2003).
7. Y. J. Seo, S. Y. Kim, Y. O. Choi, Y. T. Oh, & W. S. Lee "Effects of slurry filter size on the chemical mechanical polishing (CMP) defect density" *Materials letters* **58**(15), 2091-2095 (2004).
8. Y. Wang, R. Bajaj, & F. C. Redeker *U.S. Patent No. 6,569,349*, Washington, DC: U.S. Patent and Trademark Office (2003).
9. W. G. America, & S. V. Babu "Slurry additive effects on the suppression of silicon nitride removal during CMP" *Electrochemical and solid-state letters* **7**(12), G327-G330 (2004).
10. B. L. Mueller, C. C. Streinz, & S. K. Grumbine, *U.S. Patent No. 5,958,288*, Washington, DC: U.S. Patent and Trademark Office (1999).
11. S. N. Victoria, P. P. Sharma, I. I. Suni, & S. Ramanathan "Potassium bromate as an oxidizing agent in a titania-based Ru CMP slurry" *Electrochemical and Solid-State Letters* **13**(11), H385-H387 (2010).
12. Farkas, J., Jairath, R., Stell, M., & Tzeng, S. M. *U.S. Patent No. 5,614,444*, Washington, DC: U.S. Patent and Trademark Office (1997).
13. R. Manivannan, & S. Ramanathan "Role of abrasives in high selectivity STI CMP slurries" *Microelectronic Engineering* **85**(8), 1748-1753 (2008).
14. Y. J. Seo, & W. S. Lee "Effects of oxidant additives for exact selectivity control of W- and Ti-CMP process" *Microelectronic engineering* **77**(2), 132-138 (2005).
15. T. Gopal, & J. B. Talbot "Effects of CMP slurry chemistry on the zeta potential of alumina abrasives" *Journal of The Electrochemical Society* **153**(7), G622-G625 (2006).
16. N. K. Penta, H. P. Amanapu, & S. V. Babu "Further Investigation of Slurry Additives for Selective Polishing of SiO<sub>2</sub> Films over Si<sub>3</sub>N<sub>4</sub> Using Ceria Dispersions" *ECS Journal of Solid State Science and Technology* **4**(11), P5025-P5028 (2015).
17. A. Prasad, G. Fotou, & S. Li "The effect of polymer hardness, pore size, and porosity on the performance of thermoplastic polyurethane-based chemical mechanical polishing pads" *Journal of Materials Research* **28**(17), 2380-2393 (2013).
18. Y. J. Seo, G. W. Choi & W. S. Lee "Evaluation of electrical and optical properties of indium tin oxide thin film using chemical mechanical polishing technique" *Microelectronic Engineering* **84**(12), 2896-2900 (2007).

### ◆ 김태성



- 1990년 서울대학교 학사
- 1998년~2002년 미네소타대학 기계공학과 석사/박사
- 2002년~2005년 (Senior/Staff Engineer) Seagate Technology
- 2005년~현재 성균관대학교 기계공학부 조교수/부교수/정교수
- 2015~현재 한국CMPUGM 회장