

# 상변화메모리 소자 및 재료의 연구개발 동향

권용우 교수

홍익대학교 신소재공학과

## 1. 서론

우리나라 반도체 산업의 역사는 메모리 반도체의 역사라 해도 과언이 아니다. 1980년대 초반 DRAM 개발을 시작으로 하여 90년대에는 국내 업체들이 DRAM (Dynamic Random Access Memory) 업계의 선두로 올라섰고 그 위상을 현재까지 이어오고 있다. 2000년대 들어서는 현재 모바일 기기의 데이터 저장소, USB 메모리, SSD (Solid-State Drive) 등으로 널리 쓰이고 있는 낸드 플래시 메모리(NAND Flash Memory)에서도 활발한 연구개발 활동 및 투자를 통하여 현재까지 굳건한 1위를 지켜나가고 있다. 국내 수출입에 있어서 커다란 캐쉬 카우가 되어 국가 경제에 크게 이바지하고 있는 전자산업 분야가 바로 메모리 반도체이다. 상대적으로 우리나라의 경쟁력이 취약한 비메모리 분야의 중요성이 계속 강조되고 있지만, 그렇다고 해서 기존에 경쟁력을 갖춘 메모리 분야를 소홀히 해도 된다는 뜻이 결코 아니다. 현재 메모리 반도체의 연구 개발은 커다란 변곡점에서 있다고 판단된다. 메모리 반도체의 최신 제품들은 10 나노 대의 패터닝 공정을 사용하고 있고, 향후 더 작은 스케일의 공정을 개발하는 것이 매우 어려운 상황이다. 즉, 업계 용어로 “스케일링 한계”를 맞고 있다.

이 시점에서 업계는 두 가지의 전략을 취할 수 있다. 첫째는 기존 DRAM과 낸드플래시의 스케일링 한계를 정면 돌파하는 것이고, 둘째는 신개념 메모리 소자, 흔히들 뉴메모리(New Memory)라 부르는 소자의 도입이다. 어느 한 쪽만으로 완전히 집중하는 것은 매우 위험한 일이고 양 쪽에 관련된 연구 개발을 모두 병행하는 것이 이상적이기는 하지만, 산업계에서는 제한된 자원으로 최대의 이익을 실현해야 하기에 성과가 불명확하고 위험부담이 따르는 연구개발에 자원을 크게 투입하기는 어렵다. 이러한 이유로 지금까지 회사들은 기존 제품의 스케일링에 집중하여 개발을 해왔고, 뉴메모리 연구개발은 상대적으로 우선 순위에서 밀려 있었다.

그러나, 2015년 7월 28일에 인텔(Intel)과 마이크론(Micron)은 그들의 Website를 통해 3D 크로스포인트 메모리(3D X-Point Memory)라는 낸드플래시보다 1,000배 빠르고, DRAM보다 10배의 용량을 갖는다는 신개념 소자를 발표하게 된다 [1]. 그들의 발표에 의하면 본 메모리는 새로운 물질과 구조를 갖고 반복 적층이 가능하며 향후 Optane이라는 상품명을 가진 SSD로 출시될 예정이다. 그들은 이 소자가 어떤 물질을 사용하는지, 어떤 동작 원리를 갖는지 구체적으로 설명하지 않고 있다. 하지만, 관련 분야의 연구원들이 거의 확신하는 것은 이것은 상변화메모리(PC-RAM, Phase-Change Random Access Memory)라는 것이다. 참고로 상변화메모리를 Phase-Change Memory라 부르기도 하는데 뒤에 나오는 상변화 물질(Phase-Change Material)과 약어가 같아지므로 본문에서는 상변화메모리는 PC-RAM으로 지칭하며, 상변화물질

은 PCM으로 지칭한다. 이것은 2009년에 뉴모닉(Numonyx)이라는 회사가 소자 분야 최고 권위의 학회인 IEDM (International Electron Device Meeting)에서 발표한 개념의 상변화메모리 제품과 거의 일치하며 [2], 뉴모닉은 이후 마이크론에 인수 합병 되었다.

인텔이 뉴메모리 분야에 진출한다는 것은 큰 의미를 갖는다. 산업적으로 메모리반도체 산업의 주도권을 되찾고, 또한 컴퓨터 아키텍처의 지배력을 강화하려는 의지를 가진 것으로 판단된다. 장기적으로 3D X-Point Memory는 기존 컴퓨터 아키텍처에서 주 기억장치의 DRAM, SSD 등의 보조 기억장치의 낸드플래시를 직접 대체하기보다는 메모리 계통도(Memory Hierarchy) 상에서 DRAM과 SSD의 중간에 들어가서 데이터 병목 현상을 해소하여 더 빠른 시스템을 개발하는 용도로 사용될 것으로 예상된다. 이러한 용도의 메모리를 SCM (Storage Class Memory)라고 부른다. 이는 컴퓨터 메인보드 등의 하드웨어 설계 뿐 아니라 Operating System 등의 소프트웨어 설계까지 영향을 미치는 작업이다. 이미 모든 사람들이 알고 있듯이 인텔은 이러한 일을 할 수 있는 리더십을 가진 회사이다. 이렇게 큰 그림의 변경을 자신들이 주도하면서 메모리 사업의 주도권까지 되찾겠다는 것이기 때문에 우리나라도 메모리 산업의 주도권을 지키기 위해 정부, 학계, 산업계가 많은 고민 및 노력이 필요한 시점이다.

여러 종류의 뉴메모리 중 가장 관심을 크게 받는 세 가지는 STT-MRAM (Spin Torque Transfer Magnetic RAM), 상변화메모리, 저항메모리 (Resistive RAM, ReRAM)이다. STT-MRAM과 상변화메모리도 높고 낮은 두 가지 저항 상태를 데이터 0과 1로 표현하므로 넓은 의미에서 보면 저항메모리라 할 수 있다. 이 세 가지 메모리는 서로 일장 일단이 있어, 다른 용도로 사용될 수 있으며 어느 하나가 나머지보다 우월하다고 말할 수는 없다. 특히, 위에서 언급한 바와 같이 메모리 계통의 단계가 현재 주기억장치-보조기억장치의 2단계에서 향후 단계가 더 다양한 방향으로 가게 되면 각 위치에 걸맞는 메모리들이 모두 필요하게 되어 어느 것 하나의

연구개발도 소홀히 해서는 안 된다. 이와 같이 메모리 산업도 기존의 소품종 대량생산 개념이 조금씩 파괴될 것이므로 이러한 변화를 모니터링하고 이에 맞는 대응을 하는 것은 국가적으로 매우 중요하다. 본 글에서는 위의 뉴메모리들 중에 상변화메모리 연구개발 동향에 대하여 소개하고자 한다.

## 2. 상변화메모리의 기초

상변화메모리는 상변화재료(PCM, Phase-Change Material)를 이용한다. 여기서 말하는 상변화재료는 1970년대에 Ovsinsky에 의하여 발견된 칼코제나이드 합금 (Chalcogenide Alloy)을 말한다. 칼코제나이드의 가장 큰 특징은 비정질(Amorphous)과 결정질(Crystalline) 사이를 양방향으로 쉽게 상변화를 할 수 있다는 것이다. 비정질화 과정은 높은 파워를 가해 물질을 녹인 후 파워 공급을 멈추면 Quenching 되어 비정질로 만드는 것으로 간단하게 Melt and Quench라 부른다. 결정화 과정은 비정질 칼코제나이드의 녹는점보다는 낮고 상온보다는 상당히 높은 온도를 가하는 Annealing을 통해 이루어진다. 칼코제나이드 물질 중에 상변화메모리 용으로 가장 많이 쓰이는 재료는  $Ge_2Sb_2Te_5$  (GST225)이며 녹는점은 약 900 K, 결정화 온도는 약 650 K이다. 칼코제나이드 물질들에 대한 더 자세한 내용은 Raoux의 상변화물질에 대한 리뷰논문을 참고하기 바란다 [3].

가장 기본적인 상변화메모리 셀의 구조는 그림 1과 같다. 위에서부터 Bit Line, 그 다음에 상부전극, PCM, 하부전극으로 이루어진 Storage Node가 있고, 그 아래에 셀렉터(Selector)가 연결된다. 셀렉터는 일반적으로 다이오드가 많이 쓰이지만, 향후에는 OTS(Ovonic Threshold Switching) 소자로 옮겨갈 것으로 예상되며 이에 대해서는 3장에서 설명하도록 하겠다. 칼코제나이드에 대한 설명에서 언급했듯이 PCM이 비정질 상태가 되면 높은 저항상태(HRS, High Resistance State), 결정질 상태가 되면 낮은 저항상태(LRS, Low Resistance State)가 된다. HRS, LRS는 각각 Data 0, 1에 해당된다. 따라

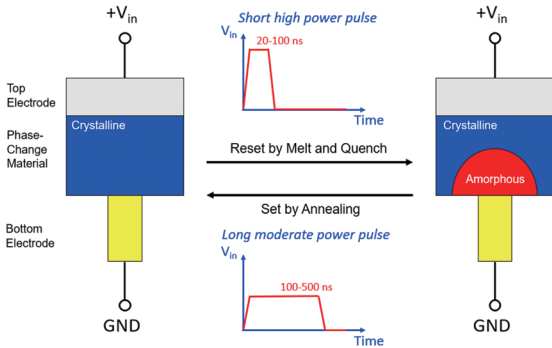


그림 1. 상변화 메모리 셀의 구조 및 Reset, Set 동작에 대한 모식도.

서, 각 메모리 셀에 0 또는 1을 기록해 주는 동작이 필요하며, 또한 메모리 셀의 상태를 읽어주는 동작이 필요하다. HRS, 즉, 0을 기록하는 동작을 Reset이라 부른다. HRS는 다른 말로 Reset된 상태라는 의미로 Reset State라고도 불린다. 반대로 LRS, 즉, 1을 기록하는 동작을 Set이라 부르며, LRS를 Set State라 부르기도 한다.

Reset 동작은 PCM에 비정질 상을 형성하는 것으로 수십 ns의 높은 Power Pulse를 인가하면 Joule Heating에 의하여 PCM에 녹는 부위가 생기고 Pulse가 끊긴 후에 Quenching 되어 비정질 상이 형성된다. Set 동작은 PCM에 결정질 상을 형성하는 것으로 수백 ns의 중간 Power Pulse를 인가하여 결정화온도보다는 높지만 녹는점보다는 낮은 온도를 만들어 주어 Annealing 효과를 발생시켜 결정화를 하게 된다. Read 동작은 상하부 전극 양단에 작은 Voltage를 걸어 전류값을 읽는 것으로 저항을 측정하게 된다. 일반적으로 재료를 녹이는 Reset 과정에서 가장 큰 Power가 요구되므로 어떤 정해진 Technology Node의 PC-RAM 개발에서 가장 중요한 설계 Spec은 Reset 전류 또는 Reset 전압이 된다. 메모리 셀의 아키텍처는 Reset 전류를 줄이는 방향으로 발전하여 왔다.

PC-RAM 동작의 전형적인 I-V curve는 그림 2와 같다. 여기서 주목할 것은 HRS 상태의 I-V curve이다. 낮은 전압에서는 작은 Current 값을 얻다가 임계전압( $V_{th}$ , Threshold voltage)을 넘어

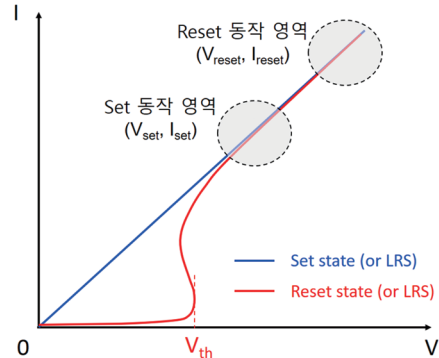


그림 2. 상변화 메모리 셀의 전류-전압 특성.

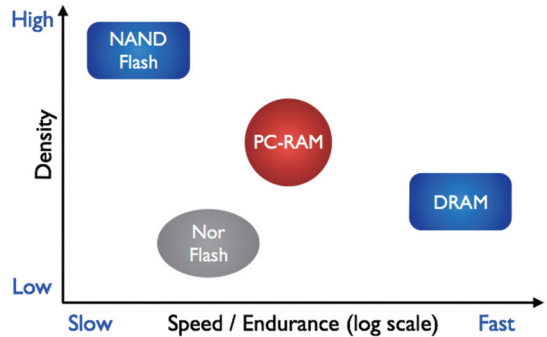


그림 3. 기존 상용화된 메모리들과 PC-RAM의 비교.

가게 되면 Snap-Back 현상이 일어난 후 Set 상태 I-V와 겹치게 된다. 중요한 점은 Snap-Back 자체는 PCM이 Melt 되기 전에 일어나는 현상이며 재료의 변화없이 전기적으로만 일어나는 현상이라는 점이다 [4,5]. 이는 3장에서 설명할 OTS 소자와도 관련된 사항이다. 어쨌든 그림 2의  $V_{set}$ 만큼의 전압을 걸어주게 되면 Snap-Back이 일어난 후 결정화온도보다 높은 온도를 만들 정도의 전류가 흐르게 되고 그 상태로 일정 시간 지속하면 핵생성 및 성장 과정에 의해 결정화가 된다. 그림 2의  $V_{reset}$ 만큼의 전압을 걸어주게 되면 PCM이 Melt 되게 되어 비정질 상을 만들 수 있다. PC-RAM에서 각 메모리 셀에 0 또는 1을 기록할 때 직전 상태는 전혀 중요하지 않으며 이를 Execution-in-place라 한다. 다시 말해 밴드플래시에서는 반드시 필요한 Erase 과정이 DC-RAM에서는 필요없으며 이는 Threshold Switching 덕분이다. PC-RAM은 그림 3에 나타난

바와 같이 모든 면에서 DRAM과 NAND Flash의 중간적인 성격을 갖는다.

### 3. PC-RAM의 연구개발 동향

PC-RAM은 2004년에 64 Mb 시제품이 발표된 이래로 2009년까지 Intel, STMicro, Nymonyx, 삼성전자 등은 경쟁적으로 Density를 높여서 2009년 1 Gb 시제품까지 활발한 연구개발 활동이 이루어졌다 [2,6,7]. 그 후, 2011년 삼성전자에서 20 nm 1.8 V 8 Gb 제품을 발표하였고 [8], 2015년 7월에 Intel, Micron 합작으로 3D X-Point Memory의 개발 소식 및 향후 양산 계획까지 발표하면서 주목을 끌고 있다 [1]. 본 장에서는 최근 제품인 20 nm 제품까지의 메모리 셀 구조들에 대해 먼저 살펴본 후 향후 전망에 대해 논하고자 한다.

메모리 셀 구조는 하부 전극의 형태, PCM 패터닝 방식 등에 따라 지배된다. 하부전극으로는 Ti, TiN, TiAlN 등이 쓰일 수 있다. 가장 기초적인 셀의 형태는 그림 4와 같이 Line and Space 패턴의 PCM 막 아래에 원통형 전극이 나열되어 있는 것이다. 이렇게 되면 셀 상하단에 전압이 인가되었을 때, 하부 전극과 PCM 계면 부분에 전류밀도 집중되게 되고 따라서 이 부분에서 발열이 가장 크게 일어나 그림 4의 우측 하단과 같은 온도 분포를 갖게 된다. 따라서, 그림 1에 보이는 바와 같은 반구 형태의 비정질 상을 형성하게 된다. 이런 형태의 셀에서는 PCM/하부전극 접촉 면적이 작을수록 작은 전류로 비정질 상을 형성할 수 있다. 그러나, 하부전극을 작게 패터닝하는 것은 Litho 능력의 한계가 있다. 이런 원통형 하부전극은 64 Mb, 128 Mb 등의 초기 시제품들에 적용되었다. 그 후, Wall 형태의 하부전극이 등장하였다. 이는 그림 5와 같은 형태를 가지며 PCM/하부전극 접촉면적을 박막증착 두께로 조절할 수 있어 기존 원통 전극처럼 Litho에 의존하는 것보다 Reset 전류를 줄이는데 효과적이다. 이런 형태의 셀이 2009년쯤의 삼성 512 Mb, Numonyx 1Gb 시제품에 적용되었다.

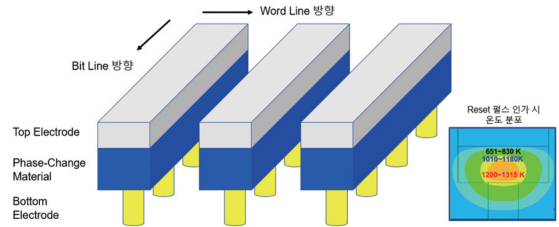


그림 4. Line and Space 패턴 PCM에 원통형 하부전극을 사용한 셀 어레이 구조.

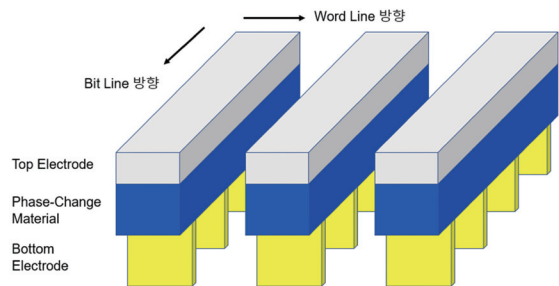


그림 5. Wall 구조 하부전극을 갖는 상변화 메모리 셀 어레이.

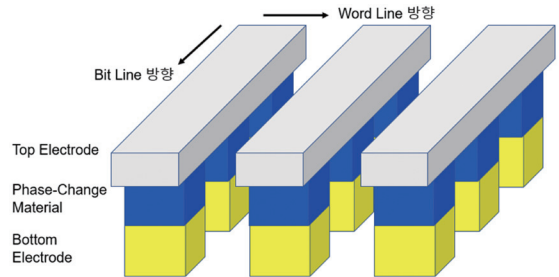


그림 6. Confined 또는 Isolated PCM 셀 어레이.

가장 최근에는 그림 6과 같은 Confined PCM Cell이다. 이는 PCM 물질인 칼코제나이드와 다른 물질 간의 계면열저항(TBR, Thermal Boundary Resistance)이 크다는 점에 착안한 것으로 주목적인 인접 셀 간의 열간섭(Thermal Disturbance)를 줄이는 것이고, 또한, TBR에 의한 보온효과로 Reset 전류를 줄이는 효과도 있다. 기존 Line and Space PCM 패턴에서는 어떤 선택된 셀을 Reset 동작을 시킬 때, 같은 Line 내 인접 셀이 Reset (비정질) 상태라면 Reset 동작에 의한 열을 받아 비정질 상이 부분적으로 결정화 될 수 있다. 만일 Reset 동작이 여러번 반복되면 그 인접 셀은 결국 완전히 결정화 되어 Set 상태로 의도치 않게 바뀔 수 있다. 이런

열간섭은 같은 GST Line에 있지 않은 인접 셀, 즉, Word Line 방향 인접 셀에서는 훨씬 약하다. 따라서, Confined Cell을 만들어 Bit Line, Word Line 방향에 모두 TBR을 두게 되면 모든 방향으로의 열간섭이 줄어들게 된다. 이런 Confined GST에 Wall 구조의 하부전극을 사용한 것이 삼성에서 발표한 2012년 20 nm 8Gb 시제품이다. 앞으로 Confined GST는 계속해서 쓰일 것으로 생각된다. 역사적으로는 여기서 소개된 것보다 훨씬 더 다양한 셀의 형태들이 제안되어 있으며 다양한 셀 구조에 대해 Wang의 리뷰 논문에 정리되어 있으며 [9], 최근에 고려되고 있는 셀 구조에 대해서는 2014년 IEDM에 Micron에서 발표한 논문에 잘 정리되어 있다 [10]. 그림 6은 언뜻보면 최근 인텔이 발표한 크로스포인트 메모리 구조와 비슷해 보이지만, 하부전극 아래에 실리콘 단결정 다이오드가 들어가기 때문에 반복 적층하기 어렵다는 점에서 차이가 있다.

PC-RAM의 연구개발 동향에서 가장 최근에 발표된 3D Cross Point Memory에 대한 이야기를 하지 않고 넘어갈 수가 없다. 발표된 모식도를 보면 상부전극, 셀렉터, 메모리 신물질, 하부전극으로 되어 있으며 이를 반복해서 적층할 수 있다고 한다. 이는 1장에서 언급한 Numonyx의 2009년 IEDM 논문에서 제시한 것들과 가장 유사하며 양산에 더 최적화된 구조와 공정을 개발한 것으로 생각된다. 가장 중요한 포인트는 두 가지이다. 첫째는 실리콘 다이오드가 아닌 화합물 셀렉터를 사용한다는 점이고, 둘째는 Cross-Point 구조로 반복적층이 용이하다는 점이다. 우선 실리콘 다이오드를 셀렉터로 사용할 경우 단결정 실리콘을 사용해야만 하며 이를 위해서는 실리콘 웨이퍼를 패터닝해야만 한다. 이 경우 셀을 동작시키기 위한 Driver IC 등의 Peri/Core Circuit을 CMOS 회로로 만들어야 하는데, 셀 영역과 이러한 논리 회로 영역을 나눠서 만들어야 한다. 다시 말해 Chip의 면적이 100이라면 셀 50, 논리회로 50 이런 식이 된다. 그러나, 화합물 셀렉터로 충분한 성능을 낼 수 있다면? 이 경우는 가장 하단에 CMOS 논리회로를 만들고 그 윗단에 셀 영역을 만들 수 있다는 의미가 된다. 즉, Chip의 크기를 줄이

는데에 더 유리하다. 둘째는 반복적층을 하면 High Density 구현에 용이하다는 것은 누구나 쉽게 납득할 것이다. 그러나, 실제 Industry 관점에서는 반복 Lithography에 의한 공정비용 문제가 발생하기 때문에 부정적으로 보는 시각도 많이 있다. 현재의 V-NAND와 같이 Litho-공정은 한 번만 하고 다층 구조를 만드는 법을 개발해야할 것으로 생각된다.

이와 같은 산업계의 제품화 연구 외에 학계에서는 더욱 다양한 연구들이 활발히 이루어지고 있다. GeTe, Sb<sub>2</sub>Te<sub>3</sub>의 반복적인 멀티레이어 증착을 통해 Superlattice를 형성하면 PCM을 녹이지 않고 원자 배열을 바꿔 비정질을 만들어낼 수 있다는 결과를 일본 AIST에서 발표하였다 [11]. 이는 낮은 전압으로 온도를 높게 올리지 않고도 Reset 상변화를 이룰 수 있다는 점에서 매우 고무적인 결과이다. 2010년 이후로 PC-RAM을 활용한 Neuromorphic computing에 대한 연구들이 여러 기관에서 활발히 이루어지고 있다 [12-14]. 우선은 Synapse 소자로의 응용에 대한 연구가 주를 이루고 있으나, 작년에 IBM에서 Input Signal을 통합하는 Neuron 소자로의 응용까지 제시하였다 [15]. 또 다른 재미있는 연구로 PC-RAM 소자만으로 Logic Gate들을 만들어낸 사례도 있다 [16]. 이는 ReRAM을 가지고 2011년에 Waser가 발표한 Logic-in-Memory와 비슷한 맥락이다 [17].

## 4. 맺음말

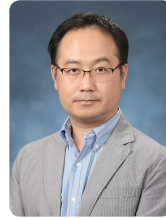
본 글에서는 PC-RAM에 대하여 재료, 소자 동작 원리, 제품 개발 역사 및 학계연구 등에 대하여 간략히 살펴 보았다. Chip 하나를 개발 및 생산하는데에 적게는 수백명, 많게는 수천명이 들어가는 일이며 그만큼 많은 기술들이 결부되어 있기에 필자 혼자서 모두 종합하여 설명하기에 쉽지 않다. 하지만, PC-RAM을 처음 접하는 독자들에게 어느 정도의 길잡이 역할은 잘 할 것이라 기대한다. 글 중간에서 썼듯이 앞으로의 시대는 어느 하나의 소자가 다른 소자를 밀어내는 것이 아니라 요소요소에 적합

한 메모리들을 다양하게 생각해야할 것으로 예상된다. 심지어는 국내에서는 거의 연구하지 않는 강유전체 메모리(Ferroelectric RAM, FeRAM), NOR Flash에 대해서도 해외에서는 또 다른 응용처를 생각하며 연구하는 사람들이 있다. 따라서, PC-RAM 뿐 아니라 모든 뉴메모리 관련 산업계/학계 관계자들 모두 각자 개발 중인 소자에 최선을 다해야 하며, 정부의 전폭적인 지원 또한 중요하다.

### 참고문헌

- [1] 3D X-Point Memory는 2015년 7월 28일에 Intel Newsroom Website에 최초 발표되었음 (<http://newsroom.intel.com>). 또한, 유튜브에도 간략한 버전의 데모 영상이 소개되어있음 (<https://www.youtube.com/watch?v=Wgk4U4qVpNY>).
- [2] D. Kau et al, *IEDM 2009*. (DOI: <https://www.10.1109/IEDM,2009.5424263>)
- [3] S. Raoux, *Annu. Rev. Mater. Res.* 39, pp. 25 (2009).
- [4] A. Pirovano et al, *IEEE Trans. Electron Dev.* 51, pp. 452 (2004).
- [5] D. Ielmini, Y. Zhang, *J. Appl. Phys.*, 102, 054517 (2007).
- [6] J. H. Oh, *IEDM 2006*. (DOI: <https://www.10.1109/IEDM,2006.346905>)
- [7] G. Dervalli, *IEDM 2009*. (DOI: <https://www.10.1109/IEDM,2009.5424409>)
- [8] M. J. Kang, *IEDM 2011*. (DOI: <https://www.10.1109/IEDM,2011.6131478>)
- [9] H. S. P. Wong et al, *Proc. IEEE* 98, 2201 (2010).
- [10] M. Boniardi et al, *IEDM 2014*. (DOI: <https://www.10.1109/IEDM,2014.7047131>)
- [11] R. E. Simpson et al, *Nat. Nanotech.* 6, 501 (2011).
- [12] M. Suri et al, *IEDM 2011*. (DOI: <https://www.10.1109/IEDM,2011.6131488>)
- [13] D. Kuzum, R. G. D. Jeyasingh, B. Lee, and H. S. P. Wong, *Nano Lett.* 12, 2179 (2012).
- [14] D. H. Kang et al, *Neurocomputing* 155, 153 (2015).
- [15] T. Tuma et al, *Nat. Nanotech.* 11, 693 (2016).
- [16] M. Cassinerio, N. Ciocchini, and D. Ielmini, *Adv. Mater.* 25, 5975 (2013).

### 저자



◆ 성명 : 권용우

◆ 학력

· 2000년

서울대학교 재료공학부 공학사

· 2007년

Northwestern University

재료공학과 공학박사

◆ 경력

· 2007년 - 2013년

삼성전자 반도체연구소 책임

· 2013년 - 현재

홍익대학교 신소재공학과 조교수