

## 차폐형 게이트 구조를 갖는 전력 MOSFET의 전기적 특성 분석에 관한 연구

강이구<sup>a</sup>

극동대학교 태양광공학과

### Analysis of Electrical Characteristics of Shield Gate Power MOSFET for Low on Resistance

Ey-Goo Kang<sup>a</sup>

Department of Photovoltaic Engineering, Far East University, Chungbuk 27601, Korea

(Received January 9, 2017; Revised January 13, 2017; Accepted January 13, 2017)

**Abstract:** This research was about shielded trench gate power MOSFET for low voltage and high speed. We used T-CAD tool and carried out process and device simulation for extracting design and process parameters. The extracted parameters was used to design shielded and conventional trench gate power MOSFET. And The electrical characteristics of shielded and conventional trench gate power MOSFET were compared and analyzed for their power device applications. As a result of analyzing electrical characteristics, the recorded breakdown voltages of both devices were around 120 V. The electric distributions of shielded and conventional trench gate power MOSFET was different. But due to the low voltage level, the breakdown voltage was almost same. And the other hand, the threshold voltage characteristics of shielded trench gate power MOSFET was superior to convention trench gate power MOSFET. In terms of on resistance characteristics, we obtained optimal oxied thickness of 3  $\mu\text{m}$ .

**Keywords:** Power device, Breakdown voltage, Shielded gate, Trench gate, Low on resistance

### 1. 서론

고속 응용회로에 주로 사용되고 있는 전력용 MOSFET의 경우는 40 V~900 V에 이르는 다양한 영역에서 적용되고 있다. 전체 시스템의 효율을 개선하기 위해서 MOSFET의 주요 특성인 on-저항을 줄이는 방향으로의 기술 개발이 진행 중이지만, 그러나 Power MOSFET의 각 전압 영역별로 on-저항을 구성하는 요

소는 다르며, 200 V 이하의 저전압 영역에서는 channel 영역과 에피 영역의 저항 부분이 전체적으로 가장 큰 성분이므로 MOSFET의 특성 개선을 위하여 위의 두 부분에 대한 개선이 필요하다 [1-3]. 따라서, 전력 MOSFET의 개발 방향은 소용량 응용영역의 경우 전력 손실을 최소화하고 고속의 스위칭 시 전력손실을 최소화하기 위한 방향으로 트랜치게이트(trench gate) 및 전력밀도 최대화를 위한 셀 밀도(cell density) 향상에 주력하고 있다 [4-6].

최근 스마트폰, 태블릿 PC 등 모바일 기기의 발전은 대용량 및 높은 효율의 전원 공급 장치를 요구하고 있어, 이를 위한 고효율 전력 절감 전력 MOSFET의 개발이 필요한 시점에서, 본 논문에서는 40 V, 100 V급

a. Corresponding author; [keg@kdu.ac.kr](mailto:keg@kdu.ac.kr)

저전압 전력 MOSFET의 고효율 특성 요구에 부응하기 위해 트렌치 게이트 MOSFET의 특성을 뛰어넘는 차폐형(shielded) 게이트 전력 MOSFET을 제안하고자 하였다. 차폐형 게이트 MOSFET은 기존의 트렌치 구조에서의 단점인 트렌치 게이트 하단의 게이트 드레인 캐퍼시턴스를 감소시키기 위해 하부의 트렌치 게이트 산화막은 두껍게 상부의 채널용 트렌치 게이트 산화막은 얇게 만들어 트렌치 게이트를 이중 구조로 만든 구조이며, 이를 통해 낮은 Qg를 달성하여 고속의 스위칭을 가능하게 하고자 하였다. 이를 실현하기 위해 본 논문에서는 최적의 구조를 제안한 다음 소자 및 공정 시뮬레이터를 이용해 전기적인 특성을 분석하여 차폐형 게이트구조의 전력 MOSFET의 우수성을 입증하였다.

## 2. 실험 방법

본 논문에서는 이중 트렌치 게이트 구조 기술을 적용한 전력 MOSFET의 전기적인 특성을 검증하기 위해 트렌치 게이트 MOSFET과 차폐형 게이트 전력 MOSFET의 구조를 제시하였으며, 제안된 구조에서 동일한 설계 및 공정파라미터를 이용하여 시뮬레이션을 진행하였으며, 시뮬레이션 결과를 분석하여 최적의 설계 및 공정 파라미터를 제시하였고, 분석결과 차폐형 게이트 전력 MOSFET이 기존의 트렌치 게이트 전력 MOSFET의 전기적인 특성을 비교하였을 때, 문턱전압 및 항복전압은 유사한 결과를 나타내었으며, 온 특성에서 턴 온시 스위칭 손실이 줄고, 속도가 빨라지는 것을 확인할 수 있었다.

## 3. 결과 및 고찰

### 3.1 트렌치 게이트 및 차폐형 게이트 전력 MOSFET의 최적 설계

본 연구에서는 현재 가장 많이 사용되고 설계되는 트렌치 게이트 구조와 이러한 트렌치 게이트 전력 MOSFET의 스위칭 특성을 향상시키기 위해 차폐형 게이트 구조의 전력 MOSFET을 설계하여 소자 및 공정 시뮬레이션을 수행하였다. 그림 1과 표 1에서는 트렌치 게이트 전력 MOSFET의 구조와 공정 및 설계 파라

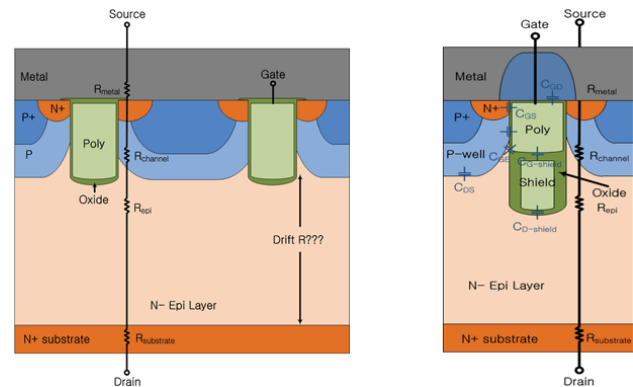


Fig. 1. The structures of trench gate power MOSFET shielded gate power MOSFET.

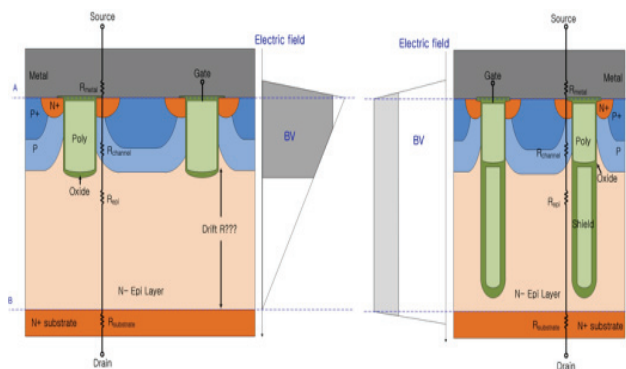
Table 1. The process parameters of planar gate power MOSFET.

Classification	Unit	Value
Cell pitch	$\mu\text{m}$	10
Cell depth	$\mu\text{m}$	320
Resist	$\Omega$	0.8
P-base dose	$/\text{cm}^2$	$1.35 \times 10^{13}$
JFET dose	$/\text{cm}^2$	$1 \times 10^{12}$
Gate width	$\mu\text{m}$	2
Gate depth	$\mu\text{m}$	3
N+ width	$\mu\text{m}$	1

미터를 보여주고 있으며, 표 2에서는 차폐형 게이트 전력 MOSFET의 구조와 공정 및 설계 파라미터를 나타내고 있다. 그림 1에서 보는 것처럼 트렌치 게이트 전력 MOSFET은 트렌치 구조가 JFET영역을 대체하기 때문에 낮은 온 저항을 갖게 되며, 전류 흐름이 수직으로 이어져 빠른 턴 온 및 턴 오프 시간을 갖게 된다. 한편 제안한 차폐형 게이트 구조의 전력 MOSFET은 그림 1에서 나타난 것처럼 게이트 구조에서 상부에는 트렌치 게이트 구조를 가지면서, 하부에는 차폐된 게이트 구조를 갖는다. 그림에서 보여진 것처럼 상부와 하부는 게이트 산화막에 의해서 분리되어지며, 기존의 트렌치 산화막보다 수직으로 깊게 들어가게 되며, 이것은 드리프트 층을 점유하게 된다. 따라서 온 저항은 트렌치 게이트 MOSFET보다 더 낮아지게 되며, 전류의 수직 흐름도 깊게 이어지게 되어 기존의 트렌치 게

**Table 2.** The process parameters of shielded gate power MOSFET.

Classification	Unit	Value
Cell pitch	$\mu\text{m}$	10
Cell depth	$\mu\text{m}$	320
Shielded pitch	$\mu\text{m}$	2
Shielded depth	$\mu\text{m}$	2
Resist	$\Omega$	0.8
P-base dose	$/\text{cm}^2$	$1.35 \times 10^{13}$
JFET dose	$/\text{cm}^2$	$1 \times 10^{12}$
Gate width	$\mu\text{m}$	3
N+ width	$\mu\text{m}$	1



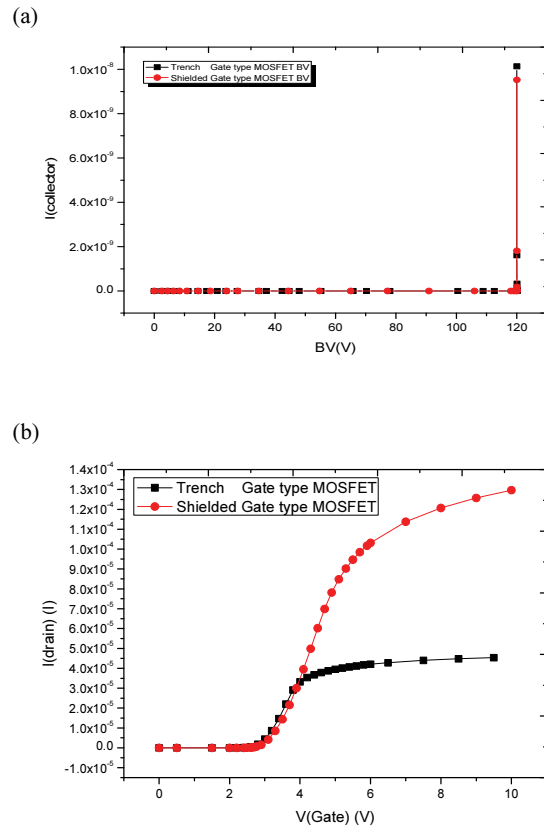
**Fig. 2.** The comparison of electric field distribution of trench gate power MOSFET and shielded power MOSFET.

이트 MOSFET보다 빠른 스위칭 특성을 갖게 되는 것이다.

그림 2에서는 트렌치 게이트 및 차폐형 게이트 전력 MOSFET의 전계분포를 비교하고 있다. 그림에서 나타난 것처럼 차폐형 게이트 구조는 산화막이 트렌치 게이트 전력 MOSFET보다 깊게 들어가게 되어 전계분포가 고르게 분포된다는 것을 알 수 있다. 차폐형구조는 높은 항복전압을 요구하는 분야에서도 충분히 활용할 수 있을 것으로 판단된다.

### 3.2 트렌치 게이트 및 차폐형 게이트 전력 MOSFET의 전기적인 특성 분석

본 절에서는 제안한 트렌치 및 차폐형 게이트 전력 MOSFET에 대해서 소자 시뮬레이션을 수행하였으며,

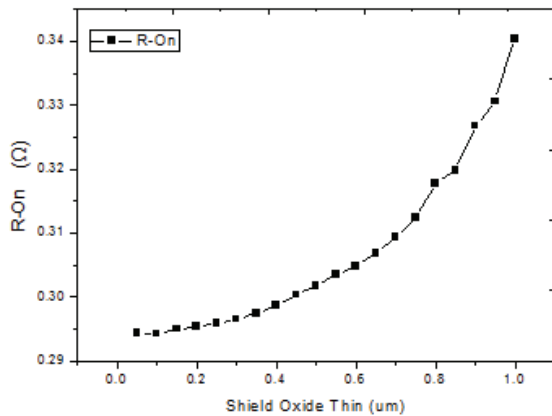


**Fig. 3.** The comparison of electric characteristics of trench gate power MOSFET and shielded power MOSFET. (a) The breakdown voltage and (b) the threshold voltage.

그에 따른 전기적인 특성을 분석하고자 하였다. 그림 3은 제안한 트렌치 및 차폐형게이트 전력 MOSFET의 항복특성을 비교 분석하였다.

그림 3은 제안한 트렌치 및 차폐형 MOSFET의 항복전압과 문턱전압 특성을 비교해서 보여주고 있다. 그림에서 나타난 바와 같이 항복전압 특성은 120 V의 항복전압을 보여주고 있다. 이것은 소용량의 항복전압에서 전계분포가 고르게 분포한다고 해서 변하지 않는다는 것을 의미한다. 그러나 문턱전압 특성에서는 턴온 전압은 4 V 정도를 보여주고 있으나, 그때 흐르는 전류의 값이 크게 차이를 보여주고 있어, 소자의 동작에 큰 장점을 가져온다는 것을 알 수 있다.

그림 4는 산화막 두께에 따른 온 저항 특성을 보여주고 있다. 옥사이드 두께가 커지면 커질수록 온 저항이 약간 증가하는 것을 볼 수 있지만, 그 범위가 0.29 ~ 0.34  $\Omega$ 으로 크게 변하지 않는다는 것을 볼 수 있



**Fig. 4.** The on resistance characteristics of shielded trench gate power MOSFET according to oxide thickness.

다. 따라서 산화막 두께의 최적 공정 파라미터는 0.3  $\mu\text{m}$ 로 도출하였다.

#### 4. 결론

본 논문에서는 소용량(100 V 이하)이면서 고속 동작에 응용되는 차세대 전력반도체 소자로 차폐형 트렌치 게이트 전력 MOSFET소자를 TCAD 툴을 이용하여 최적 도출된 설계 및 공정파라미터를 가지고 구조적으로 설계한 다음, 기존의 트렌치 게이트 전력 MOSFET소자와 전기적인 특성을 비교 분석하였다. 전력반도체 소자의 핵심 특성인 항복전압 특성에서는 두 소자 모두

120 V 내외의 항복전압을 갖는 것으로 나타나 크게 변하지 않음을 보여주지 않고 있지만, 휴대폰 배터리용 전력 반도체 소자의 특성중의 하나인 문턱전압특성에서는 기존의 트렌치 전력 MOSFET소자와 턴온 전압은 유사하지만 그때 흐르는 전류 특성이 크게 향상된 것으로 보여주었다. 부가적으로 차폐형 산화막 두께에 따른 온 저항 특성을 분석하였으며, 산화막 두께는 0.3  $\mu\text{m}$ 에서 최적의 값을 얻을 수가 있었다.

#### REFERENCES

- [1] E. G. Kang and M. Y. Sung, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **15**, 758 (2002). [DOI: <http://dx.doi.org/10.4313/JKEM.2002.15.9.758>]
- [2] T. J. Nam, H. S. Chung, and E. G. Kang, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **24**, 713 (2011). [DOI: <http://dx.doi.org/10.4313/JKEM.2011.24.9.713>]
- [3] A. Malvino and D. J. Bates, *Electronic Principles*, (McGraw-Hill College, New York, 2006).
- [4] E. Gates, *Introduction to Electronics*, 4th ed. (Cengage Learning, Delmar, 2001).
- [5] S. S. Kyoung, J. H. Seo, Y. H. Kim, J. S. Lee, E. G. Kang, and M. Y. Sung, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **22**, 12 (2009). [DOI: <http://dx.doi.org/10.4313/JKEM.2009.22.1.12>]
- [6] H. S. Lee, E. G. Kang, A. R. Shin, H. H. Shin, and M. Y. Sung, *Trans. KIEE.*, **7** (2006).
- [7] W. H. Hayt, Jr., *Eng Ineer Ingelect Romagnetics-7/E* (McGraw-Hill, New York, 2005).