

기술적 성능향상 및 경제성을 고려한 기술 확산(Technology Diffusion) 추세에 대한 연구 : 32nm, 22nm, 14nm 로직 반도체의 기술진화 사례

박창현

한국과학기술기획평가원 재정투자분석본부

A study on technology diffusion trend considering technological performance enhancement and economics : case of technology evolution of 32nm, 22nm, 14nm logic semiconductors

Changhyun Park

Office of R&D Budget and Feasibility Analysis, KISTEP(Korea Institute of S&T Evaluation and Planning)

요약 기술의 확산 현상의 추세 및 발생 동인에 대한 정확한 이해는 새로운 기술을 예측하고 기술 혁신의 과정을 이해하는데 매우 유용하다. 본 연구에서는 기술의 진화 속도가 빠른 반도체 산업 32nm, 22nm, 14nm 로직 기술의 실증적 사례에 대해 기술적 성능 향상 및 경제성 지표를 고려한 정량적 추세 분석을 적용하여 기술 확산 현상의 추세 및 발생 동인을 분석하였다. 기술적 성능 향상을 고려한 기술 확산 곡선은 S곡선의 성숙기, 쇠퇴기 형태를 보였고, 경제성 기반 기술 확산 곡선은 학습효과 곡선의 형태를 보였다. 기술 확산 곡선은 2년의 수명주기를 보였고, 기술 세대별 기술적 성능향상 또는 칩 제조비용의 변화 정도가 정량적으로 관찰되었다. 또한 제품구조혁신은 경제적 발생동인보다 기술적 발생동인이 더 지배적인 영향을 미침을 확인할 수 있었다. 본 연구결과는 첨단기술기반의 반도체 산업에 대한 기술 확산 현상의 추세 및 발생 동인에 대한 실증연구로 시사점이 있으며, 기술 예측 또는 기술 전략 수립에 활용될 수 있으므로 실무적으로도 의의가 크다.

Abstract Understanding trends and drivers of technology diffusion is imperative to forecast new technology adoption and understand the process of technological innovation. Our research utilizes a quantitative trend analysis considering both technological and economic indicators for trends and drivers of technology diffusion for 32nm, 22nm, and 14nm logic semiconductor technology.

In terms of technological performance, the technology diffusion curve showed an S-curve pattern during the stages of maturity and decline, and the diffusion curve showed evidence supporting the learning curve. The diffusion curve showed the life cycle duration of 2 years, and the rate of technological performance and obsolescence are observed quantitatively between generations. Architectural innovation is affected by technological drivers more significantly than economic drivers. This research has implications as empirical research on the trends and drivers of technology diffusion in the high-tech semiconductor industry, and is meaningful in forecasting new technology adoption or build technology strategy.

Keywords : Driver, Economics, Performance, Technology diffusion, Trend

1. 서론

기술 확산은 기술 혁신의 구성요소이면서 재혁신 또

는 혁신활동 자체로서 중요한 의미를 가지고 있다(박용태, 2007)[1]. 그림1에서 제시된 바와 같이 기술의 확산은 전형적인 S자 곡선의 패턴을 통해 확산되는데, 도입

*Corresponding Author : Changhyun Park(KISTEP)

Tel: +82-2-589-2926 email: ch27park@kistep.re.kr

Received October 21, 2016

Revised December 8, 2016

Accepted February 3, 2017

Published February 28, 2017

기에는 기술의 수준 진보에 의한 확산이 천천히 일어나다가 성장기에는 급속히 확산되고 성숙기에는 확산이 느려지다가 쇠퇴기에는 한계점에 도달하여 포화되는 형상을 보인다(Foster, 1986; Schilling, 2005)[2,3]. 또한 현존하는 기술(incumbent technology)은 새로운 지식과 성능에 바탕을 둔 단속적인 기술(discontinuous technology)이 출현 시 이러한 단속적인 기술에 의하여 시장이 대체되기도 한다(Schilling, 2005)[3].

기술의 확산은 여러 가지 동인에 의해서 발생하며, 기술 확산의 동인에 있어 기술성 및 시장성을 모두 고려할 필요가 있다(박용태, 2007; Schilling, 2005; 황성태, 1999)[1,3,4]. 현존하는 기술에 대해서 성능 향상이라는 기술적 동인에 의해 확산이 되거나 시장 가격의 감소에 의한 수용자의 증가에 의해 발생하는 경제적 동인에 의해서도 확산이 발생한다. 한편 단속적인 기술이 새롭게 출현 시 현존하는 기술을 서서히 대체하거나 현존하는 기술의 확산 속도에 직접 또는 간접적으로 영향을 주기도 한다(Schilling, 2005)[3].

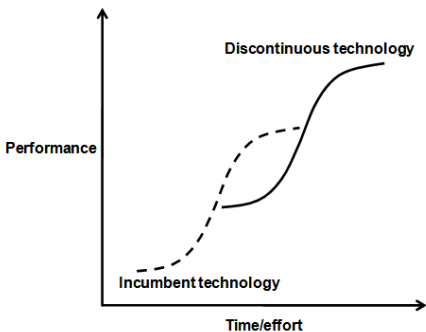


Fig. 1. Technology diffusion S-curve (incumbent vs. discontinuous technology) (Source : Foster (1986), Schilling (2005))

이러한 기술의 확산 현상의 패턴 및 발생 동인에 대해 정확히 이해함으로써 기술의 수명주기, 새로운 기술의 예측 등이 가능하고, 새로운 사업이나 설비의 투자 시점을 결정하는데 유용하다. 또한 기술의 확산이 기술 혁신의 구성요소이므로 기술 확산의 이해를 통해 기술 혁신의 과정을 이해할 수 있다. 특히 첨단기술 산업은 기술의 진화 속도가 매우 빨라 기술의 확산 패턴 및 발생 동인을 정확히 이해해야지 시장에서 주도적인 경쟁력을 가질 수 있고 혁신을 주도하는 초기시장 진입자(first mover)가 될 수 있다. 첨단기술 산업 중에서도 반도체 산업은

무어의 법칙(Moore's law)에서 제시된 바와 같이 18개월마다 반도체의 칩의 집적도가 2배가 증가할 정도로 기술의 진화 속도가 빠르다. 또한 반도체 산업은 기술의 대체과정 및 확산과정의 결과로 나타나는 다세대 기술 확산 현상을 관찰하는데 유용하다(박세훈, 2001)[5]. 본 연구에서는 기술의 진화 속도가 빠른 반도체 산업에 대해 기술 확산 현상의 패턴 및 발생 동인을 실증적으로 살펴 보았다.

따라서 본 연구의 연구 질문은 아래와 같다. 기술의 진화 속도가 빠른 반도체 산업에 대해 기술 확산 추세는 어떤 패턴을 보이고 기술 확산을 발생시키는 주요한 동인은 무엇인가?

본 논문은 아래와 같이 구성되어 있다. 다음절에서는 기술 확산 대상, 확산 동인, 확산 사이클 및 확산 모형에 대한 기존 문헌들을 검토하고, 본 연구를 수행한 연구방법론에 대해서 설명하였다. 연구 결과로서 반도체 사업의 기술 진화 사례에 대한 기술 확산 추세를 정량적 추세분석에 기반하여 분석하였다. 그리고 연구결과가 가지는 이론적 및 실무적 의의를 논의하고 향후 연구계획에 대해 제시하였다.

2. 문헌리뷰

2.1 기술 확산 대상 및 확산 동인

기술 확산의 대상은 기존에 존재하는 기술이 될 수도 있고 새로운 기술이 될 수도 있다. Foster(1986)는 기술 확산의 대상으로 기존에 존재하고 있는 기술(incumbent technology)과 시장의 요구를 만족시키면서 완전히 새로운 지식에 기반하는 단속적인 기술(discontinuous technology)에 대해 정의하였다[2].

기술의 확산은 여러 가지 동인에 의해서 진행되며 혁신의 패턴 관점에서 공정의 혁신, 제품의 혁신, 부품의 혁신 및 제품구조의 혁신 등에 의해 성능 수준이 향상되어 기술의 확산으로 진화된다. 부품혁신(modular innovation)은 하나나 그 이상의 부품을 변화시키지만 전체 시스템의 구조에는 크게 영향을 미치지 않는 혁신을 의미하고(Fleming, 2003; Schilling, 2000)[6,7], 제품구조혁신(architectural innovation)은 전체시스템의 디자인을 변화시키거나 각 부품간의 상호작용을 변화시키며 산업 내의 경쟁자나 기술사용자들에게 근본적이고 복잡

한 영향을 미친다(Henderson & Clark, 1990)[8].

3. 연구방법론

2.2 기술 확산 사이클 및 확산 모형

기술의 확산은 주기성을 가지고 있으며 Rogers (1983)는 기술 확산 사이클을 기술전파의 수용자 집단에 따라 5단계인 혁신수용자(innovator), 선도수용자(early adopter), 전기다수수용자(early majority), 후기다수수용자(late majority), 지각수용자(laggards)로 구분하였다 [9]. 또한 기술의 진보는 신기술과 시장의 불확실성이 높은 유동성 단계에서 제품형태에 대한 경쟁을 거쳐 특수한 단계의 지배적 디자인(dominant design)에 도달한다 (Utterback and Abernathy, 1975)[10]. Anderson and Tushman(1990)은 단속기술은 배양기에서 디자인 경쟁을 거쳐 지배적 디자인에 도달하고, 점진적 개선의 시기에서 성숙된 지배적 디자인은 또 다른 단속기술을 도출한다고 제시하였다[11].

대부분의 기술들의 기술 확산 모형은 시간에 따른 기술수준의 진보가 S자 곡선 모양을 따른다. 기업들은 기존 기술을 업그레이드 시키거나 구조를 재정립함으로써 S자 곡선을 늘릴 수도 있다(Foster, 1986; Christensen, 1999)[2,12]. S자 곡선의 구체적인 모형으로 내부 채널(대인채널, 모방효과)에 기반한 모형인 로지스틱(logistic) 모형과 고펜퍼츠(gompertz) 모형이 존재하고, 내부 채널(대인채널, 모방효과)과 외부 채널(매스미디어 채널, 혁신효과)을 함께 고려하는 바스(bass) 모형이 존재한다(Winsor, 1932; 박용태, 2007; 남기웅, 2009) [13,1,14].

Table 1. Research on technology diffusion

Topics	Types	Research on concepts
Diffusion target	Incumbent, discontinuous technology	Foster (1986)
Diffusion factors	Modular innovation	Fleming (2000), Schilling (2000)
	Architectural innovation	Henderson & Clark (1990)
Diffusion cycles	Technology cycle	Rogers (1983)
	Dominant design	Utterback and Abernathy (1975)
Diffusion model	S-curve	Foster (1986), Christensen (1999)
	Gompertz/Logistic/Bass model	Winsor (1932), Bass (1969)

3.1 연구수행절차

기술 확산에 대한 연구는 시간에 따른 기술의 확산 추세에 대한 시계열 분석이 필요하고, 기술의 성능 또는 시장성에 대한 정량적 데이터의 분석이 필요하다. 본 연구에서는 기술 확산의 패턴 및 발생 동인을 파악하기 위해서 정량적 추세분석(quantitative trend analysis)을 연구에 적용하였다. 정량적 추세분석은 기술변화의 변화 추세를 정량적인 값으로 측정할 데이터를 수집한 후, 과학적인 모델에 반영하여 예측하는 기법을 말한다. 이 기법은 해당 기술의 역사가 오래되어 기술 변화에 대한 정량적 추세가 잘 알려져 있으면 정량적 분석의 정확도와 신뢰도가 높아진다(박용태, 2007)[1]. 그림 2에서 제시한 바와 같이 1단계는 사전연구 단계로 연구 질문에 대한 정의와 연구 주제에 대한 문헌리뷰를 각각 1절 및 2절에서 진행하였다. 2단계로 정량적 추세분석을 수행하였다. 정량적 추세분석을 위하여 이론적으로 유용한 사례를 선정하여 데이터를 여러 출처에서 수집 및 분석하였고 (Yin, 2009), 기술 확산 추세를 시계열분석을 통해 분석하였다[15]. 또한 도출된 기술 확산 추세를 기술의 확산 동인과 연계하여 분석하였다.

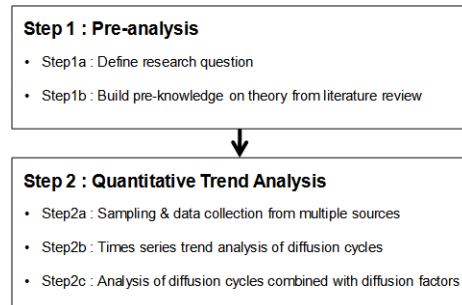


Fig. 2. Research methodology design based on quantitative trend analysis

3.2 사례 선정, 데이터 수집 및 분석

반도체 산업에 대한 기술 확산 현상의 패턴 및 발생 동인에 대해 연구하기 위해 기술의 진화가 빠르고 주기적인 추세를 보이는 로직 반도체 기술을 선정하였다. 특히 로직 반도체 기술은 반도체 전체 산업의 기술 진화를 이끌고 있으며, 각 세대마다 공정 기술 또는 설계 기술의 진화를 통해 성능 수준의 향상을 추구하고 단위 면적당

생산 개수를 늘리고 있다. 본 연구에서는 로직 반도체 기술 중에서 연속성을 보이는 32nm 및 22nm 로직 기술 및 구조적으로 큰 변화를 보인 14nm 로직 기술을 분석 사례로 선정하였다. 표2에서 32nm, 22nm, 14nm 로직 기술에 대해 양산 시작 시기, 응용 제품, 공정 기술의 특징, 설계 기술의 특징, 구조변화 등에 대해 비교하였다. 각각의 로직 기술의 양산 시기가 주기성을 가지고 있으며 공정 및 설계 기술의 특징 변화를 통해 기술 혁신의 동인을 분석하는데 유용하므로, 사례 연구에 있어 중요한 요소인 동기, 영감, 실증 측면에서 본 연구의 목적과 부합한다(Siggelkow, 2007)[16].

Table 2. Case technology comparison in terms of process and design technology

Category		32nm Logic (Planar)	22nm Logic (Planar)	14nm Logic (Finfet)
Mass production 1)		2010	2012	2014
Application		Intel's Core i3 and i5 processor, AMD's FX Series processors	Intel Core i7 and i5 processor, Toshiba 24nm NAND	Intel Core M, Samsung 14 nm Exynos, Apple A9 chips
Process Technology 2)	Isolation	STI	STI	STI
	Channel	SiON gate oxide	SiON gate oxide	SiON gate oxide (3D channel)
	Gate	high-k metal gate	high-k metal gate	high-k metal gate
	Source/Drain	SiGe strained Source/Drain	SiGe strained Source/Drain	SiGe strained Source/Drain
	Metal	Low-k, Cu interconnect	Low-k, Cu interconnect	Ultra low-k, Cu interconnect
Design Technology	Transistor architecture 3)	Planar type	Planar type	Finfet type
	Design rule (FP/CP/Mx) 4)	-/113/112	-/90/80	42/70/52
	SRAM cell size(μm2) 4)	0.182	0.108	0.0588
	Chip size(mm2) 4)	118	160	82

(Source : ITRS(International Technology Roadmap for Semiconductors), IMEC, Wikipedia)

- 1), 4) Mass production time, design rule, SRAM cell size, chip size are referred from Intel products
- 2) Process technologies are referred from representative technology from industry.
- 3) Transistor architecture is referred from representative technology from industry.

그림2의 2a단계에서 정량적 추세분석을 위한 데이터 수집은 다양한 출처의 자료를 수집하였다(Yin, 2009)[15]. 32nm, 22nm, 14nm 로직 기술에 대해 기술 관점에서 세계 반도체 기술로드맵(ITRS), 유럽 반도체 기술 연구소(IMEC), Intel 등 반도체 회사 웹사이트, 위키피디아 등에서 공정 및 설계 관련 정보를 3개의 로직 기술의 양산 시점(2010년, 2012년, 2014년)을 기준으로 수집하였고, 경제성 관점에서는 반도체 관련 원가 및 가격 분석 툴을 제공하는 IC Knowledge의 툴을 통해 3개의 로직 기술의 반도체 제조 원가 자료를 수집하였다 [17].

그림2의 2b단계에서 기술 확산 추세의 분석은 기술의 진화에 따른 기술의 성능 및 경제성 변화의 추세를 정량적인 값으로 측정된 데이터를 수집한 후 시간에 따른 정량적 추세를 파악하였다. 반도체 산업에서 기술의 성능은 반도체 칩의 설계 오류 및 공정 불량률을 최종 통과한 수율(yield)과 설계 및 공정 집적도의 최적화를 통하여 반도체 칩을 최소화하여 단위 면적당 생산당가를 줄일 수 있는 칩 스케일링(chip scaling) 비율에 의해 결정된다. 식(1)에서 제시된 바와 같이 가장 보편적으로 활용되는 수율 모델인 포아송 모델(Cunningham, 1990)을 적용하여 3개의 로직 기술에 대해 70%의 수율에서 양산을 시작하여 89%의 수율에 도달하는 가정을 적용하였다 [18].

$$Y = \exp(-D \cdot A) \tag{1}$$

Y: 수율
D: 단위당 결함수
A: 칩단면적

칩 스케일링 계산을 위해 로직 기술에 기반하여 제작되는 애플리케이션 프로세서(application processor) 칩에 대해 로직 영역, 메모리 영역, 입출력 영역, 아날로그 영역의 비율을 각각 50%, 30%, 10%, 10%로 가정하였다. 표2에서 각각의 로직 기술에 대해 로직영역의 면적 축소비율은 게이트간 피치(CPP)와 메탈 피치(Mx)를 곱한 값의 비율로 계산되고, 메모리영역의 면적축소비율은 SRAM cell 크기의 비율로 계산된다. 디자인 룰(design rule)의 변화에 의해 산출된 각 영역의 축소 비율을 통합하여 식(2)에서 제시한 바와 같이 칩 수준에서의 면적 축소 비율을 산출하였다.

$$S_C = L \times 0.5 + S \times 0.3 + IO \times 0.1 + A \times 0.1$$

S_C : 칩 수준 면적 축소 비율
 L : 로직영역 면적 축소 비율
 S : 메모리영역 면적 축소 비율
 IO : IO영역 면적 축소 비율
 A : Analog 영역 면적 축소 비율

(2)

따라서 반도체 산업에서 기술의 성능의 주요 지표인 수율 및 칩 스케일링의 변화를 반영한 최종적인 기술적 성능 지표를 식(3)에서와 같이 도출하였고, 양산 시작 후 시간의 변화에 따른 수율 및 칩 스케일링의 변화 추세를 도출한 후 표준화(normalization)를 진행하였다. 기술적 요인에 기반 한 기술 변화 추세에 대해 확산 곡선의 형태, 발생주기, 기술별 교차형태 및 상호영향 등을 분석하였다.

$$P = Y \times S_C \quad (3)$$

P : 기술적 성능
 Y : 수율
 S_C : 칩 수준 면적 축소 비율

제조비용이 시장가격 및 제품의 누적 소비자 비율에 직접적인 영향을 미치므로 반도체 산업에서 경제성 변화의 추세는 시간의 변화에 따른 웨이퍼 제작비용(wafer cost) 및 칩 제작비용(die cost)으로 대변된다. 웨이퍼 제작비용은 IC Knowledge의 원가분석틀을 활용하여 각 로직 기술의 웨이퍼 제작비용을 산출하였고, 칩 제작비용은 웨이퍼 제작비용에 수율을 고려한 실제 칩 개수(net die)로 나누어서 식(4)와 같이 도출되었다. 따라서 반도체 산업에서 경제성의 주요 지표로 칩 제작비용을 도출하였고, 양산 시작 후 시간의 변화에 따른 칩 제작비용의 변화 추세를 도출한 후 표준화(normalization)를 진행하였다. 경제적 요인에 기반 한 기술 변화 추세에 대해 확산 곡선의 형태, 발생주기, 곡선별 교차형태 및 상호영향 등을 분석하였다.

$$D_C = \frac{W_C}{ND} \quad (4)$$

D_C : 칩당 제작비용
 W_C : wafer당 제작비용
 ND : 실제 칩 개수

그림2의 2c단계에서 기술 확산 추세를 발생 동인과 함께 분석하였다. 2b단계에서 도출한 정량적 추세 분석 결과를 바탕으로 하여 32nm, 22nm, 14nm 로직 기술의 진화에 영향을 미치는 혁신 유형을 파악하고 기술적 요인 및 경제적 요인의 상호영향 및 지배적인 효과를 분석하였다.

분석 사례의 데이터를 여러 출처를 통해 자료를 수집함으로써 데이터 자체의 신뢰성을 확보할 수 있었고 (Yin, 2009), 연구를 통해 도출한 분석방법 및 결과들이 32nm, 22nm 및 14nm 로직 기술의 다중 사례에 대해 검증이 되어 내적타당성 및 외적타당성을 확보할 수 있었다[15].

4. 연구결과

4.1 기술적 성능향상 기반 기술 확산의 추세

식(3)에서 도출된 수율 및 칩 스케일링의 변화를 반영한 기술적 성능 지표에 대해 32nm, 22nm, 14nm 로직 각각의 기술의 변화 추세를 반영한 기술 확산 곡선을 도출하였고 곡선의 형태, 발생주기, 기술별 교차형태 및 상호영향 등을 분석하였다.

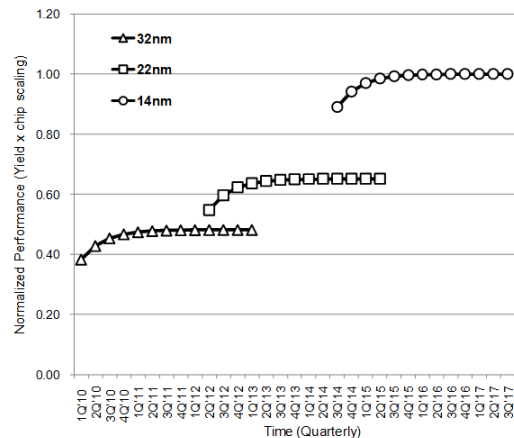


Fig. 3. Quantitative trend analysis of technology diffusion trend considering performance enhancement

기술 확산 곡선은 전형적으로 S자 곡선 형태(Foster, 1986)를 가지고 있고, 본 연구에서 도출된 로직 반도체 기술의 기술 확산 곡선은 그림3에서 제시된 바와 같이 S

자 곡선 형태에서 성숙기와 쇠퇴기의 시기에 해당되어 기술의 성능 수준이 성숙기를 거쳐 서서히 느려지다가 쇠퇴기에 포화되는 추세를 보였다[2]. 본 연구의 사례가 본격적인 양산 시작 시점부터 확산 추세를 반영하여 초기 도입기 및 성장기의 추세는 관찰되지 않았다. 발생주기 측면에서 각각의 로직 기술은 다음 세대의 기술이 출현하는데 정확히 2년의 기간이 소요되는 주기를 보였다. 32nm, 22nm 기술대비 22nm, 14nm 기술이 각각 35%, 54%의 기술 성능 수준의 향상을 보여 22nm에서 14nm 로의 기술 진화시의 성능 수준 향상이 더욱 크게 관찰되었다.

4.2 경제성 기반 기술 확산의 추세

식(4)에서 도출된 웨이퍼 제작비용 및 실제 칩 개수를 반영한 칩 제작비용 지표에 대해 32nm, 22nm, 14nm 로직 기술의 경제성 변화 추세를 반영한 확산 곡선을 도출하였고 곡선의 형태, 발생주기, 기술별 교차형태 및 상호영향 등을 분석하였다.

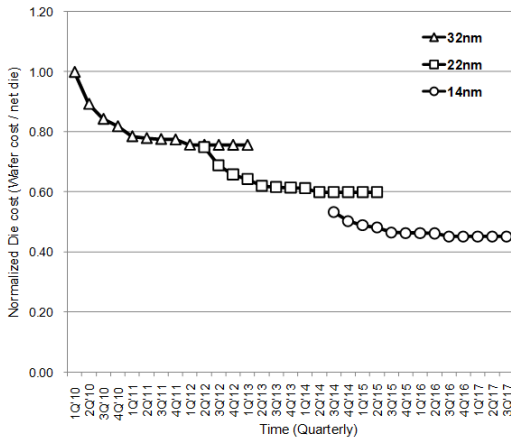


Fig. 4. Quantitative trend analysis of technology diffusion trend considering marketability

경제성 변화 추세를 반영한 확산 곡선은 전형적으로 학습효과 곡선 형태(Schilling, 2005)를 가지고 있고, 본 연구에서 도출된 로직 반도체 기술의 확산 곡선도 그림4에서 제시된 바와 같이 학습효과(learning effect)를 반영한 곡선 형태를 보이며 기술의 성능 수준의 향상에 따라 단위 제작비용이 지수함수 형태로 감소하는 추세를 보였다[3]. 발생주기 측면에서 각 로직 기술은 다음 세대의

기술이 출현하여 단위 제작비용을 낮추는데 정확히 2년의 기간이 소요되는 주기를 보였다. 32nm, 22nm 기술대비 22nm, 14nm 기술이 각각 21%, 25%의 칩 제작비용의 감소를 보여 22nm에서 14nm로의 기술 진화시의 단위 제작비용의 감소가 더욱 크게 관찰되었다. 또한 32nm에서 22nm 기술로의 진화 시 확산 곡선이 2012년 2분기에 교차되는 현상을 보였다.

4.3 기술 확산의 추세와 발생 동인간의 상관관계

4.1 및 4.2절에서 도출한 기술적 및 경제적 요인에 기반한 정량적 추세 분석 결과와 32nm, 22nm, 14nm 로직 기술의 진화에 영향을 미치는 혁신 유형을 파악하고 상호영향 및 지배적인 효과를 분석하였다.

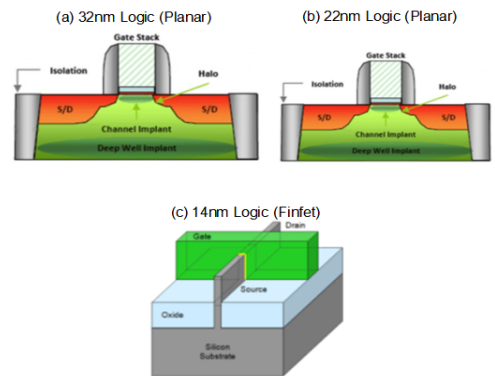


Fig. 5. Transistor architecture comparison (Source : ITRS, Wikipedia)

표2에서 제시된 각 로직 기술을 분석해 보면 32nm에서 22nm 기술로 전환 시 그림5에서 제시된 바와 같이 동일한 평면 구조(planar architecture)로 구조의 근본적인 변화 없이 일부 공정 기술의 개선에 의해 기술 성능 수준을 향상시킨 부품혁신(Fleming, 2000; Schilling, 2000)에 해당하고, 22nm에서 14nm 기술로 전환 시 평면 구조에서 입체 구조(3D Finfet architecture)로 전환된 제품구조혁신(Henderson & Clark, 1990)이 적용되었다 [6,7,8]. 32nm에서 22nm 기술로 부품혁신이 발생할 시 기술적 요인에 의한 확산과 경제적 요인에 의한 확산이 비슷한 수준으로 영향을 미쳤다면, 22nm 기술에서 14nm 기술로 제품구조혁신이 발생 시 경제적 요인에 의한 확산도 발생하지만 기술적 요인에 의한 확산이 더 지

배적으로 발생하였다. 이러한 현상은 제품구조혁신이 기술적인 진화를 거듭하여 새로운 기술로서 지배적 디자인(Utterback and Abernathy, 1975)에 도달하였을 때 기술적 파급효과가 더 크기 때문인 것으로 분석된다[10]. 실제적으로 22nm 기술대비 14nm 기술이 가지는 기술적 및 경제적 파급효과가 더 크므로 일부 산업체에서는 기술 전략으로 22nm 기술을 도입하지 않고 14nm 기술로 바로 도입한 경우도 있다.

5. 시사점 및 향후 연구계획

5.1 이론적 및 실무적 시사점

지금까지 첨단기술 산업인 반도체 산업의 로직 반도체 기술 중에서 32nm, 22nm, 14nm 기술의 확산 추세를 기술적 및 경제적 지표에 기반하여 살펴보고, 기술 확산을 위한 발생 동인과 연계하여 기술 확산 현상을 분석하였다. 본 연구는 몇 가지 중요한 이론적 및 실무적 시사점이 있다.

첫째, 기존의 연구들이 기술 확산 현상에 대해 기술 확산 대상, 확산 동인, 수명 주기 및 확산 모형에 대해 이론적이고 개념적인 접근들이 주를 이루었고 실증적인 연구는 부족하였다. 본 연구에서는 첨단기술기반 산업인 반도체 산업에 대해 기술 확산 추세를 구체적인 기술 성능 지표 및 경제성 지표를 도출하여 실증적으로 분석하였고, 기술 확산을 발생시키는 주요한 동인을 부품혁신 또는 제품구조혁신과 연계하여 분석하였다. 본 연구의 분석 결과 및 접근 방법론은 반도체 산업뿐만 아니라 첨단기술기반의 다른 산업에서도 기술 확산과 관련된 실증적인 연구들에 확장이 가능할 것으로 생각된다.

둘째, 기술의 확산 현상의 패턴 및 발생 동인에 대해 정확히 이해함으로써 기술의 수명주기, 새로운 기술의 예측 등이 가능하다. 본 연구를 통해 반도체 산업에서 로직 반도체 기술의 수명주기, 세대별 성능 향상 수준 및 칩 제작비용의 감소 정도 등을 분석하였다. 동일한 접근 방법을 활용하여 14nm 이후의 10nm, 7nm 등의 미래 반도체 기술에 대한 도입 및 투자 시기, 목표로 하는 성능 수준 및 시장 가격 등에 대해 기술 예측이 가능하다. 반도체 산업에서의 결과는 첨단기술기반이면서 기술 수명 주기가 빠른 다른 산업으로도 확장이 가능할 것이다.

셋째, 실무적으로도 반도체 산업의 R&D 기획 또는

개발 담당자들은 기술 확산 추세에 기반한 기술 예측을 바탕으로 신규 기술 개발의 기술 전략을 수립할 수 있고 설비의 투자 시점을 결정할 수 있다. 시장에서 필요한 신규 기술 개발의 시점을 바탕으로 역으로 필요한 기술 성능 향상 수준 및 제작비용에 대한 요구사항을 파악할 수도 있다. 또한 마케팅 담당자들도 신규 사업에 대한 투자 시점을 결정하고 시장 가격을 예측하는데 경제성 지표에 바탕을 둔 기술 확산 패턴을 활용할 수 있다.

5.2 향후 연구계획

7nm 이하 기술은 실리콘 기반 반도체 집적 기술의 한 계로 여겨지고 있다. 향후 연구에서 반도체 산업의 진화와 관련하여 14nm 이후의 10nm, 7nm 로직 기술 등에 대해서도 본 연구의 접근 방법론을 통해 기술 진화를 예측해 보겠다. 또한 기술 수명 주기가 빠른 반도체 산업 외에 기술 수명 주기가 느린 산업들에 대해서도 유사한 접근 방법을 활용하여 기술 확산 현상에 대한 실증적 연구를 확장하고자 한다.

References

- [1] Yongtae Park, *Management of Technological Knowledge for Next Generation Innovation*, Life and Power Press, 2007.
- [2] Foster, R. N., *Innovation: The attacker's advantage*, Summit Books, 1986.
DOI: <https://doi.org/10.1007/978-3-322-83742-4>
- [3] Schilling, M. A., *Strategic management of technological innovation*, McGraw-Hill Education, 2005.
- [4] Seong-Tae Hwang & Hyung-Sik Oh, "A Study on The Diffusion Factors and Policies of Advanced Manufacturing Technology", *IE interfaces*, vol. 12, no. 3, pp. 382-389, 1999.
- [5] Se Hoon Park, "A Study on Diffusion Models Capturing Technological Substitution", *ASIA MARKETING JOURNAL*, vol. 3, no. 3, pp. 46-70, 2001.
- [6] Fleming, L. and O. Sorenson, "Navigating the technology landscape of innovation", *MIT Sloan Management Review*, vol. 44, no. 2, pp. 15-24, 2003.
- [7] Schilling, M. A., "Toward a general modular systems theory and its application to interfirm product modularity", *Academy of Management Review*, vol. 25, no. 2, pp. 312-334, 2000.
DOI: <https://doi.org/10.2307/259016>
- [8] Henderson, R. M. and K. B. Clark, "Architectural innovation: The reconfiguration of existing product technologies and the failure of established firms", *Administrative Science Quarterly*, vol. 25, no. 1, pp.

- 9-30, 1990.
DOI: <https://doi.org/10.2307/2393549>
- [9] Rogers Everett, M., *Diffusion of innovations, 3rd ed.*, New York: Free Press, 1983.
- [10] Utterback, J. M. and W. J. Abernathy, "A dynamic model of process and product innovation", *Omega*, vol. 3, no. 6, pp. 639-656, 1975.
DOI: [https://doi.org/10.1016/0305-0483\(75\)90068-7](https://doi.org/10.1016/0305-0483(75)90068-7)
- [11] Anderson, P. and M. L. Tushman, "Technological discontinuities and dominant designs: A cyclical model of technological change", *Administrative Science Quarterly*, vol. 35, no. 4, pp. 604-633, 1990.
DOI: <https://doi.org/10.2307/2393511>
- [12] Christensen, C. M., *Innovation and the general manager*, Irwin/McGraw-Hill, 1999.
- [13] Winsor, C. P., "The Gompertz curve as a growth curve", *Proceedings of the national academy of sciences*, vol. 18, no. 1, pp. 1-8, 1932.
DOI: <https://doi.org/10.1073/pnas.18.1.1>
- [14] Ki-Woong Nam et al., "A Study on Technological Forecasting of Next-Generation Display Technology", *Journal of the Korea Academia-Industrial cooperation Society*, vol. 10, no. 10, pp. 2923-2934, 2009.
- [15] Yin, R. K., *Case Study Research: Design and Methods*, Sage publications, Inc., 2009.
- [16] Siggelkow, N., "Persuasion with case studies", *The Academy of Management Journal ARCHIVE*, vol. 50, no. 1, pp. 20-24, 2007.
DOI: <https://doi.org/10.5465/AMJ.2007.24160882>
- [17] IC Knowledge, Semiconductor Wafer Cost Information [Internet], Available From: <http://www.icknowledge.com/>, (accessed Oct., 14, 2016)
- [18] Cunningham, J. A., "The use and evaluation of yield models in integrated circuit manufacturing", *IEEE Transactions on Semiconductor Manufacturing*, vol. 3, no. 2, pp. 60-71, 1990.
DOI: <https://doi.org/10.1109/66.53188>

박 창 현(Changhyun Park)

[정회원]



- 1998년 2월 : 서울대학교 재료공학 학사
- 2002년 2월 : 서울대학교 공과대학 원 재료공학 석사
- 2015년 2월 : 성균관대학교 공과대학원 기술경영학 박사
- 2002년 2월 ~ 2015년 6월 : 삼성 전자 책임연구원
- 2015년 7월 ~ 현재 : 한국과학기술기획평가원 부연구위원

<관심분야>

기술확산, 비즈니스모델혁신, R&D 예비타당성조사