

GaN-on-Si 기술을 위한 탄화텅스텐 버퍼층의 성장에 관한 연구

조성민¹, 최정훈², 최성국², 조영지², 이석환¹, 장지호^{1,2,a}

¹ 한국해양대학교 해양과학기술융합학과

² 한국해양대학교 전자소재공학전공

Investigation on the Growth of Tungsten Carbide Layer as a Buffer for GaN-on-Si Technology

Sungmin Cho¹, Junghoon Choi², Sungkuk Choi², Youngji Cho², Seokhawn Lee¹, and Jiho Chang^{1,2,a}

¹ Department of Convergence Study on the Ocean Science and Technology, Ocean Science and Technology School, Korea Maritime and Ocean University, Busan 49112, Korea

² Major of Electronic Material Engineering, Korea Maritime and Ocean University, Busan 49112, Korea

(Received March 28, 2016; Revised August 22, 2016; Accepted October 26, 2016)

Abstract: Tungsten carbide (WC) has been suggested as a new buffer layer for the GaN-on-Si technology. We have investigated and optimized the sputtering condition of WC layer on the Si-substrate. We confirmed the suppression of the Si melt-back phenomenon. In addition, surface energy of WC/Si layer was measured to confirm the possibility as a buffer layer for GaN growth. We found that the surface energy ($\gamma=82.46$ mJ/cm²) of WC layer is very similar to that of sapphire substrate ($\gamma=82.71$ mJ/cm²). We grow GaN layer on the WC buffer by using gas-source MBE, and confirm that it is available to grow a single crystalline GaN layer.

Keywords: GaN-on-Si, Tungsten carbide, Sputter, Buffer layer, Surface energy

1. 서 론

Si 기판상의 GaN 성장 기술은 대구경 기판의 이용을 통한 경제성 제고가 가능한 등의 이유로 많은 관심 속에서 연구가 진행되었다. 최근 브릿지룩스(Bridgelux) 사는 8인치 직경의 Si 효율적인 가격으로 특수한 버퍼층을 이용하여 균열 없는 GaN-on-Si 기술을 개발하는데 성공했다고 발표했다 [1]. 이 성공적인 연구 성과로부터 Si 기판 상에 양질의 GaN 결정을 성장하기 위해서는 적절한 버퍼층의 선택과 구현이 중요함을 잘

알 수 있다. 그 이유는 물론 GaN와 Si 사이의 여러 가지 부정합, 즉 원자가 부정합(hetero valency), 격자 부정합(lattice mismatch: $f = -16.9\%$, $a_{\text{GaN}} = 0.318$ nm, $a_{\text{Si}} = 0.357$ nm), 열팽창계수부정합($\alpha_{\text{GaN}} = 5.59 \times 10^{-6}$ K⁻¹, $\alpha_{\text{Si}} = 3.77 \times 10^{-6}$ K⁻¹) 등을 들 수 있지만, 더 큰 부정합을 가지고 있는 사파이어 기판 상에 발광소자 제작이 가능한 수준의 결정 성장이 가능한 점과 비교할 때 Si 기판의 GaN 성장이 갖는 가장 중요한 문제점으로는 Ga에 의한 Si의 melt-back etching 현상과 같은 초기 성장의 문제점이 지적되어야 한다 [2]. 이를 극복하기 위하여 다양한 버퍼층에 관한 연구가 진행되었지만 HfN를 제외하면 전도성 버퍼층에 관한 연구는 상대적으로 부족했다.

따라서 본 연구에서는 Si과 GaN 사이의 화학적 반응을 억제할 수 있는 새로운 전도성 버퍼층으로 tungsten

a. Corresponding author; jiho_chang@kmou.ac.kr

carbide (WC, 탄화텅스텐)를 제안하였다. WC는 hexagonal의 결정 구조를 가지며, 격자정수는 $a = 0.2906$ nm, $c = 0.2837$ nm, 융점은 $2,785$ °C, 경도는 (18~22 GPa, @300 K), 열팽창계수는 $\sim 5.5 \times 10^{-6} \text{ K}^{-1}$ 등을 갖는 물질로, 우수한 기계적, 전기적, 화학적인 특성을 가지고 있기 때문에 금속 표면 보호막으로 주로 연구되어져 왔다 [3]. 하지만 위에 기술한 물성으로부터 원자가 부정합 완화, 열팽창계수 부정합 완화, 고온에서 Si melt-back의 방지, 질화물 결정 성장을 위한 안정된 표면의 제공 등의 버퍼 효과가 기대되며, GaN 성장을 위한 버퍼로서 충분한 연구 가치를 갖는 것으로 판단된다. 하지만 금속 표면에 보호막 형성을 목적으로 한 연구 [4-6] 이외에 질화물 반도체 결정 성장을 위한 버퍼 목적으로 연구된 결과는 아직까지 보고된 바가 없다.

본 연구는 Si기판 위에 GaN 성장을 위한 버퍼층으로서의 WC의 가능성 평가를 목적으로 연구를 추진하였다. WC 성막을 위한 조건을 조사하였고, 박막의 결정성과, Si melt-back의 억제, 질화물 성장을 위한 표면 특성 등을 조사하였고, 실제 GaN 박막을 성장하여 버퍼층의 역할을 조사하였다.

2. 실험 방법

WC 박막은 Si(111) 기판 상에 DC-스퍼터를 이용하여 성장하였다. 성장 전 Si 기판은 아세톤, 메탄올, DI-water에서 각각 10분간 세척하였다. 스퍼터 장비는 700°C까지 기판 가열이 가능하며, 시료 교환을 위한 load-lock 챔버를 가지고 있는 초고진공 sputter 장비를 사용하였다. 스퍼터 타겟은 5N(99.999%)의 WC 타겟을 사용하였다. 실험 중 아르곤(Ar) 가스는 10 sccm 정도를 주입하였으며, 이때 성막 챔버는 2×10^{-5} Torr 정도의 진공도를 유지했다. 플라즈마 파워는 100 W로 조절하였고, 이때 성막율은 200 nm/h 정도가 확인되었다. 성막된 WC 박막은 표면, 결정성, 전기적 특성, 표면 에너지 등을 분석하였고, 이를 위하여 각각 광학현미경과 FE-SEM (field emission scanning electron microscopy), XRD (X-ray diffraction), 접촉각 측정기 등을 사용하였다. WC/Si 기판 상에 GaN 성장은 gas-source MBE (molecular beam epitaxy)를 사용하여 진행하였다. 질소 공급원으로는 NH_3 가스를 사용하였고, 갈륨 공급원으로는 Ga knudsen cell을 이용하였다. 성장 전 960°C에서 탈 가스 공정을

진행한 후, GaN 결정 성장이 진행되었는데, 이때 저온 버퍼의 성장온도는 550°C, 고온성장은 950°C에서 진행하였다. 성장 시 GaN의 성장률은 550 nm/h의 조건에서 진행하였으며, 성장 조건은 선행 실험에서 사파이어 기판을 사용하여 최적화한 조건을 기준으로 변화시켰다 [7].

3. 결과 및 고찰

3.1 기판 표면 처리 공정

Si 기판 상에 WC 박막은 위에서 설명한 대로 DC-스퍼터를 이용하여 성막하였다. 유기세척을 거친 Si기판은 샘플 홀더에 장착되어 load-lock 챔버를 통하여 성장 챔버에 투입되었고, 상온에서부터 700°C, 플라즈마 파워는 50~100 W, Ar 가스 도입량은 10 sccm, 성장 중 진공도는 $2 \sim 5 \times 10^{-5}$ Torr의 조건에서 시료 성막을 테스트했다. 그 결과 두께 ~ 100 nm 정도의 부드러운 경면 형태의 표면을 갖는 WC 박막 성장이 가능함을 알 수 있었다(그림 1(a)). 그러나 일부 시료에서 그림 1(b)에 보인 바와 같이 벗겨짐(peeling) 현상이 관찰되었다. 이러한 현상은 Si 기판상의 자연 산화막이

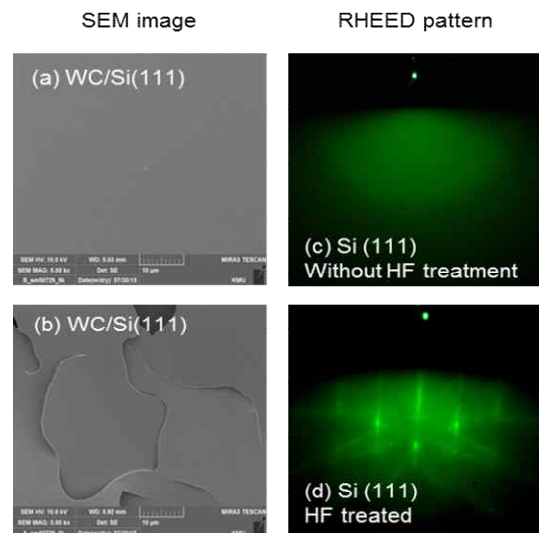


Fig. 1. Surface SEM image of (a) WC/Si and (b) peeled WC/Si. REHEED pattern of Si(111) surface (c) without HF treatment, and (d) with HF treatment. A (3×3) reconstruction pattern was observed from the HF-treated Si(111) substrate.

주된 원인으로 판단되어 Si 기판의 유기세척 후 불산 (HF)을 이용한 산화막 제거 공정을 도입하기로 하였다. 불산 처리과정은 유기세척 후 건조가 완료된 Si 기판을 HF 용액과 DI water에 순서대로 각각 30초간 담그는 과정을 3회 실시하였다(HF-dip process) [8]. Si 기판 상의 산화막 제거 여부는 MBE 챔버에 장착된 RHEED (reflection high energy electron diffraction)를 이용하여 확인하였다. 그림 1(c)와 (d)에 나타낸 바와 같이 HF-dip 공정을 거치지 않은 기판은 무결정 상태의 산화막이 존재함을 시사하는 패턴이 관찰되었지만, HF-dip 공정을 거친 기판에서는 (3×3) 패턴이 관찰되어 표면 산화막이 제거되었음을 알 수 있다. 이때 청정한 Si (111) 표면에서 관찰되는 (7×7) 패턴이 관찰되지 않은 이유는, 본 실험에서는 시료를 고진공 챔버에 투입한 후 별도의 기판 표면의 열처리 과정 없이 단지 RHEED 관찰이 가능한 온도(500°C)까지 기판 온도를 상승시켜 RHEED를 관찰했기 때문이라고 판단된다. 이 결과로부터 Si 기판 위에 WC 스퍼터 성막을 위해서는 표면의 산화막 제거 공정이 필요함을 알 수 있었다.

3.2 성장 조건

그림 2는 기판온도가 다른 두 가지 조건에서 스퍼터한 WC/Si(111) 시료의 XRD 패턴이다. 그림 2(a)는 상온에서 스퍼터한 시료, 그림 2(b)는 기판 온도 700°C에서 스퍼터한 시료의 결과이다. 기판 온도 이외의 스퍼터 조건은 모두 동일하게 설정하였다. 그림 2로부터 두 시료 모두 다결정상의 박막이 구현되었음을 알 수

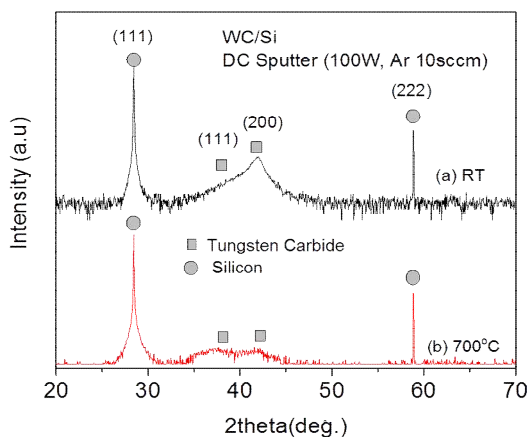


Fig. 2. XRD patterns of sputtered WC/Si layers. The sputtering temperature was; (a) room temperature and (b) 700 °C.

있었다. 그림 2(a)의 경우 그림 2(b)의 경우보다 200 회절 피크가 상대적으로 강한 강도를 보였다. 이러한 현상은 결정성이 열악해 지면서 200 피크가 먼저 감소하기 때문으로 판단되며, 그 가능한 원인으로는 Si(111) 기판을 사용한 점이 작용하는 것으로 판단된다. 또한 본 논문에서는 생략하였지만, 이러한 결과는 투과전자현미경을 이용한 분석에서도 상온에서 스퍼터한 WC로부터는 hexagonal 결정 구조의 회절 패턴이 관찰되었지만, 고온에서 스퍼터한 시료로부터는 환형패턴(ring)만이 관찰된 점으로부터 확인할 수 있었다.

이러한 결과들은 WC가 대부분의 탄화물과 다르게 상온에서 당량비 조성을 갖는 것으로 알려져 있으며, 당량비에서 벗어날 경우는 W이나 C의 석출이 일어나는 특성을 가진 것으로 알려져 있다 [9]. 따라서 고온에서는 오히려 결정성이 열화되는 경향이 관찰되는 것으로 판단되며 본 실험에서는 스퍼터 온도로 상온을 선택하였다.

3.3 Melt-back 반응의 억제 확인

스퍼터한 WC/Si(111) 박막을 이용하여 WC 버퍼층

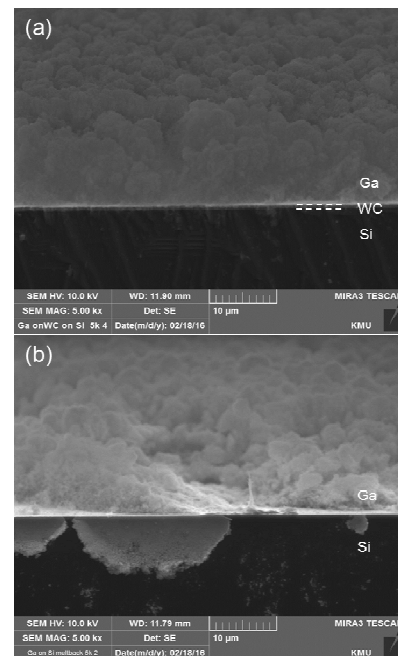


Fig. 3. Cross-section images of the annealed Si substrates with the deposited Ga on the surface; (a) Ga-WC-Si interface and (b) Ga-Si interface. Severe Si melt-back was observed from the sample-(b).

이 GaN-on-Si 기술의 중요한 문제점인 Si와 Ga의 반응 현상(melt-back 현상)을 방지 할 수 있는지를 확인해 보았다. 그림 3(a)는 상온에서 스퍼터된 WC/Si 기판, 그림 3(b)는 Si(111) 기판을 이용한 결과이다. 두 시료 모두 Ga를 열증착기로 증착 후, N₂ 분위기, 850 °C에서 30분간 열처리 후 시료의 단면을 관찰한 SEM 사진이다. 그림 3(a)는 상부에 Ga와 WC 층과 Si 기판이 급준한 경계면을 유지하고 있지만, 그림 3(b)에서는 Si 기판이 melt-back 현상에 의해서 크게 손상된 것처럼 보이는 것을 확인할 수 있다. 이 결과로부터 WC가 Si melt-back 현상을 방지하는 버퍼층으로 작용함을 알 수 있었다.

WC는 500°C 이상에서 산화가 시작되고, 상온에서는 불산(HF)과 질산(HNO₃)의 혼합 용액에 의해서만 식각이 가능하며, 용점은 2,870°C인 화학적으로 매우 안정한 물질이다. Si melt-back을 효과적으로 방지하기 위해서는 Ga이나 Si 두 가지 물질에 대해 모두 낮은 확산계수를 갖는 재료가 가장 바람직 할 것이다. 따라서 강한 결합으로 구성되었으며, 용점이 높고, 밀도 높은 결정구조를 갖고 있는 WC 버퍼층을 사용한 경우 Si melt-back 현상이 효과적으로 방지되는 결과가 얻어진 것으로 이해할 수 있다.

3.4 표면 에너지의 확인

결정 성장 기술의 관점에서 보면 Si 기판 위에 GaN을 성장하는 방법은 크게 (1) 횡 방향 성장을 이용한 방법 [10]과 (2) 버퍼 상에 전면 성장이 가능한 방법으로 크게 구분할 수 있다 [11]. 이때 방법 (1)은 여러 단계의 공정이 필요하므로 방법 (2)에 비해 경제성 측면에서 불리하다. 따라서 본 연구에서 제안한 WC 버퍼층의 표면 에너지가 지나치게 낮다면 횡 방향 성장 등에만 제한적으로 이용 가능한 것을 의미하므로 그 활용성이 제약된다고 할 수 있다. 따라서 본 실험에서는 접촉각 측정기를 이용하여 WC/Si 시료의 표면 에너지를 확인하였다.

그림 4(a)는 c면 사파이어, (b)는 SiO₂ 자연 산화막, (c)는 WC/Si(111) 시료의 접촉각 측정 결과이다. 각각 측정된 표면 에너지 γ 는 (a) $\gamma_{\text{Al}_2\text{O}_3}$ =82.7 dyne/cm, (b) γ_{SiO_2} =44.9 dyne/cm, (c) γ_{WC} =82.4 dyne/cm였다.

이 결과는 WC 표면 에너지가 사파이어와 유사하므로 저온버퍼 성장 기술 등을 활용한 GaN 성장이 가능함을 나타내고 있다. 즉 사파이어와 유사한 표면 에너지를 갖는 것으로부터 판단할 때, GaN 고온 성장 조

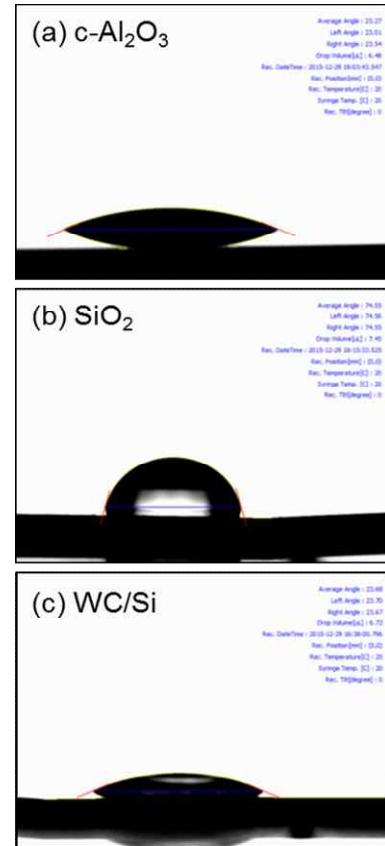


Fig. 4. Surface energy measurement results for (a) c-Al₂O₃, (b) SiO₂, and (c) WC/Si surfaces. The measured surface energy was (a) $\gamma_{\text{Al}_2\text{O}_3}$ =82.7 dyne/cm, (b) γ_{SiO_2} =44.9 dyne/cm, and (c) γ_{WC} =82.4 dyne/cm.

건에서 직접 성장하기에는 표면 에너지가 낮지만, 저온 버퍼를 활용한 2단 성장 기술을 적용하면 GaN 성장이 가능할 것이라는 예상이 가능하게 하는 결과로 WC/Si 상에 전면 성장이 가능함을 나타내고 있다.

3.5 GaN 박막 성장

본 실험에서는 사파이어 기판상의 GaN 성장에서와 같이 일반적인 저온 버퍼 성장 기술을 적용하여 WC/Si 기판 상에 GaN 성장을 시도하였다. 본 실험에서는 우선 WC/Si 버퍼상에 GaN 성장 가능성을 확인하기 위하여 그림 5에서 보인 바와 같이 WC 버퍼 상에 2가지 시료를 성장하여 비교하였다. 이때 결정 성장 조건은 사파이어 기판을 사용한 경우에 최적화 되어 있었으며, 그 조건에서 비교를 목적으로 Si 기판 상

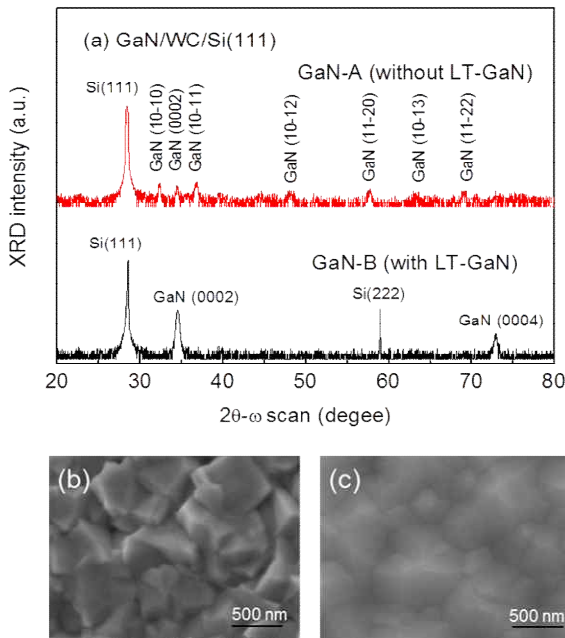


Fig. 5. (a) XRD diffraction results of GaN layers grown on WC/Si template with/without LT-GaN buffer, (b) surface image of GaN-A sample (without LT-GaN), and (c) surface image of GaN-B sample (with LT-GaN).

에 성장한 GaN의 경우에는 비교할 만한 결과를 얻지 못해 결과에 포함시키지 못했다.

그림 5(a)는 GaN 저온버퍼(LT-GaN) 없이 고온 성장만 진행한 시료(GaN-A), GaN 저온버퍼(LT-GaN)를 이용하여 성장한 시료(GaN-B)의 XRD 결과이다. 참고로 본 실험에서는 가스소스-MBE를 이용하여 성장하였고, 결정 성장 조건은 WC 버퍼 표면에 대하여 최적화되어 있지 않았다.

GaN 시료의 XRD 측정 결과, GaN-A에서는 GaN의 다양한 결정면으로부터 회절피크가 관찰되어 다결정 GaN가 형성되었음을 알 수 있지만, GaN-B의 경우에는 (0002)면 회절피크가 관찰되어 단결정 GaN가 성장되었음을 알 수 있다.

또한 그림 5(b)와 (c)는 각각 GaN-A와 GaN-B 표면의 SEM 결과이다. GaN-A는 모자이크화가 심한 표면으로 XRD 결과와 상응하는 결과가 관찰되었고, GaN-B는 일반적으로 3차원 성장이 진행된 GaN의 표면 형상으로 판단되는 결과로 역시 XRD 결과와 상응하는 결과가 확인되었다. 이러한 결과로부터 앞에서 예상한 바와 같이 WC/Si 상에 GaN의 전면 성장이 가능함을 알 수 있었다.

4. 결론

GaN-on-Si 기술을 위한 새로운 버퍼로 WC를 제안하고 그 가능성을 확인하였다. 스퍼터로 WC를 성막하기 위하여 Si 기판 표면 처리 필요성을 확인하였고, 스퍼터링 조건을 조사하여 벗겨짐이나 균열이 발생하지 않는 성막 조건을 정립하였다. 성막된 WC를 이용하여 Si melt-back 현상이 방지됨을 확인하였다. 또한 WC의 표면에너지 측정 결과, 본 실험에서 구현된 WC는 c면 사파이어와 유사한 표면 에너지를 가짐을 알 수 있었다. 또한 WC/Si 기판 위에 GaN 성장을 진행하여, 사파이어 기판상의 GaN 성장과 유사하게 저온 버퍼층을 이용한 결정 성장시 단결정 박막 결정 성장이 가능함을 확인할 수 있었다.

감사의 글

이 논문은 2010년도 정부(교육과학기술부)의 재원으로 한국과학재단의 지원을 받아 수행된 기초연구사업입니다. (No.2010-0009828)

REFERENCES

- [1] M. Wright, *Bridgelux hits 160 lm/W in lab with LEDs produced using GaN on silicon*, <http://www.ledsmagazine.com/articles/2011/08/bridgelux-hits-160-lm-w-in-lab-with-leds-produced-using-gan-on-silicon.html> (2011).
- [2] H. Ishikawa, K. Yamamoto, T. Egawa, T. Soga, T. Jimbo, and M. Umeno, *J. Cryst. Growth*, **189**, 172 (1998).
- [3] S. Alexey and A. I. Gusev, *Tungsten Carbides: Structure, Properties and Application in Hardmetals* (Springer Science & Business Media, Las Vegas, 2013) p. 1-25.
- [4] K. A. Beadle, R. Gupta, A. Mathew, J. G. Chen, and B. G. Willis, *Thin. Solid. Films*, **516**, 3847 (2008). [DOI: <https://doi.org/10.1016/j.tsf.2007.06.170>]
- [5] L.C.A. Morimitsu, J.D.L. Roche, D. Escobar, R. Ospina, and E. R. Parra, *Ceram. Int.*, **39**, 7355 (2013). [DOI: <https://doi.org/10.1016/j.ceramint.2013.02.075>]
- [6] P. D. Rack, J. J. Peterson, J. Li, A. C. Geiculescu, and H. J. Rack, *J. Vac. Sci. Technol. A*, **19**, 62 (2001). [DOI: <https://doi.org/10.1116/1.1335684>]
- [7] S. K. Choi, J. Y. Yoo, S. H. Jung, W. B. Chang, and J. H. Chang, *J. Korean Inst. Electr. Electron. Mater. Eng.*, **26**, 446 (2013).

- [8] K. A. Reinhardt and W. Kern, *Handbook of Silicon Wafer Cleaning Technology* (2nd ed.) (William Andrew, New York, 2008) p. 64-67.
- [9] A. S. Kurlov and A. I. Gusev, *Inorg. Mater+*, **42**, 156 (2006). [DOI: <https://doi.org/10.1134/S0020168506020051>]
- [10] A. Strittmatter, S. Rodt, L. Reißmann, D. Bimberg, H. Schroder, E. Obermeier, T. Riemann, J. Christen, and A. Krost, *Appl. Phys. Lett.*, **78**, 727 (2001). [DOI : <https://doi.org/10.1063/1.1347013>]
- [11] S. H. Jang, S. S. Lee, O. Y. Lee, and C. R. Lee, *J. Cryst. Growth*, **255**, 220 (2003). [DOI: [https://doi.org/10.1016/S0022-0248\(03\)01251-X](https://doi.org/10.1016/S0022-0248(03)01251-X)]