

논문 2017-54-1-5

4-채널 3.125-Gb/s/ch VCSEL 드라이버 어레이

(A 4-channel 3.125-Gb/s/ch VCSEL driver Array)

홍 채 린*, 박 성 민**

(Chaerin Hong and Sung Min Park[©])

요 약

본 논문에서는 채널 당 3.125-Gb/s 동작 속도를 갖는 4-채널 공통-캐소드 VCSEL 다이오드 드라이버 어레이 칩을 구현하였다. 스위칭 동작하는 메인 드라이버의 동작속도 향상을 위해, 액티브 인덕터를 사용한 전치증폭단과 이퀄라이저 기능을 탑재한 입력버퍼단으로 구성하였다. 특히 개선된 입력버퍼단의 경우, 주파수 영역의 피킹으로 대역폭 증대뿐 아니라 비교적 적은 전류로 동작하도록 설계하였다. 본 논문에서 사용한 VCSEL 다이오드는 2.2 V 순방향 전압과 50 Ω 기생저항 및 850 fF 기생 캐패시턴스를 갖는다. 또한, 3.0 mA 변조전류 및 3.3 mA 바이어스 전류로 동작하므로, 두 개의 독립적인 전류소스로 구동 가능한 current steering 기반의 메인 드라이버를 설계하였다. 제안한 4-채널 광 송신기 어레이 칩은 0.11-μm CMOS 공정을 이용하여 제작하였다. 칩 코어의 면적은 0.15×0.18 μm² 이며, 채널 당 22.3 mW 전력소모를 갖는다.

Abstract

In this paper, a 4-channel common-cathode VCSEL diode driver array with 3.125 Gb/s per channel operation speed is realized. In order to achieve faster speed of the switching main driver with relatively large transistors, the transmitter array chip consists of a pre-amplifier with active inductor stage and also an input buffer with modified equalizer, which leads to bandwidth extension and reduced current consumption. The utilized VCSEL diode provides inherently 2.2 V forward bias voltage, 50 Ω resistance, and 850 fF capacitance. In addition, the main driver based upon current steering technique is designed, so that two individual current sources can provide bias currents of 3.0 mA and modulation currents of 3.3 mA to VCSEL diodes. The proposed 4-channel VCSEL driver array has been implemented by using a 0.11-μm CMOS technology, and the chip core occupies the area of 0.15×0.18 μm² and dissipates 22.3 mW per channel.

Keywords : active inductor, CMOS, current-steering, equalization, VCSEL diode

I. 서 론

멀티미디어 데이터 통신의 비약적인 발전과 함께 대용량 정보를 처리하기 위해 요구되는 칩의 동작속도는 수~수십 기가비트에 달한다. 이러한 시스템 동작속도의 증가는 기존 구리선 기반의 멀티미디어 시스템의 경우 심각한 신호 손실, 전력소모, 및 회로설계의 복잡성 등

* 학생회원, ** 평생회원, 이화여자대학교 전자공학과
(Dept. of Electronics Engineering, Ewha Womans University)

© Corresponding Author(E-mail : smpark@ewha.ac.kr)

Received ; September 29, 2016 Revised ; November 17, 2016

Accepted ; December 08, 2016

의 제한을 가져온다. 이를 극복하기 위해 아날로그 회로설계 기반의 광 통신용 칩 기술을 사용하면, 빠른 구동속도 뿐 아니라, 적은 신호 감쇄, 저전력 및 저가의 솔루션을 제공할 수 있다^[1~2].

본 논문에서는 저가형 VCSEL(Vertical Cavity Surface Emitting Laser)소자를 이용한 광 송신기 어레이 회로설계에 대해 살펴본다. VCSEL 소자는 양면 발광 레이저 소자에 비해 낮은 문턱전류 특성을 가지므로 저전압 저전력 구동이 가능하다. 또한 송신단 드라이버 회로에서 안정적인 싱글모드 동작으로 다채널 어레이 구현이 적합한 장점이 있다. 하지만 VCSEL 다이오드 및 VCSEL 드라이버 회로에서 발생하는 기생 성분으로

인해 넓은 대역폭의 송신단 설계가 어려운 한계가 있다^[3].

본 논문에서는 위와 같은 광 송신단의 동작속도 제한을 보완하기 위해, 두 가지의 대역폭 개선 회로기법을 응용하였다. 첫째, 전치증폭단에서는 능동형 인덕터 기반의 대역폭 확대 기법을 적용하였다. 이로써 VCSEL을 구동하는 메인 드라이버 단의 안정적인 스위칭 구동이 가능하게 하였다. 둘째, 입력 버퍼단에서는 50-Ω 입력 임피던스 매칭 기능과 함께, 이퀄라이저 기능을 동시에 가능하도록 설계하였다. 이로써, 채널 당 22.3 mW의 저전력으로 3.125-Gb/s 동작속도까지 VCSEL 다이오드가 안정적으로 구동하는 것을 확인하였다.

II. Optical Transmitter

그림 1은 일반적인 광 통신용 송신단의 블록 다이어그램을 보여준다. 디지털 로직 블록을 통해 생성되는 낮은 속도의 병렬 데이터가 MUX를 통해 높은 동작속도의 데이터 스트림으로 결합되고, 이 신호가 VCSEL 드라이버의 입력으로 전달된다. 광 송신단은 전기적인 신호를 광 신호로 변환하는 레이저 소자가 안정적으로 on-off keying 동작이 가능하도록 설계하며, 보통 입력 버퍼단, 전치증폭단, 메인 드라이버단으로 구성된다.

1. 메인 드라이버

VCSEL 다이오드는 전류신호를 광신호로 변환하는 광 소자로서, 구동을 위해서는 두 종류의 전류신호가 필요하다. 첫째, VCSEL 다이오드를 turn-on 상태로 유지하기 위한 바이어스 전류 신호(I_{BIAS})와 둘째, 기가비트급의 데이터 신호를 나타내는 변조전류 신호(I_{MOD})가 필요하다. 특히, VCSEL 다이오드가 off 상태에서 on 상태로 전이할 때 발생할 수 있는 relaxation oscillation 현상을 피하기 위해, 바이어스 전류를 VCSEL 다이오드 자체의 문턱전류보다 크게 설정한다. 또한, 변조전류 신호는 바이어스 전류에 합하여 VCSEL 다이오드로 전달되어 신호 '1'에 부합하는 광 신호를 만든다. 한편, VCSEL 다이오드는 장시간 사용하거나, 높은 온도 상태에서는 효율이 낮아지는 특성이 있다. 이때, VCSEL 다이오드의 문턱전류는 높아지며, 낮은 효율로 인해 바이어스 전류 및 변조전류 신호를 조절해야 한다^[4].

그림 2는 본 논문에서 제안하는 메인 드라이버의 회로도를 보여준다. 기본적으로 전류모드 로직(CML) 계열의 current-steering 방식으로 구성되며, 공통 캐소드 VCSEL 다이오드로 인하여, 바이어스 전류는 PMOS 전류소스 회로를 이용하고, 변조전류는 NMOS 전류소

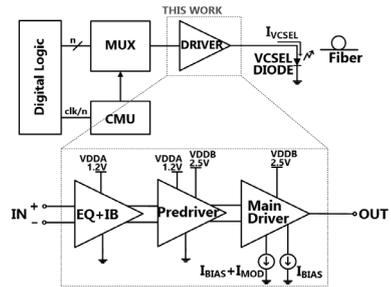


그림 1. 광 수신단의 블록 다이어그램
Fig. 1. Block diagram of the proposed optical transmitter.

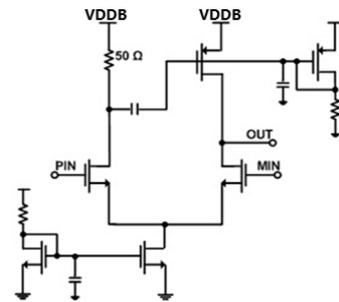


그림 2. VCSEL 드라이버의 회로도
Fig. 2. Schematic diagram of the proposed VCSEL driver.

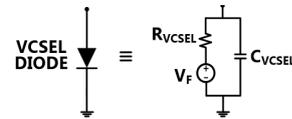


그림 3. VCSEL 다이오드의 등가 회로도
Fig. 3. Electrical equivalent circuit of VCSEL diode.

스 회로로 구동할 수 있도록 설계하였다. 즉, 바이어스 전류의 경우, 차동 입력 트랜지스터의 스위칭을 통해 MIN 트랜지스터가 on-state 일 때 출력단의 공통 캐소드 VCSEL 다이오드로 바이어스 전류(3 mA)만 흐르게 하는 한편, 변조전류(3.3 mA)의 경우, MIN 트랜지스터가 off-state 일 때, 바이어스 전류와 변조전류 신호의 합을 VCSEL 다이오드로 전달한다.

CML 형태의 메인 드라이버는 큰 입력신호 및 빠른 스위칭을 위해 사이즈가 큰 트랜지스터로 구현한다. 하지만, 그에 따른 트랜지스터의 기생 커패시턴스가 커지기 때문에 오히려 기가비트급의 빠른 데이터 신호처리를 방해하게 된다. 본 논문에서는 VCSEL 다이오드를 구동하는 출력전류 신호의 상승 시간을 빠르게 할 수 있도록 피드포워드 회로기법을 사용하였다.

VCSEL 다이오드를 포함한 메인 드라이버 회로의 전기적 특성 시뮬레이션을 위해 VCSEL 다이오드는 그림 3과 같이 등가 회로로 모델링된다. 일반적으로 순방향 바이어스 전압과 기생 저항 및 커패시턴스 성분으로 모델링 된다. 본 논문에서 제안한 송신단 어레이 응용에

서는 높은 바이어스를 가지는 VCSEL 다이오드 소자까지 동작할 수 있도록 2.2 V 순방향 전압과, 50 Ω 기생 저항 및 850 fF 기생 커패시턴스로 모델링하였다.

2. 전치증폭단 및 입력버퍼단

메인 드라이버가 바이어스 전류 및 변조전류 신호를 안정적으로 생성하기 위해서는 반드시 차동구조 트랜지스터의 스위칭 동작이 보장되어야 한다. 즉, 입력 신호가 빠르게 스윙할 수 있도록 넓은 대역폭을 갖는 전치증폭단이 메인 드라이버의 앞 단에 필요하다.

그림 4는 전치증폭단의 회로도를 보여준다. 대역폭을 넓히기 위해 일반적으로 사용하는 인덕티브 피킹 기법을 사용하였으며 특히, 액티브 소자를 이용한 인덕티브 피킹 기법을 통해 칩 면적을 줄이도록 하였다.

액티브 인덕터는 그림 5의 NMOS 소자(M1)와 게이트에 연결된 저항 R_G로 구성된다. 이로써, 낮은 주파수에서는 트랜지스터의 1/g_m 저항특성을 가지며, 주파수가 높아질수록 인덕터(L_D)의 특성으로 인해 임피던스가 1/g_m 저항보다 커지게 되어 출력단의 커패시턴스(C_{total})를 빨리 충전할 수 있게 된다. 식 (1)~(3)는 M1 및 R_G로 구성된 액티브 인덕터가 인덕터 L_D 및 시리즈 저항 R_D의 등가회로로 표현할 수 있음을 보여준다. C_{total}은 M1의 소스단에서 보여지는 모든 기생 커패시턴스를 포함한다. 그림 6의 시뮬레이션 결과를 통해, 액티브 인덕터의 임피던스가 주파수에 따라 증가함을 볼 수 있다.

한편, 액티브 인덕터에서 문제되는 voltage headroom의 경우, 게이트 저항(R_G)을 1.2 V(VDDA) 보다 높은 2.5 V(VDDB)에 연결함으로써 해결할 수 있으며, 본 기술을 적용하고자 하는 액티브 광케이블 응용의 경우 1.2 V 및 2.5 V의 두 가지 전원전압이 가능하므로, 이를 이용할 수 있었으며, 그림 6의 전치증폭단 주파수 응답 시뮬레이션 결과, 액티브 인덕터를 사용한 경우 대역폭이 약 1.6배 확장되었고, 높은 전압이득으로 인해 풀 스윙에 가까운 출력전압을 생성할 수 있었다.

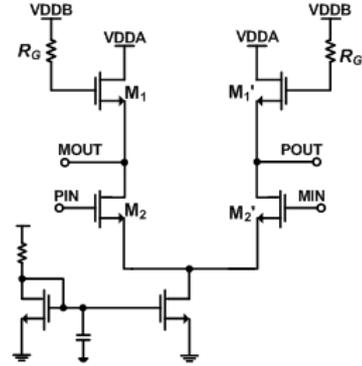


그림 4. 액티브 인덕터를 포함한 전치증폭단의 회로도
Fig. 4. Schematic diagram of the pre-amplifier with active inductor.

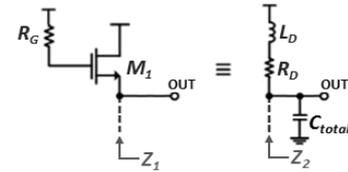


그림 5. 액티브 인덕터의 해석을 위한 등가 회로도
Fig. 5. Equivalent circuit of the active inductor load.

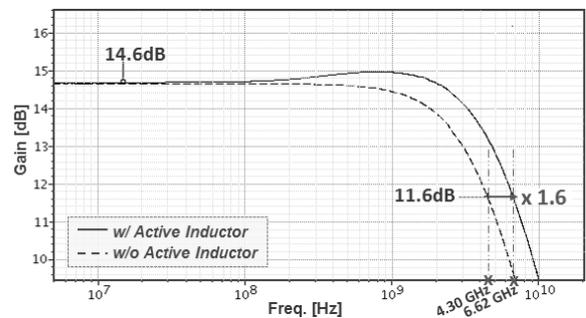


그림 6. 액티브 인덕터를 포함한 전치증폭단의 주파수 응답 시뮬레이션 결과
Fig. 6. Post-layout frequency response simulations of the pre-amplifier with active inductor.

$$Z_1 = \frac{1 + sC_{gs1}R_G}{s^2C_{gs1}C_{db1}R_G + s\left(C_{gs1} + C_{db1} + R_G C_{gs1} \frac{1}{r_{o1}}\right) + \left(g_{m1} + \frac{1}{r_{o1}}\right)} \quad (1)$$

$$Z_2 = \frac{s(L_D/R_D) + 1}{(1/R_D)(s^2L_D C_{total} + sR_D C_{total} + 1)} \quad (2)$$

$$R_D = \frac{1}{g_{m1} + \frac{1}{r_{o1}}} \approx \frac{1}{g_{m1}}, \quad L_D = \frac{R_G C_{gs1}}{g_{m1} + \frac{1}{r_{o1}}} \approx \frac{R_G C_{gs1}}{g_{m1}} \quad (3)$$

$$H(s) = \frac{g_m}{C_P} \frac{s + \frac{1}{R_S C_S}}{\left(s + \frac{1 + g_m R_S}{R_S C_S}\right) \left(s + \frac{1}{R_D C_P}\right)} \quad (4)$$

$$\omega_z = \frac{1}{R_S C_S}, \quad \omega_{p1} = \frac{1 + g_m R_S}{R_S C_S}, \quad \omega_{p2} = \frac{1}{R_D C_P} \quad (5)$$

$$\text{gainboosting} \equiv \frac{\omega_{p1}}{\omega_z} = 1 + g_m R_S \quad (6)$$

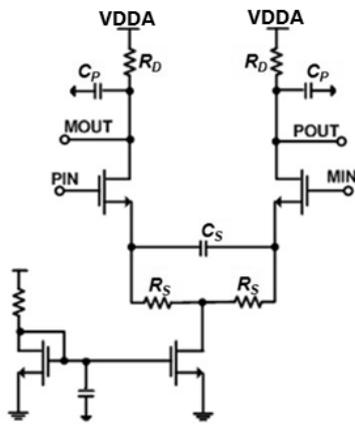


그림 7. 결합한 입력버퍼 및 이퀄라이저의 회로도
Fig. 7. Schematic diagram of the merged IB and EQ.

그림 7은 입력 버퍼에 이퀄라이저 기능을 결합한 개선된 입력버퍼(IB+EQ)의 회로도를 보여준다. 이는 50-Ω 입력 임피던스를 매칭한 CML 형태의 입력버퍼단과 대역폭을 넓히기 위한 이퀄라이저 회로를 결합한 형태로서, 소스-디제너레이션 저항 및 소스-디제너레이션 커패시턴스를 통해 고주파 감쇄를 보상하는 이퀄라이저 전달 특성을 얻는다^[5]. 식 (4)~(6)에서 보는 바와 같이, 한 개의 zero와 두 개의 pole을 통해 낮은 주파수 영역의 이득과 고주파 대역의 이득간의 비율을 높여 최대 8.3 dB gain boosting을 얻었다 (그림 8 참조). 이때, $g_m = 14.2 \text{ mA/V}$, $R_S = 120 \text{ } \Omega$ 값을 갖는다.

한편, 개선된 입력버퍼, 전치증폭단, 및 메인 드라이버 단을 합친 전체 VCSEL 드라이버 회로의 eye-diagram 시뮬레이션을 수행하였다. 그림 9는 포스트-레이아웃 시뮬레이션 결과로서 2.5 Gb/s 및 3.125 Gb/s 동작속도에 대한 VCSEL 다이오드 구동전류를 보여준다. 변조 전류의 크기와 바이어스 전류의 크기는 2.5 Gb/s에서 각각 3.3 mA_{pp} 및 3.0 mA 이며, 3.125 Gb/s에서 각각 3.3 mA_{pp} 및 3.0 mA 를 갖는다.

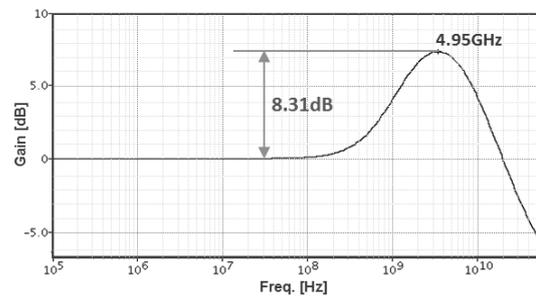


그림 8. 제안한 입력버퍼의 주파수 응답 시뮬레이션
Fig. 8. Post-layout frequency response simulations of the proposed input buffer with EQ.

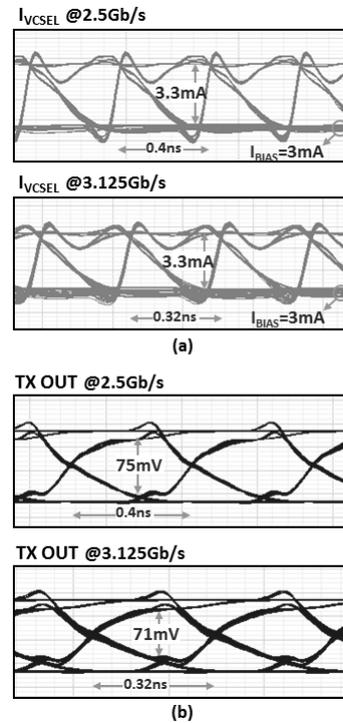


그림 9. 제안한 VCSEL 드라이버 회로의 eye-diagram 시뮬레이션: (a) VCSEL 전류 및 (b) 출력전압
Fig. 9. Post-layout eye-diagram simulations of the proposed VCSEL driver: (a) VCSEL currents, and (b) output voltage.

III. 칩 제작 및 측정 결과

본 논문에서 제안한 광 송신단 어레이 칩을 0.11- μm CMOS 공정을 사용하여 제작하였다. 그림 10은 제작한 칩의 사진을 보여준다. 한 채널의 코어 사이즈는 $0.15 \times 0.18 \mu\text{m}^2$ 이며, 4-채널 어레이 칩은 $2.0 \times 1.1 \text{ mm}^2$ 면적을 차지한다.

VCSEL 다이오드 소자는 그림 3과 같이 전기적 모델링을 통해 50- Ω 저항 및 850-fF의 커패시턴스로 구현하였다. 그림 11은 제작한 칩의 전기적 특성을 측정하기 위한 테스트 셋업 및 PCB 모듈을 보여준다. Anritsu MP1763C Pulse-pattern generator(PPG)를 사용하여 $2^{31}-1$ PRBS 입력신호를 생성하였고, Agilent 86100D DCA 오실로스코프를 통해 출력전압 파형을 측정하였다.

그림 12는 광 송신기 어레이 칩의 출력전압 eye-diagram을 측정한 결과로서, 800-mVPP $2^{31}-1$ PRBS 입력신호에 대해 2.5 Gb/s 및 3.125 Gb/s 의 동작 속도에서 70 mV_{pp} 이상의 eye-opening을 가지는 것을 확인하였다.

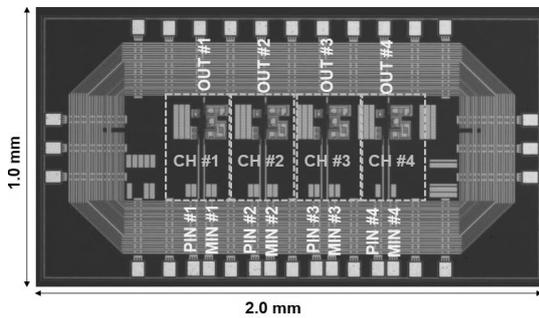


그림 10. 제안한 4-채널 광 송신단 어레이의 칩 사진
Fig. 10. Chip photo of the 4-channel optical TX array.

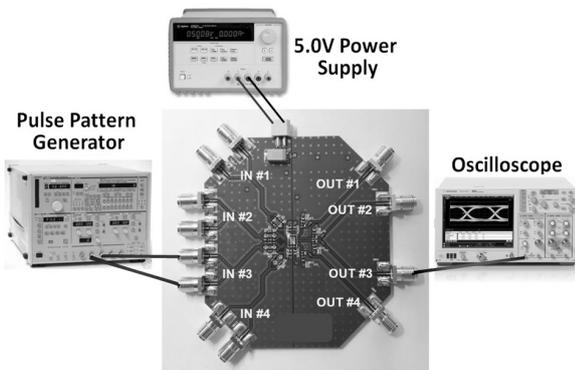
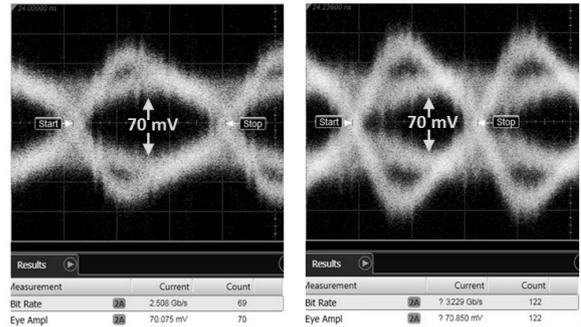


그림 11. 전기적 특성 측정환경 및 PCB 모듈
Fig. 11. Electrical test setup and PCB module.



(a) 2.5-Gb/s $2^{31}-1$ PRBS (b) 3.125-Gb/s $2^{31}-1$ PRBS

그림 12. 제안한 광 송신기 어레이 칩의 출력전압 eye-diagram 측정결과: (a) 2.5 Gb/s and (b) 3.125 Gb/s

Fig. 12. Measured output voltage eye-diagrams of the proposed optical TX array at (a) 2.5 Gb/s and (b) 3.125 Gb/s.

표 1. 제안한 광 송신기 어레이의 성능요약 및 비교
Table 1. performance summary and comparison of the proposed optical TX array.

Parameters	[6]	[7]	this work
Technology	0.5- μm CMOS	0.35- μm SiGe BiCMOS	0.11- μm CMOS
Channel no. x data rate	4 x 2.7 Gb/s	1 x 1.5 Gb/s	4 x 3.125 Gb/s
VCSEL diode capacitance	-	-	0.85 pF
Jitter (UI)	47 ps (0.12UI)	20 ps (0.03UI)	max. 32 ps (0.09UI)
Per channel power dissip.	37.8 mW	26 mW	22.3 mW
Core area	0.06 mm ²	-	0.027 mm ²

표 1은 제안한 광 송신기 어레이 칩의 성능요약 및 최근 발표된 광 링크용 어레이 칩의 성능을 비교한다. 참고문헌^[6]의 칩과 비교해, 비교적 동일한 동작속도에 대해 2.3배 적은 칩 면적, 75% 작은 지터특성, 및 59% 적은 전력소모 특성을 갖는다. 참고문헌^[7]의 경우, SiGe BiCMOS 공정을 사용하기 때문에 전력소모가 다소 높지만, 지터특성은 본 논문에서 제안한 광 송신기 칩보다 우수하다. 그럼에도 매우 적은 칩 면적으로 인해 저가의 솔루션을 제공하는 측면에서 제안한 칩이 우수함을 알 수 있다.

IV. 결 론

본 논문에서는 VCSEL 광소자를 3.125 Gb/s 동작속도로 구동하는 광 송신기 회로를 0.11- μm CMOS 공정으로 구현하였다. 입력버퍼에 이퀄라이저 기능을 포함한 새로운 구조의 입력단을 제안하였으며, 액티브 인덕터를 사용한 전치증폭단, 및 피드포워드 기법을 활용한 메인 드라이버 회로를 통해 850-fF의 큰 기생 커패시턴스를 가진 VCSEL 광소자를 3.125-Gb/s 동작속도까지 구동하였다. 본 논문에서 적용한 CMOS 회로기법은 고집적도 및 저전력 특성을 가지며, 이로써 광 인터페이스 응용의 저가형 다채널 어레이 칩 솔루션을 제공할 수 있을 것으로 기대된다.

Acknowledgment

본 연구는 중소기업청의 기술혁신개발사업의 일환으로 수행하였음. [S2274357, 6Gbps/Ch 초고속 데이터 전송을 위한 실리콘 기반의 광솔루션 내장형 SoC 및 광전모듈 개발]. 본 연구는 IDEC의 EDA tool을 지원받아 수행하였음.

REFERENCES

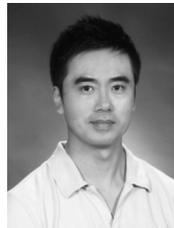
- [1] B. Chomycz, 'Planning Fiber Optics Networks', McGraw-Hill, pp. 23-54, 2009.
- [2] J. Tak et al., "A Multi-Channel Gigabit CMOS Optical Transmitter Circuit", *J. of Institute of Electronics and Information Engineers*, Vol. 48, No. 12, pp. 1-6, Dec. 2011.
- [3] G. P. Agrawal, 'Fiber-Optic Communication Systems', Wiley, pp. 75-137, 2002.
- [4] E. Sackinger, 'Broadband Circuits for Optical Fiber Communication', Wiley, pp. 259-312, 2005.
- [5] D. Lee et al., "아날로그 어댑티브 이퀄라이저를 이용한 120-dB 8-Gb/s CMOS 광 수신기", *J. of Institute of Electronics and Information Engineers*, Vol. 45, No. 6, pp. 1-6, Jun. 2008.
- [6] J. Ahadian et al., "A quad 2.7Gb/s parallel optical transceiver," IEEE Radio Frequency Integrated Circuits(RFIC) Symposium, pp. 13-16, 2004.
- [7] S. Goswami et al., "A 96Gb/s-throughput transceiver for short-distance parallel optical links," IEEE Tech. Digest of Int. Solid-State Circuits, pp. 230-231, Feb. 2008.

저 자 소 개



홍 채 린(학생회원)
2014년 이화여자대학교 전자공학과
학사졸업
2016년 현재 이화여자대학교 전자
공학과 석박통합과정

<주관심분야: 초고속 아날로그 집적회로 설계, 라이다응용시스템, 광통신용 송수신단>



박 성 민(평생회원)
1993년 KAIST 전기및전자공학과
공학사 졸업.
1994년 Univ. of London 전자공학과
석사졸업.
2000년 Imperial College London
전자공학과 박사졸업.

현재 이화여자대학교 전자공학과 교수.

<주관심분야: 초고속 광 인터페이스회로, 실리콘 포토닉스 회로, PMIC 회로 설계>