

논문 2017-54-1-4

수동형 적분기(Passive Integrator)를 이용한 저전력 이산시간 Incremental Delta Sigma ADC

(Low Power Discrete-Time Incremental Delta Sigma ADC with
Passive Integrator)

오 군 석*, 김 진 태**

(Goonseok Oh and Jintae Kim[©])

요 약

본 논문에서는 설계 요구가 높고, 전력 소모가 높은 opamp를 이용하는 기존의 능동형 적분기를, 수동형 적분기로 대체하여 고속의 저전력, 고해상도 특성을 갖는 incremental delta-sigma ADC를 소개한다. 능동형 적분기에서 수동형 적분기로의 변환을 위해, 기존의 능동형 적분기의 특성을 분석하였다. 이를 바탕으로 opamp의 설계 요구를 낮추고, 더 나아가 opamp를 사용하지 않는 저전력의 수동형 적분기를 제안하였다. 65nm 공정을 이용하여 수동형 적분기로 구성된 1차 single-bit incremental delta-sigma ADC를 설계하였다. Transistor-level 시뮬레이션 결과, 이는 supply 전압이 1.2V인 상황에서 modulator만 0.6uW, digital filter를 포함한 ADC 전체에서 6.25uW를 소모하며 BW 22kHz, SNDR 71dB, dynamic range 74.6dB를 달성하였다.

Abstract

This paper presents a low power and high resolution incremental delta-sigma ADC that utilizes a passive integrator instead of an opamp-based active integrator. Opamp is a power-hungry block that involves tight design tradeoffs. To avoid the use of active integrator, the s-domain characteristic of an active integrator is first analyzed. Based on the analysis, an active integrator with low gain design is proposed as an alternative design method. To save power even more aggressively, a passive integrator with no static current is proposed. A 1st order single-bit incremental delta-sigma ADC using the proposed passive integrator is implemented in a 65nm CMOS process. Transistor-level simulation shows that the ADC consumes only 0.6uW under 1.2V supply while achieving SNDR of 71dB with 22kHz bandwidth. The estimated total power consumption including digital filter is 6.25uW, and resulting power efficiency is on a par with state-of-the-art A/D converters.

Keywords : Discrete Time Delta-Sigma Modulator, Low Power, Passive Integrator

I. 서 론

Delta-sigma A/D 변환기는 oversampling과 noise-shaping을 통해 고해상도의 데이터 변환을 저해상도

*학생회원, ** 평생회원, 건국대학교 전자공학부

(Department of Electronics Engineering, Konkuk University)

© Corresponding Author(E-mail : jintkim@konkuk.ac.kr)

※ 이 논문은 2016년도 정부(산업통상자원부)의 재원으로 첨단연구개발지원사업의 지원을 받아 수행된 연구임 (No.10052106, “CMOS/MEMS 하이브리드 바이오센서 어레이 플랫폼 개발”).

Received ; August 12, 2016 Revised ; November 15, 2016

Accepted ; December 09, 2016

양자화 변환기(quantizer)와 적분기(integrator)만을 사용하여 구현할 수 있어, 오디오^[1], 통신 커뮤니케이션, 센서 등 다양한 분야에 사용되고 있다. Incremental delta-sigma analog-to-digital converter (IADC)는 delta-sigma 변환기의 conversion을 수행하기 전에 적분기와 digital filter를 초기화(RST) 시킨 후 delta-sigma 동작을 수행함으로써 초기 조건을 일정하게 유지한다. 이로 인해 delta-sigma ADC의 장점과 더불어 sample-by-sample의 absolute-accuracy를 달성할 수 있어 센서 분야의 데이터 변환기에 가장 대표적으로 사용되는 ADC의 구조이다.

하지만 고해상도 IADC를 저전력으로 설계하는 것에

는 어려움이 따르게 되는데, 그 근본 원인은 delta-sigma modulator(DSM) 내의 적분기 설계의 어려움에서 기인한다^[2]. 통상적으로 적분기는 capacitive feedback을 opamp에 적용한 능동형 적분기(active integrator)를 사용하게 되는데, 이론적인 delta-sigma 동작에 위해가 되지 않기 위해서는 충분히 높은 open loop gain(A_0), gain bandwidth product(GBW) 그리고 slew rate가 요구된다. 또한 보다 향상된 성능을 위해서는 큰 output swing과 낮은 thermal noise를 가지도록 opamp가 설계되어야 하고, 저주파의 flicker noise를 제거할 수 있는 chopping이나 correlated double sampling과 같은 offset-cancellation 설계 기법 적용이 필수적이다. 따라서 이런 다양한 설계 조건을 충족시키기 위하여 적분기의 전력 소모가 증가하게 되는 것은 피하기 어려운 일이라 할 수 있고, 고속의 저전력 IADC를 설계하는 것은 아직도 도전적인 설계 목표로 남아있다.

본 논문에서는 opamp의 제한으로부터 자유로운 적분기를 제안함으로써 고속의 저전력 IADC 설계를 목표로 한다. 이를 위해 opamp를 이용한 능동형 적분기의 특성 분석을 진행한다. 이를 바탕으로 opamp의 설계 요구를 낮추고, 최종적으로 opamp를 사용하지 않아, 직접적인 전력 소모를 획기적으로 감소시킬 수 있는 수동형 적분기(passive integrator) 설계를 제안하고 시뮬레이션을 통해 효과를 검증한다.

본 논문의 구성은 다음과 같다. II장에서는 기존의 능동형 적분기의 이론으로부터 출발하여 수동형 적분기의 설계가 가능함을 s-domain 해석을 통하여 도출하고, 새로운 ADC의 구조에 대해 제안한다. III장에서는 제안된 ADC를 CppSim^[5] 이라는 time-domain behavioral simulator을 이용하여 동작을 검증하고, 65nm CMOS공정을 이용한 transistor-level 시뮬레이션을 통해 전력소모와 성능을 분석한다. IV장에서는 제안한 ADC의 장점에 대해 정리하며 논문의 결론을 맺는다.

II. 제안하는 ADC 구조

1. Key Idea

가. 능동형 적분기 특성 파악

이산시간에서 능동형 적분기는 그림 1(a)에서 묘사된 바와 같이 capacitive feedback이 적용된 opamp를 이용한 switched capacitor 회로로 구성되어 있다. C_{sam} 은 switched capacitor 이론을 통해 실질적인 저항 R_{eff} =

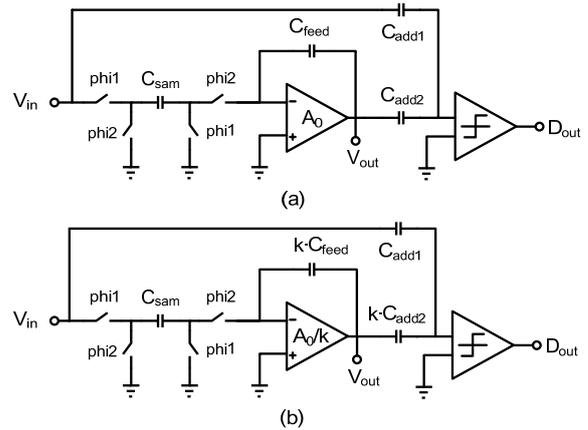


그림 1. (a) 기존의 능동형 적분기를 이용한 DSM, (b) 낮은 A_0 을 갖는 능동형 적분기를 이용한 DSM
Fig 1. (a) DSM using existing active integrator, (b) DSM using active integrator with lower A_0 .

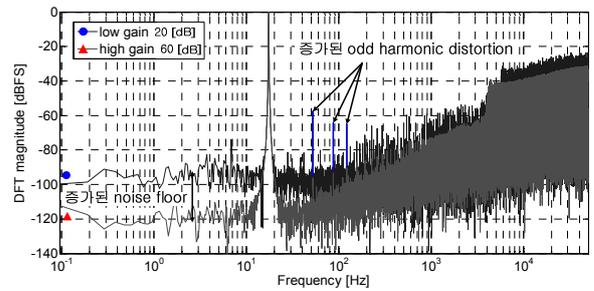


그림 2. 1차 delta-sigma에서 high gain과 low gain으로 인한 leakage의 영향
Fig. 2. The effect of leakage due to high gain and low gain in 1st order delta-sigma.

$(C_{sam} \cdot f_{CLK})^{-1}$ 으로 치환 가능하다. R_{eff} 와 무한한 A_0 를 가진 opamp를 적용하여 s-domain에서 전달함수를 구하면 $1/(R_{eff} \cdot C_{feed} \cdot S)$ 가 되어 완벽한 적분기로 동작한다. 하지만 실질적으로 A_0 는 유한하고, 이를 적용한 능동형 적분기의 전달 함수는

$$H_0(S) = \frac{A_0}{A_0 + 1} \frac{1}{\frac{1}{A_0 + 1} + R_{eff} C_{feed} S} \quad (1)$$

와 같다. 분모에 존재하는 $(A_0+1)^{-1}$ 은 leakage 성분을 의미한다. 제한되지 않은 leakage 성분은 이상적인 적분 동작을 수행할 수 없게 만들고, 이론적인 delta-sigma 동작을 방해하여 성능 열화를 유발한다. leakage 성분으로 인해 이론적인 delta-sigma 동작을 따르지 못할 경우, noise floor와 odd harmonic distortion이 증가하는 현상이 나타난다. 그림 2는 CppSim을 이용하여 opamp의 유

한한 A_0 가 1차 delta-sigma ADC의 성능에 어떤 영향을 미치는지 time-domain 시뮬레이션을 통해 검증한 것이다. Matlab을 이용한 FFT 결과를 보면 낮은 A_0 로 인해 leakage 성분이 커지고, 이로 인해 noise power spectral density와 odd harmonic distortion이 증가하는 것을 확인할 수 있다.

본 논문에서 제시하려고 하는 기법의 핵심이 되는 아이디어는 leakage 성분은 낮게 유지하면서 A_0 를 줄이는 것이다. 성능을 해치지 않는 수준의 낮은 leakage 성분을 만족하는 큰 A_0 를 달성하기 위해서는 opamp의 설계가 복잡해지고 더 많은 전력 소모가 유발된다. 낮은 A_0 를 가지는 opamp로 만들어진 능동형 적분기를 사용하고도 leakage성분을 낮게 유지할 수 있다면 많은 설계 이슈들이 완화될 수 있을 것이다. 이를 위해 본 논문에서는, 우선 그림 1(b)와 같이 C_{feed} 를 k배를 늘려 A_0 을 k^{-1} 배 줄이는 방식을 제안한다. 제안된 방식으로 구현된 전달 함수는

$$H_1(S) = \frac{\frac{1}{k} \frac{A_0}{A_0 + k}}{\frac{1}{A_0 + k} + R_{eff} C_{feed} S} \quad (2)$$

로 나타난다. 일반적으로 opamp의 gain, A_0 는 k보다 충분히 크다고 가정할 수 있으므로, (2)을 (1)과 비교하여 본다면, (2)의 분모에서 leakage 성분을 나타내는 $(A_0+k)^{-1}$ 항이 (1)의 $(A_0+1)^{-1}$ 항과 유사한 것을 알 수 있다. 따라서 낮은 opamp의 gain인 A_0/k 이용하여도 높은 A_0 를 이용한 것과 유사한 결과를 얻을 수 있음을 예상할 수 있다. 다만 전달함수의 크기가 k^{-1} 배 감소하는 문제가 발생하는데, 이는 그림 1(b)에 묘사된 것과 같이 cascade of integrators feedforward summation (CIFF) 구조의 DSM를 사용하는 경우, additive capacitor의 값을 k배로 조절하여 해결 가능하다.

제안하는 방식이 적용되어 낮은 A_0 를 이용하는 능동형 적분기와 기존의 능동형 적분기를 비교하기 위하여, 1차 delta-sigma 동작을 CppSim을 이용하여 시뮬레이션하였다. 그림 3은 matlab을 이용하여 얻은 FFT 결과이다. Noise floor, odd harmonic distortion, 20dB/dec noise-shaping 등 전체적인 그래프 경향이 일치하는 것을 확인할 수 있다. 따라서 제안하는 방식이 효과적임을 알 수 있다. 낮은 A_0 를 갖는 단순한 구조의 opamp를 이용하고도 기존의 높은 A_0 를 갖는 복잡한 구조의 opamp를 이용하는 것과 같은 성능의 설계가 가능함으

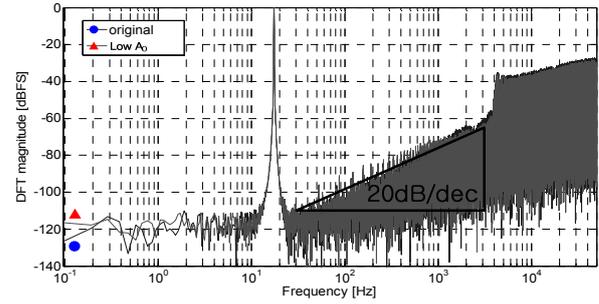


그림 3. 기존의 능동형 적분기와 낮은 A_0 를 사용하는 능동형 적분기의 1차 delta-sigma 동작 출력 FFT 비교

Fig. 3. FFT result on 1st order delta-sigma operation output comparison between existing active integrator and active integrator with lower A_0 .

로써, 설계 시 발생하는 tradeoff 관계를 완화하여 보다 효율적인 설계가 가능함을 보여준다.

나. 수동형 적분기

낮은 A_0 를 이용한 능동형 적분기는 opamp의 설계 요구를 낮추고 소모 전력을 줄이는데 도움을 줄 수 있다. 하지만 k배 늘어난 feedback capacitor를 구동하면서 GBW와 slew rate를 만족해야하는 opamp를 사용하기 때문에, 여전히 상당한 전력을 소모할 뿐만 아니라 output swing, noise 등의 요구로 인해 성능 발휘에 제한이 따른다. 이러한 단점을 극복하기 위해, (1)에 다시 주목해보면 전달함수의 형태가 RC로 구성된 LPF의 전달함수 $1/(1+R \cdot C \cdot S)$ 와 형태가 유사함을 알 수 있다. 이는 RC로 구성된 LPF로 능동형 적분기 모사가 가능하다는 것을 보여준다. k를 기존의 A_0 과 동일하게 설정하면, A_0/k 는 1로 실제로 증폭을 하지 않기 때문에 더 이상 opamp가 필요하지 않게 되어 제거가 가능하다. 이를 통해 능동형 적분기를 수동형 적분기로 변환할 수 있다. 차동 동작을 할 경우, C_{feed} 는 공유되어 사용 가능하고 그 크기는 반으로 줄일 수 있다.

그림 4는 본 논문에서 새롭게 고안한 수동형 적분기이고, 전달 함수는

$$H_2(S) = \frac{1}{1 + R_{eff} A_0 C_{feed} S} \quad (3)$$

와 같다. (3)를 기존의 능동형 적분기와 비교를 위해 분모, 분자에 A_0 를 나누어 정리하면

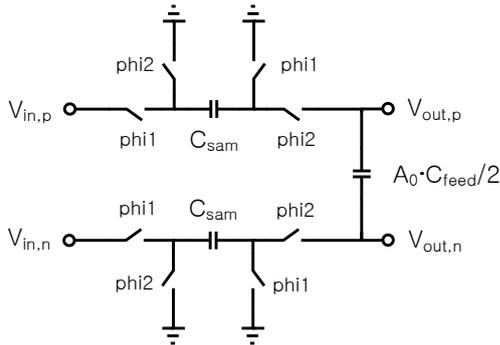


그림 4. 제안하는 차동 수동형 적분기
Fig. 4. Proposed differential passive integrator.

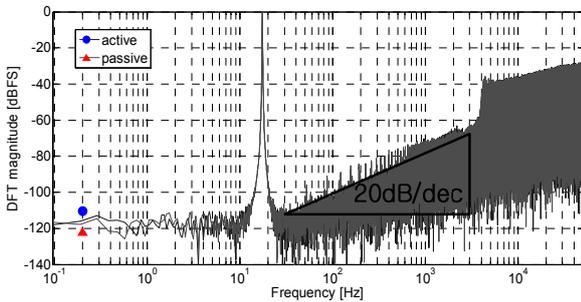


그림 5. 기존의 능동형 적분기와 수동형 적분기의 1차 delta-sigma 동작 FFT 비교
Fig. 5. FFT result on 1st order delta-sigma operation output comparison between existing active integrator and passive integrator.

$$H_2(S) = \frac{1}{A_0} \frac{1}{\frac{1}{A_0} + R_{eff} C_{feed} S} \quad (4)$$

로 표현할 수 있다.

(4)를 기존의 능동형 적분기 전달함수 (1)과 비교하여 본다면, 역시 leakage 부분이 포함된 분모가 유사함을 알 수 있고, 이를 통해 수동형 적분기로 능동형 적분기와 같은 적분 동작을 할 수 있다는 점을 증명할 수 있다. 비교를 위해, 마찬가지로 기존의 능동형 적분기와 수동형 적분기를 CppSim을 이용하여 1차 delta-sigma 동작을 시뮬레이션하였다. 그림 5는 matlab을 이용하여 얻어낸 FFT 결과이다. 두 디자인의 FFT 결과를 비교해보면 noise floor, odd harmonic distortion, 20dB/dec noise-shaping의 유사함을 알 수 있고, 따라서 수동형 적분기를 이용한 delta-sigma 동작이 정상적으로 이루어지고 있음을 확인할 수 있다.

수동형 적분기를 사용 시 한 가지 유의해야 할 점은, (4)의 분자 항의 크기가 (1)에 비해 A_0 배 만큼 감소하였다는 점이다. 이 역시 적절한 보상을 통해 해결해주어

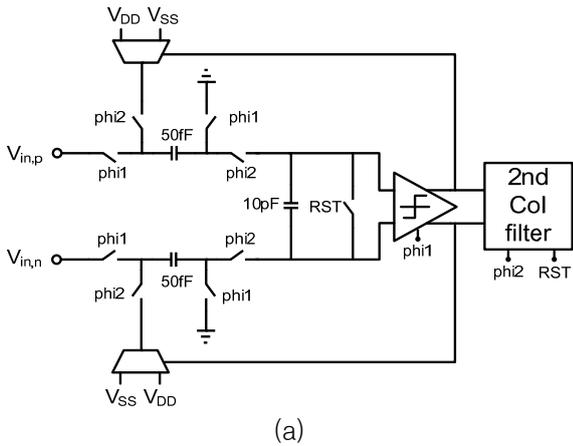
야 하지만, 수동형 적분기는 다른 소자를 구동시키는 능력이 없기 때문에 보상 방법이 제한적이다. 본 논문에서는 cascade of integrators feedback (CIFB) 구조의 single-bit DSM을 통해 이러한 문제를 해결하였다. CIFB 구조에 의해 수동형 적분기의 출력은 단독으로 곧장 single-bit 양자화 변환기의 입력으로 들어가기 때문에 다른 소자를 구동할 필요가 없어진다. 또한 single-bit 양자화 변환기는 입력 신호의 크기와 상관없이 양과 음의 부호에 따라 high, low 두 레벨로 양자화하는, 매우 높은 gain 특성을 가진 블록이기 때문에 줄어든 신호에 대한 보상이 가능하다. 단 양자화 변환기는 작은 신호를 양자화하므로 noise에 대한 부담이 가중된다. 하지만 oversampling과 noise-shaping의 영향은 양자화 변환기 앞단에서 가장 효과적이므로, 실질적인 부담으로 이어지지는 않는다.

Opamp를 사용하지 않는 수동형 적분기의 사용은 많은 장점을 불러온다. 가장 큰 장점은 DSM에서 전류소모가 가장 많은 opamp의 제거로 인한 전력소모 감축이다. 게다가 opamp 미사용으로 인해 supply 전압을 대폭 감소시킬 수 있어서 더욱 전력을 절약할 수 있다. 다음으로 opamp의 GBW의 제한이 없어지므로 인해 Csam과 스위치의 on resistance(R_{on})로 인한 time constant가 만족하는 범위 또는 양자화 변환기의 최대 동작속도까지 이용 가능한 CLK frequency가 확장 가능하여 더욱 고속으로 동작시킬 수 있다. 또한 opamp에서 발생하는 thermal noise와 flicker noise가 없어지므로, 스위치에서 발생하는 noise만 고려하면 되기 때문에 noise 요구에 대한 설계가 완화된다. 마지막으로 opamp의 output swing 제한이 사라지면서 reference 전압을 rail-to-rail로 이용할 수 있다. 이로 인해 이용 가능한 input range가 넓어지고, reference 전압을 제공하는 회로를 제거할 수 있다.

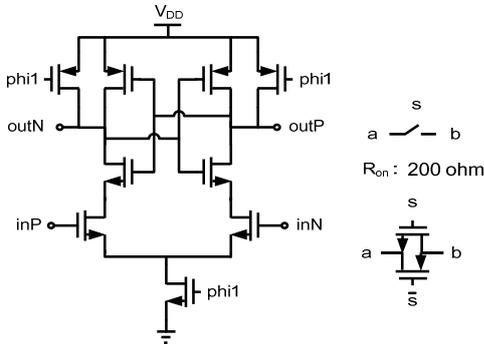
2. 회로 구현

가. 제안하는 회로

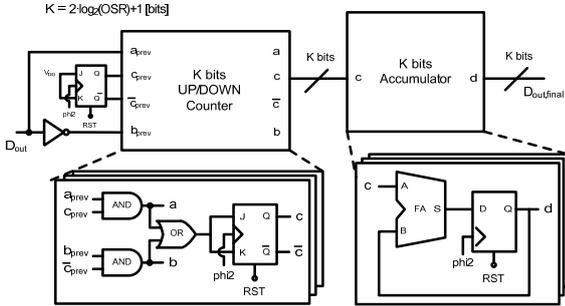
본 논문에서는 수동형 적분기의 장점을 극대화하기 위해 회로를 최대한 단순화시켜 설계하였다. 그림 6(a)에 제안하는 전체 회로를 도시하였다. 우선 수동형 적분기를 이용하여 1차 single-bit IADC를 구성하였다. phi1과 phi2는 non-overlapping CLK으로 사용되었고, 큰 dynamic range를 위하여 supply 전압을 차동 reference로 사용하였다. 또한 고속 동작을 위해 상대적으로 낮은



(a)



(b)



(c)

그림 6. (a) 제안하는 수동형 적분기를 이용한 1차 single-bit incremental delta-sigma ADC 구조, (b) dynamic comparator와 스위치 구조, (c) 2nd CoI digital filter 구조

Fig. 6. (a) Proposed 1st order single-bit incremental delta-sigma ADC topology using passive integrator, (b) Architecture of dynamic comparator and switch, (c) Architecture of 2nd CoI digital filter.

oversampling ratio(OSR)를 유지하며 고해상도를 얻기 위해 2차 Cascade-of-Integrators(CoI) digital filter를 이용하였다. 1차 CoI digital filter를 이용해 $\log_2(OSR)$ bits의 effective number of bits (ENOB)을 얻었다면, 2차 CoI digital filter는 $1.5 \cdot \log_2(OSR)$ bits로 1.5배 향상된 ENOB을 얻을 수 있게 되어 동일 해상도 대비 더 낮은 OSR을 사용할 수 있어 고속 동작에 유리하다^[3].

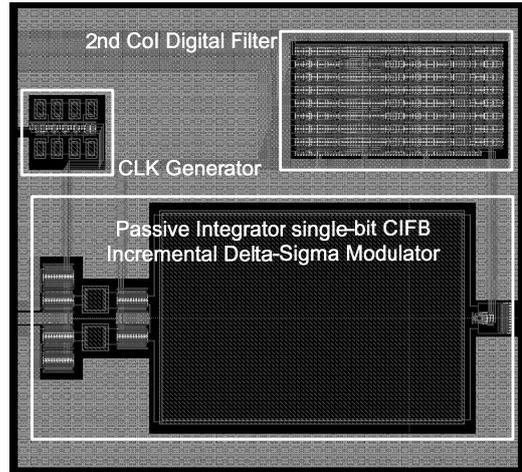


그림 7. 설계 회로 layout
Fig. 7. Layout of designed circuit.

그림 6(b)와 6(c)에는 회로에 사용된 single-bit dynamic comparator와 스위치 구조 그리고 2nd CoI digital filter 구조를 도시하였다.

그림 7은 65nm 공정을 이용한 설계된 회로의 layout 모습이다. 가로 0.185 mm, 세로 0.17 mm로, 전체 0.03145 mm²의 면적을 갖는다.

III. 시뮬레이션 및 결과

본 논문에서는 CppSim과 Spice 시뮬레이션을 통해 실질적인 동작과 성능을 검증하였다. 전력 소모는 수동형 적분기와 CLK 발생기, CoI digital filter를 모두 구현하여, transistor-level 시뮬레이션을 통해 구하였고, 성능 측정은 thermal noise를 모두 포함하기 위하여 CppSim을 이용하여 시뮬레이션하였다. 그림 8은 CppSim을 통해 noise상황에서 얻은 출력의 FFT 결과를 보여 준다. 수동형 적분기에서 발생하는 leakage 성분이 능동형 적분기와 일치하도록 설계되어 leakage로 인한 noise floor, odd harmonic distortion이 발생하지 않고 이에 따라 성능 역시 저하되지 않는다. 또한 2차 CoI digital filter의 사용으로 1차 CoI digital filter 대비 약 22dB 향상된 성능을 얻는다.

표 1에 transistor-level 시뮬레이션 결과와 기존의 저전력 delta-sigma ADC와의 성능 비교를 정리해 보았다. Active-passive integrator를 사용하는 [1], [2]와 비교하였을 때 본 논문에서 제안하는 회로는 digital filter의 전력 소모를 포함하고도 보다 좋은 figure of merit (FoM)을 얻을 수 있었다. 또한 전력 효율이 가장 좋다는 SAR ADC 구조^[4]와 유사한 수준의 FoM을 갖

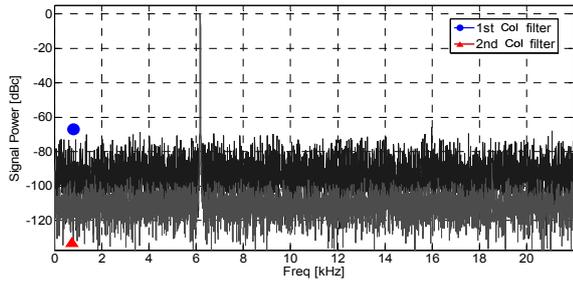


그림 8. 1차 Col digital filter, 2차 Col digital filter를 거친 수동형 적분기를 이용한 1차 single-bit incremental delta-sigma ADC의 출력 FFT 결과 비교

Fig. 8. Comparison of ADC output FFT results for 1st order and 2nd order Col digital filter.

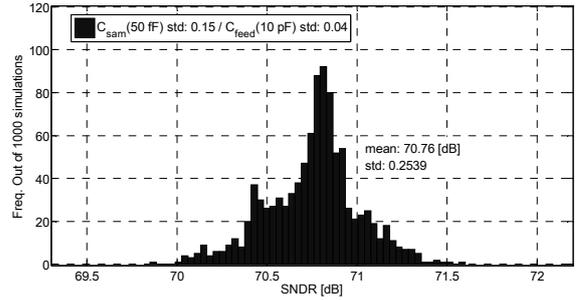


그림 9. 각각 0.15, 0.04의 분산을 갖는 C_{sam} , C_{feed} 에 대한 1000 samples monte carlo simulation 결과

Fig. 9. 1000 samples monte carlo simulation results for C_{sam} and C_{feed} with variance of 0.15 and 0.04, respectively

표 1. 성능 비교표

Table1. Performance comparison table.

| | This work | [1] | [2] | [4] |
|----------------------------|------------------------------|--|--|------------------|
| Process [nm] | 65 | 65 | 65 | 65 |
| Supply [V] | 1.2 | 1 | 0.9 | 1.2 |
| Input Range [V_{pp}] | 2.2 | 1.1 | - | - |
| Power [μ W] | 6.25 (0.6 ^{**}) | 73.6 [*] (61 ^{**}) | 1.27 [*] (0.95 ^{**}) | 806 [*] |
| BW [KHz] | 22 | 25 | 0.5 | 11e3 |
| F_s [MHz] | 11.3 | 13 | 0.25 | 90 |
| OSR | 256 | 260 | 250 | 4 |
| SNDR [dB] | 71 | 88.2 | 70 | 62 |
| DR [dB] | 74.6 | 91 | 70.5 | - |
| FoM _w [fJ/step] | 49.2 | 70 | 491 | 35.8 |

$$FoM_w = \text{Power} / (2 \cdot BW \cdot 2^{\frac{SNDR - 1.76}{6.02}})$$

* digital filter power 미포함

** delta-sigma modulator power

는 것을 통해 제안하는 회로의 전력 효율이 뛰어난 것을 알 수 있다.

실제 설계 시, 공정상의 mismatch로 인해 의도하는 capacitance 값을 만족하기 어렵다. 이는 비대칭성을 야기하고 coefficient 값을 변화시켜, 선형성에 악영향을 주며, 최악의 경우 stability issue를 발생시킬 수 있다. 따라서 monte carlo 시뮬레이션을 통해 mismatch가 성능에 미치는 영향에 대한 검증이 필요하다. 그림 9는 65nm 공정 기준 각각 0.15, 0.04의 분산을 갖는 C_{sam} 과 C_{feed} 에 대한 1000 sample monte carlo simulation 결과이다. Mismatch의 영향 역시 delta-sigma 동작으로 인해 완화되어, 최악의 경우에도 1dB의 SNDR 감소를 보이며 공정 상 mismatch에 의한 성능 열화에 강인함을 알 수 있다.

IV. 결론

본 논문에서는 고속의 저전력, 고해상도 ADC 설계를 위해 능동형 적분기의 특성을 분석하였고, 기존의 능동형 적분기와 유사한 전달함수를 갖는 RC LPF형태의 수동형 적분기 설계를 제안하였다. 수동형 적분기를 통해 전력 소모가 많은 opamp의 제거와 이에 따른 supply 전압의 감소를 통해 효과적으로 전력 소모를 줄일 수 있었다. 그 외에도 이용 가능한 input range, CLK frequency를 확장시키고, 전체 설계 복잡도를 완화시키는 이점을 얻을 수 있었다. 제안된 수동형 적분기를 이용한 1차 single-bit IADC는 65nm 공정에서, 전체 6.25 μ W, DSM만 0.6 μ W의 전력을 소모하며 BW 22KHz, SNDR 71dB, dynamic range 74.6dB을 달성하는 고속의 저전력, 고해상도 ADC를 달성하였다.

REFERENCES

- [1] A. Hussain, S. W. Sin, C. H. Chan, S. P. U, F. Maloberti and R. P. Martins, "active-passive $\Delta \Sigma$ modulator for high-resolution and low-power applications", IEEE Trans. VLSI Syst. vol. PP, Issue 99, pp. 1-11, 2016.
- [2] A. Yeknami, F. Qazi and A. Alvandpour, "low-power DT $\Delta \Sigma$ modulators using SC passive filters in 65 nm CMOS", IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 61, no. 2, pp. 358-370, 2014.
- [3] J. Markus, J. Silva and G. C. Temes, "Theory and applications of incremental delta-sigma converters", IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 51, no. 4, pp. 678-690, 2004.
- [4] J. A. Fredenburg and M. P. Flynn, "A 90-MS/s

11-MHz-bandwidth 62-dB SNDR noise-shaping SAR ADC”, IEEE J. Solid-State Circuits, vol. 47, pp. 2898-2904, 2012.

[5] Michael H. Perrott - CppSim Reference Manual Version 4.

— 저 자 소 개 —



오 군 석(학생회원)
2015년 건국대학교 전자공학부 학사 졸업.
2017년 건국대학교 전자공학과 석사 졸업 예정.

<주관심분야: CMOS 집적회로, 데이터 변환기>



김 진 태(평생회원)-교신저자
1997년 서울대학교 전기공학부 학사 졸업
2004년 University of California 전기공학부 석사 졸업
2008년 University of California 전기공학부 박사 졸업

2012년~현재 건국대학교 전자공학부 부교수
<주관심분야: 데이터 컨버터, 주파수 합성기, CMOS 온도센서 설계, 아날로그 설계 자동화>