

소스 및 드레인 전극 재료에 따른 비정질 InGaZnO 박막 트랜지스터의 소자 열화

이기훈 · 강태곤 · 이규연 · 박종태*

Hot carrier induced device degradation in amorphous InGaZnO thin film transistors with source and drain electrode materials

Ki Hoon Lee · Tae Gon Kang · Kyu Yeon Lee · Jong Tae Park*

Department of Electronic Engineering, Incheon National University, Incheon, 22012, Korea

요 약

본 연구에서는 소스 및 드레인 전극 재료에 따른 소자 열화를 분석하기 위해 Ni, Al, 및 ITO를 소스 및 드레인 전극 재료로 사용하여 InGaZnO 박막 트랜지스터를 제작하였다. 전극 재료에 따른 소자의 전기적 특성을 분석한 결과 Ni 소자가 이동도, 문턱전압 이하 스윙, 구동전류 대 누설전류 비율이 가장 우수하였다. 소스 및 드레인 전극 재료에 따른 소자 열화 측정결과 Al 소자의 열화가 가장 심한 것을 알 수 있었다. InGaZnO 박막 트랜지스터의 소자 열화 메커니즘을 분석하기 위하여 채널 폭과 스트레스 드레인 전압을 다르게 하여 문턱전압 변화를 측정하였다. 그 결과 채널 폭이 넓을수록 또 스트레스 드레인 전압이 높을수록 소자 열화가 많이 되었다. 측정결과로부터 InGaZnO 박막 트랜지스터의 소자 열화는 큰 채널 전계와 주울 열의 결합 작용으로 발생함을 알 수 있었다.

ABSTRACT

In this work, InGaZnO thin film transistors with Ni, Al and ITO source and drain electrode materials were fabricated to analyze a hot carrier induced device degradation according to the electrode materials. From the electrical measurement results with electrode materials, Ni device shows the best electrical performances in terms of mobility, subthreshold swing, and I_{ON}/I_{OFF} . From the measurement results on the device degradation with source and drain electrode materials, Al device shows the worst device degradation. The threshold voltage shifts with different channel widths and stress drain voltages were measured to analyze a hot carrier induced device degradation mechanism. Hot carrier induced device degradation became more significant with increase of channel widths and stress drain voltages. From the results, we found that a hot carrier induced device degradation in InGaZnO thin film transistors was occurred with a combination of large channel electric field and Joule heating effects.

키워드 : InGaZnO 박막 트랜지스터, 소자 열화, 전극 재료, Joule 열

Key word : InGaZnO thin film transistor, hot carrier degradation, electrode materials, Joule heat

Received 04 August 2016, Revised 08 August 2016, Accepted 19 August 2016

* Corresponding Author Jong Tae Park(E-mail:jtpark@inu.ac.kr, Tel:+82-32-835-8445)

Department of Electronic Engineering, Incheon National University, Incheon, 22012, Korea

Open Access <http://doi.org/10.6109/jkice.2017.21.1.82>

print ISSN: 2234-4772 online ISSN: 2288-4165

©This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License(<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.
Copyright © The Korea Institute of Information and Communication Engineering.

I. 서론

산화물 반도체인 비정질 InGaZnO (a-IGZO) 박막 트랜지스터 (Thin Film Transistors: TFTs)는 이동도와 구동전류 대 누설전류 (I_{ON}/I_{OFF}) 비율이 높고 실리콘 박막 트랜지스터보다 대용량 패널을 만들기 용이하므로 차세대 디스플레이 소자로 평가받고 있다. a-IGZO 박막에서 전자의 농도는 박막 공정에서 생성되는 산소 vacancy의 농도에 의해서 결정된다. a-IGZO TFTs의 구조는 게이트의 위치에 따라 bottom gate(BG) 및 top gate(TG)로 나눌 수 있으며 BG 소자는 공정이 용이한 반면 스퍼터링으로 IGZO 박막을 증착할 시 게이트 절연층이 손상을 받을 수 있다는 단점이 있다.

a-IGZO TFTs의 소스 및 드레인 전극 재료는 접촉저항 및 메탈과 IGZO 박막 계면상태의 전기적 특성을 결정하는 주요한 공정 변수이므로 다양한 전극물질을 사용한 소자에 대한 전기적 특성을 분석하는 연구가 수행되었다[1-5]. 예로서 Al 전극을 사용하면 메탈과 IGZO 계면에서 Al_2O_3 산화물이 생성되어 소자의 전기적 특성이 불안정하게 된다[6]. 또 Cu 전극을 사용하면 Cu와 IGZO 박막 사이에 상호 확산으로 소자의 전기적 특성이 좋지 않게 된다[7]. 또 소스 및 드레인 전극을 증착한 후에 열처리를 하는 것과 하지 않는 것에 따라 소자의 전기적 특성 다르다는 연구결과도 발표되었다[8].

현재까지 연구된 결과에 의하면 산화물 반도체를 차세대 디스플레이용 소자로 응용하기 위해 해결해야 될 가장 큰 문제는 소자의 전기적 특성의 불안정성 (Instability)이다. 소자의 구동전류 변화는 디스플레이 소자의 밝기 변화를 야기하므로 실제 제품화에서 전기적 불안정은 중요한 이슈이다. a-IGZO TFTs에 양의 게이트 전압을 장시간 동안 인가하면 전자가 게이트 절연층으로 주입되어 소자의 문턱전압이 증가하고 구동전류가 감소한다[9, 10]. 또 게이트에 음의 전압을 장시간 동안 인가하면 홀이 게이트 절연층으로 주입되어 문턱전압과 구동전류가 변한다[11, 12]. 특히 빛이 인가된 상태에서 게이트에 음의 전압이 장시간 인가되면 즉 트랜지스터가 OFF된 상태에서 빛이 장시간 인가되면 빛에 의해 생성된 홀이 게이트 절연층으로 주입되거나 또는 산소 vacancy가 이온화 되어 홀을 포획하므로 소자의 문턱전압이 감소하고 드레인 전류는 증가하게 된다 [13-16].

또 다른 소자의 전기적 불안정성은 게이트와 드레인 에 높은 전압이 인가되었을 시 발생하는 hot carrier에 의한 소자 열화이다. CMOS 소자의 소자 열화에 비해 IGZO 소자의 소자 열화 메커니즘은 복잡하고 아직까지 명확하게 정립된 이론이 없다. IGZO 소자의 구조와 공정에 따라 hot carrier 스트레스 후에 $I_{DS}-V_{GS}$ 전달 특성곡선이 음의 방향으로 이동하거나 양의 방향으로 이동하게 된다는 여러 이론의 소자 열화 메커니즘이 발표되었다[17-19]. 충격이온화에 의해 생성된 홀이 채널 후면에 포획되어 문턱전압이 감소하게 된다[17]. 채널 hot electron이 게이트 절연층으로 주입되면서 계면상태를 생성하여 문턱전압이 감소하게 된다[18]. 또, 주열 효과와 hot electron의 결합으로 소자열화가 발생하는 것으로 발표되고 있다[19].

현재까지 a-IGZO TFTs의 소스 및 드레인 전극의 재료에 따른 소자의 특성에 관한 연구[1-5]와 a-IGZO TFTs 소자 열화에 관한 연구[17-19]는 발표되었으나 a-IGZO TFTs의 소스 및 드레인 전극의 재료에 따른 소자 열화에 관한 연구는 발표된 것이 없다.

본 연구에서는 Ni, Al 및 ITO를 소스 및 드레인 전극 재료로 이용한 a-IGZO 소자를 제작하여 소자의 전기적 특성과 소자 열화를 분석하므로 열화 메커니즘을 제시한다.

II. 소자 제작

그림 1은 본 연구에서 사용한 a-IGZO TFTs 소자로써 p-형 불순물이 아주 높게 도핑된 실리콘을 하부 게이트인 BG 구조이다. 열산화 방법으로 두께가 100nm인 SiO_2 를 게이트 절연층으로 성장하였다. IGZO 박막은 몰 비가 $In_2O_3:Ga_2O_3:ZnO=1:1:1$ 인 스퍼터링 타겟을 사용하여 RF 스퍼터링 방법으로 두께 10nm의 InGaZnO 산화물 반도체 층을 증착하였다. 그리고 일반적인 열처리 방법으로 600도에서 30분간 열처리를 하였다. 사진식각 방법으로 채널 영역을 정의한 후에 습식 에칭으로 채널외의 InGaZnO를 식각 하고 스퍼터링으로 두께 70nm의 Ni, Al 및 ITO를 소스 및 드레인 전극으로 증착하였다. 그리고 사진식각 방법으로 전극 영역을 정의한 후에 리프트-오프 방법으로 다른 부분의 메탈층을 식각하였다. 소스와 드레인 전극을 크기는

190um x 250um 이다. 전기적 특성 분석은 Agilent B1500A 반도체 파라미터 분석기를 사용하였고 게이트와 드레인에 높은 양의 전압을 인가하면서 측정 시간마다 스트레스를 중지하고 드레인 전류를 측정하였다. 측정에 사용된 소자의 게이트 길이는 5um로 일정하고 채널 폭은 5um, 10um 및 20um이다.

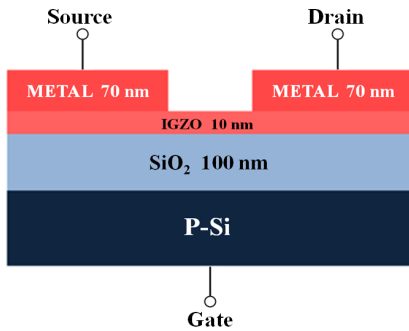


Fig. 1 Schematic diagram of a-IGZO TFT

III. 측정 결과

3.1. 소스 및 드레인 전극에 따른 소자 특성

그림 2는 채널 길이와 폭이 각각 5um 및 20um인 a-IGZO TFTs의 소스 및 드레인 전극 재료에 따른 $I_{DS}-V_{GS}$ 전달특성 곡선으로 $V_{DS}=1.0V$ 에서 측정한 것이다. 그림으로부터 문턱전압은 Ni 소자, Al 소자, ITO 소자 순으로 높고 구동 전류는 Ni 소자 Al 소자, ITO 소자 순으로 작은 것을 알 수 있다.

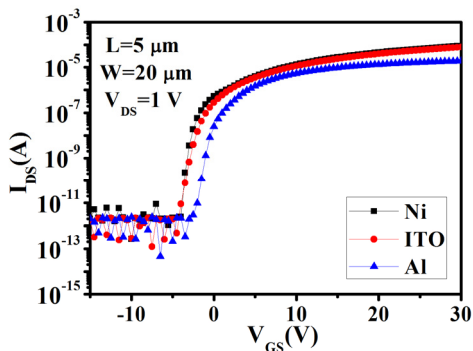


Fig. 2 $I_{DS}-V_{GS}$ transfer curve characteristics with different electrode materials

소스 및 드레인 전극 재료에 따른 a-IGZO TFTs의 소자의 전기적 특성을 분석하기 위하여 먼저 소스 및 드레인의 직렬저항 (R_{SD}) 과 유효 채널길이 (L_{eff}) 를 TLM (Transmission Line Method)을 이용하여 추출하였다 [20]. TLM에 의하면 낮은 드레인 전압에서 트랜지스터의 총 채널 저항 (R_T)은 식 (1)과 같이 R_{SD} 와 진성 채널 저항 (intrinsic resistance: R_{ON})의 합으로 구성된다.

$$R_T = \frac{V_{DS}}{I_D} = 2R_0 + r_{ch} \cdot L_{eff} \quad (1)$$

여기서 r_{ch} 는 채널 저항/단위길이라고 써 식 (2)와 같이 쓸 수 있다.

$$r_{ch} = \frac{1}{\mu C_{ox} W (V_{GS} - V_{TH})} \quad (2)$$

또한 ΔL 는 마스크 채널 길이 L_M 과 L_{eff} 의 차이로써 식 (3)과 같이 쓸 수 있다.

$$L_{eff} = L_M - \Delta L \quad (3)$$

그리고 식 (2)와 식(3)을 식 (1)에 대입하면 R_T 는 식 (4)와 같이 쓸 수 있다.

$$R_T = \frac{V_{DS}}{I_D} = 2R_0 + \frac{1}{\mu C_{ox} W (V_{GS} - V_{TH})} \cdot (L_M - 2\Delta L) \quad (4)$$

식 (4)로부터 선형영역에서 유효 이동을 추출할 수 있다. 그림 3은 Ni 소자의 L_M 에 따른 총 저항 (R_T) 을 나타낸 것으로 x 축 및 y 축의 절편으로부터 ΔL 과 R_{SD} 를 추출하였다.

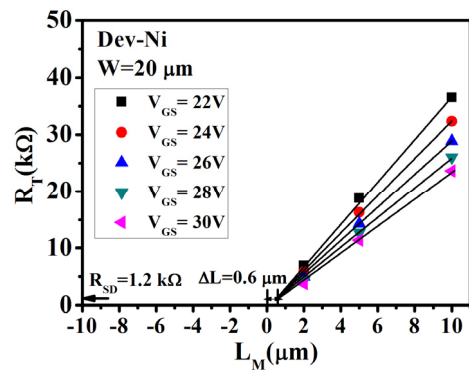


Fig. 3 Plot of total resistance (R_T) versus mask channel lengths (L_M) for Ni device

그림으로부터 Ni 소자의 $\Delta L=0.6\mu\text{m}$, $R_{SD}=1.2\text{k}\Omega$ 인 것을 알 수 있다. 그림 4는 Ni 소자, Al 소자, ITO 소자의 V_{GS} 에 따른 $1/r_{ch}$ 을 나타낸 것으로 기울기로부터 유효이동도는 각각 14.53, 4.29, $5.79\text{cm}^2/\text{Vs}$ 인 것을 알 수 있다. 문턱전압 (V_{TH})은 $0.25*W/L$ (μA)되는 V_{GS} 로 정의하였다. 표 1은 Ni 소자, Al 소자 및 ITO 소자의 소자 특성을 요약한 것이다.

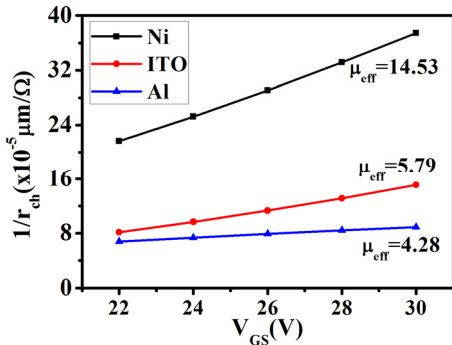


Fig. 4 Plot of $1/r_{ch}$ versus gate voltages with different electrode materials

Table. 1 Summary of electrical performances with different electrode materials

Device	Ni	ITO	Al
V_{TH} (V)	-2.7	-2.14	-0.4
S-Swing (V/dec)	0.54	0.639	0.73
R_{SD} (k Ω)	1.2	2.7	3.3
ΔL (μm)	0.6	1.74	0.31
I_{on}/I_{off} ($\times 10^6$)	31	28	10
Mobility(cm^2/Vs)	14.53	5.79	4.28

표 1로부터 subthreshold swing (S) 특성과 R_{SD} 는 Al 소자, ITO 소자, Ni 소자 순으로 작은 것을 알 수 있다. 전체적으로 Ni 소자가 다른 소자보다 소자의 전기적 특성이 우수함을 알 수 있다. Al 소자가 다른 소자보다 특성이 좋지 않는 것은 타 연구의 결과처럼 Al과 IGZO 계면에서 Al_2O_3 계면 산화물이 생성된 것으로 사료된다 [6].

3.2. 소스 및 드레인 전극에 따른 소자열화

그림 5는 Ni 소자의 hot carrier 스트레스 시간에 따른

$I_{DS}-V_{GS}$ 전달 특성곡선을 나타낸 것이다. 소자의 채널 길이는 $5\mu\text{m}$ 이며 채널 폭은 $20\mu\text{m}$ 이다. Hot carrier 스트레스 전압은 $V_{DS}=V_{GS}=15\text{V}$ 이다. 그림으로부터 스트레스 시간이 증가할수록 특성 곡선이 양의 방향으로 이동하는 것을 알 수 있다. 스트레스 후에 문턱전압이 증가하고 드레인 전류가 감소한 것은 게이트 절연층과 IGZO 박막 계면에 양의 전하가 존재하기 때문이다.

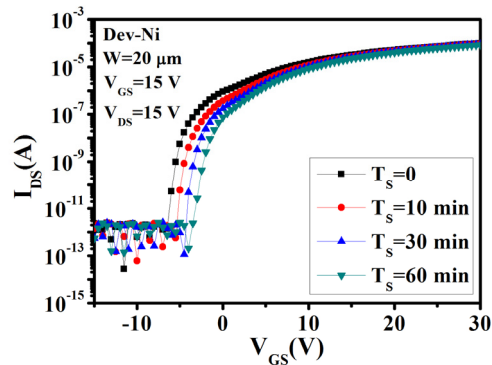


Fig. 5 $I_{DS}-V_{GS}$ transfer curve characteristics with stress time for Ni device after the stress $V_{GS}=V_{DS}=15\text{V}$

그림 6은 소스 및 드레인 전극 재료에 따른 hot carrier 스트레스 후의 문턱전압변화 (ΔV_{TH})를 스트레스 시간의 함수로 나타낸 것이다. 스트레스 시간이 증가할수록 ΔV_{TH} 는 증가하였다. 그림으로부터 Al 소자가 가장 많이 열화 되는 것을 알 수 있다. 동일한 스트레스 전압이 인가되어도 소스 및 드레인 전극에 따라 R_{SD} 가 다르므로 소자의 진성 트랜지스터에 인가되는 전압이 다르게 된다. 그러므로 정확하게 소자 열화를 비교 평가하기 위해서는 진성 트랜지스터에 인가되는 스트레스 전압을 같게 해야 한다. 본 연구에서는 진성 트랜지스터에 인가되는 전압을 추출한 결과 스트레스 전압 (15V) 전압에 비해 소스 및 드레인 직렬 저항에 인가되는 전압이 작으므로 모든 소자에 15V의 동일한 전압을 인가하여 소자 열화를 비교하였다. 그림6으로부터 ITO소자에 비해 Ni 소자의 소자 열화가 심한 것은 스트레스 전압에서 드레인 전류가 크기 때문이다. 특이한 것은 Al 소자의 소자 열화가 Ni 소자보다 많이 되는 것이다. 스트레스 전압에서 드레인 전류를 비교하면 Ni 소자가 Al 소자 보다 크므로 당연히 Al 소자 열화가 Ni 소자보다 작게 되어야한다.

측정 오류인지를 확인하기 위해 채널 폭이 다른 여러 소자를 몇 번 측정하였지만 동일한 결과를 얻을 수 없었다. 이런 결과에 대한 원인을 분석하는 것은 어렵지만, 서론에서 언급한 타 연구결과에서 추론할 수 있다. Al 소자인 경우에는 Al과 IGZO 경계면에서 Al_2O_3 계면 산화물이 생성되는 것으로 보고되었다[5]. 스트레스 시간이 증가할수록 드레인 전류에 의한 주열 발생이 증가하게 되므로 Al_2O_3 계면 산화물 생성이 많아지고 이로 인해 R_{SD} 가 증가하게 된다. 그 결과로 진성 트랜지스터에 인가되는 전압이 감소하므로 문턱전압이 증가하고 드레인 전류는 감소하게 된다.

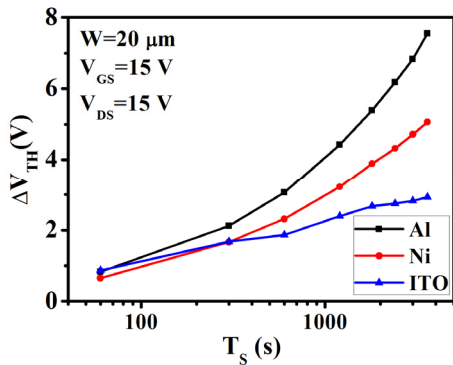


Fig. 6 ΔV_{TH} as a function of stress time with different electrodes

서론에서 서술한 것과 같이 소자 열화 메커니즘에 대한 여러 이론이 보고되었으나 본 연구에서는 소자 열화 메커니즘으로 큰 채널 전계와 드레인 전류에 의한 주열로 채널 전자가 에너지를 충분히 얻어 IGZO와 산화층 사이의 전위 장벽을 넘어 산화층에 포획되는 것으로 가정하였고 이를 측정을 통해 증명하였다. Joule 열이 소자 열화에 영향을 미치는 것은 채널 폭에 따른 ΔV_{TH} 로부터 알 수 있다. 그림 7은 채널 폭이 다른 Ni 소자에 대한 스트레스 시간에 따른 ΔV_{TH} 를 나타낸 것이다. 그림으로부터 채널 폭이 클수록 ΔV_{TH} 가 큰 것을 알 수 있다. 채널 폭이 클수록 ΔV_{TH} 가 큰 것은 그림 8의 채널 폭에 따른 $I_{DS}-V_{GS}$ 전달특성 곡선을 통해 알 수 있다. 그림에서 채널 폭이 클수록 드레인 전류가 많이 흐르는 것을 확인할 수 있는데 큰 드레인 전류로 주열 열이 많이 발생 한다[21].

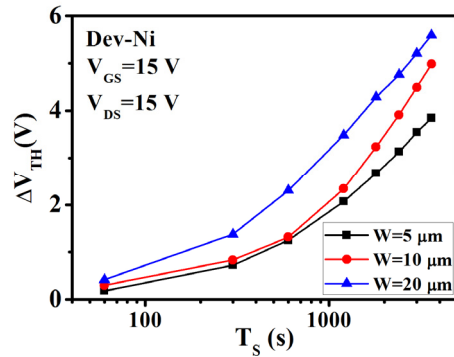


Fig. 7 ΔV_{TH} as a function of stress time with different channel widths

주열 열 발생이 소자 열화에 영향을 준 것은 그림 9의 전극 재료가 다른 소자에 대한 채널 폭에 따른 ΔV_{TH} 으로부터도 알 수 있다. 채널 폭이 증가할수록 모든 소자에서 열화가 많이 되는 것을 알 수 있으며 Al 소자가 가장 많이 되는 것을 알 수 있다.

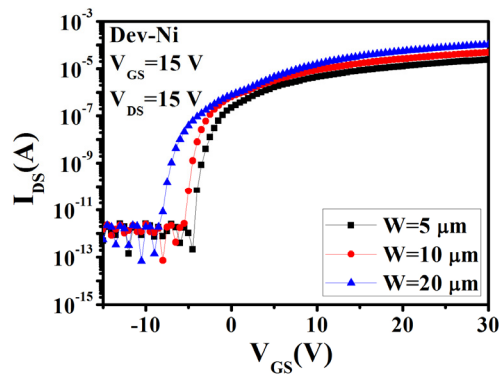


Fig. 8 $I_{DS}-V_{GS}$ transfer curve characteristics with different channel widths for Ni device

또 채널 전계가 소자 열화의 한 원인임을 증명하기 위하여 스트레스 게이트 전압을 일정하게 하고 스트레스 드레인 전압을 다르게 하여 소자의 ΔV_{TH} 를 측정하였다[10]. 그림 10은 스트레스 $V_{GS}=15V$, $V_{DS}=20V$ 에서 스트레스 시간에 따른 $I_{DS}-V_{GS}$ 전달특성 곡선으로 $V_{DS}=1.0V$ 에서 측정하였다. 스트레스 $V_{GS}=15V$, $V_{DS}=15V$ 에서 소자 열화를 측정한 그림 5와 비교하면 높은 V_{DS} 에서 소자 열화가 더 많이 되는 것을 알 수 있다. 이는 높은

스트레스 드레인 전압에서 큰 채널 전계가 만들어 지므로 채널 전자가 더 많은 에너지를 얻게 되기 때문이다.

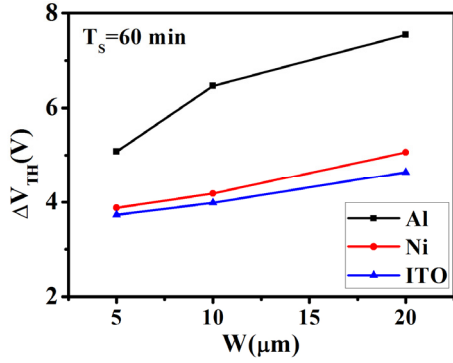


Fig. 9 ΔV_{TH} as a function of channel width with different electrodes

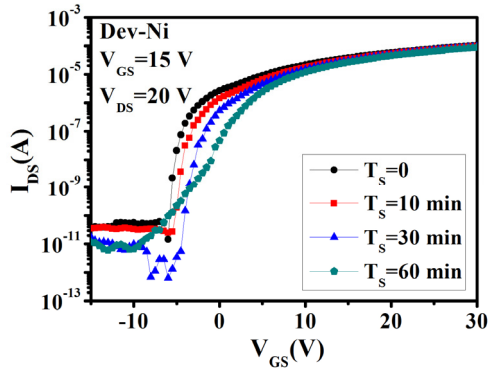


Fig. 10 I_{DS} - V_{GS} transfer curve characteristics with stress time for Ni device after the stress $V_{GS}=15V$ and $V_{DS}=20V$

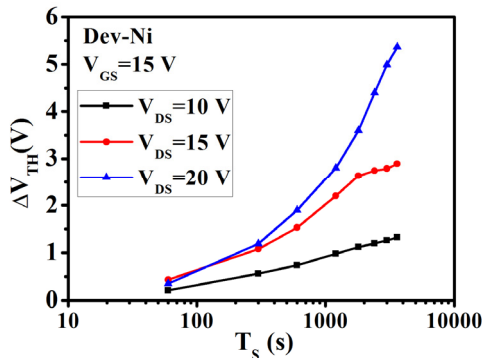


Fig. 11 ΔV_{TH} as a function of stress time with different stress drain voltages for Ni device

그림 11은 서로 다른 스트레스 드레인 전압에서 스트레스 시간에 따른 ΔV_{TH} 를 나타낸 것이다. 스트레스 드레인 전압이 클수록 소자 열화가 많이 됨을 알 수 있다. 채널 폭에 따른 소자 열화 및 스트레스 드레인 전압에 따른 소자 열화 측정 결과로부터 IGZO TFTs의 소자 열화는 채널 전계와 주울 열의 결합 작용으로 발생한다고 사료된다.

IV. 결론

소스와 드레인 전극으로 Ni, Al 및 ITO를 사용하여 a-IGZO 소자를 제작한 후 소자의 전기적 특성과 소자 열화 메커니즘을 분석하였다. Ni를 전극 재료로 사용한 소자의 전기적 특성이 가장 우수하였다. Al 소자의 열화가 가장 많이 되었는데 이는 스트레스 시간이 증가할수록 드레인 전류에 의한 Joule 열 발생이 증가하여 Al과 IGZO 계면에 Al_2O_3 생성이 많아지고 이로 인해 R_{SD} 가 증가하기 때문이다. 채널 폭이 클수록 또 스트레스 드레인 전압 높을수록 소자 열화가 많이 되는 것을 알 수 있었다. 측정결과로부터 IGZO 소자 열화는 주울 열과 채널 전계의 결합 작용으로 발생한다고 사료되어진다.

REFERENCES

- [1] P. Barquinha, A. M. Vila, G. Goncalves, L. Pereira, R. Martins, J. R. Morante, and E. Fortunato, "Gallium-Indium-Zinc-Oxide-Base Thin Film Transistors: Influence of the Source/Drain Material," *IEEE Transaction. Electron Device*, vol. 55, no. 4, pp. 954-960, Apr. 2006.
- [2] J. R. Yim, S. Y. Jung, H. W. Yeon, J. Y. Kwon, Y. J. Lee, J. H. Lee, and Y. C. Joo, "Effect of Metal Electrode on the Electrical Performance of Amorphous In-Ga-Zn-O Thin Film Transistor," *Japanese Journal of Applied Physics*, vol. 51, pp. 011401-1-5, Dec. 2011.
- [3] Y. Ueoka, Y. Ishikawa, J. P. Bermundo, H. Yamazaki, S. Urakawa, Y. Osada, M. Horita, and Y. Uraoka, "Effect of contact material on amorphous InGaZnO thin-film transistor characteristics," *Japanese Journal of Applied Physics*, vol. 53, pp. 03CC04-1-5, Feb. 2014.

- [4] J. H. Na, M. Kitamura, and Y. Arakawa, "High field-effect mobility amorphous InGaZnO transistors with aluminum electrodes," *Applied physics Letters*, vol. 93, pp. 063501-1-3, Aug. 2008.
- [5] J. Park, C. S. Kim, Y.S. Kim, Y. C. Park, H. J. Park, B. S. Bae, J. S. Park, and H. S. Kim, "The effect of ITO and Mo electrodes on the properties and stability of In-Ga-Zn-O thin film transistors," *Journal of Electronics*, vol. 36, no. 1, pp. 129-134, Jun. 2016.
- [6] H. J. Kim, H. N. Lee, J. C. Park, and W. C. Lee, "The mechanism of improvement of contact resistivity in TFT-LCDs between IZO layers and Al-based metal lines by diffusion of Mo atoms," *Current Applied Physics*, vol. 2, no.6, pp. 451-454, Dec. 2002.
- [7] W. S. Kim, Y. K. Moon, S. Lee, B. W. Kang, T. S. Kwon, K. T. Kim, and J. W. Park, "Copper source/drain electrode contact resistance effects in amorphous indium-gallium-zinc-oxide thin film transistors," *Physics. Status Solidi : Rapid Rev Lett*, vol. 3, no. 7-8, pp. 239-241, Oct. 2009.
- [8] K. Nomura, T. Kamiya, M. Hirano, and H. Hosono, "Origins of threshold voltage shifts in room-temperature deposited and annealed a-In-Ga-Zn-O thin film transistors," *Applied Physics Letters*, vol.95, pp. 013502-1-3, Jul. 2009.
- [9] J. M. Lee, I. T. Cho, J. H. Lee, and H. I. Kwon, "Bias-stress-induced stretched-exponential time dependence of threshold voltage shift in InGaZnO thin film transistors," *Applied Physics Letters*, vol. 93, no. 11, pp. 093504-1-3, Sep. 2008.
- [10] T. Y. Hsieh, T. C. Chang, T. C. Chen, and M. Y. Tsai, "Review of Present Reliability Challenges in Amorphous In-Ga-Zn-O Thin Film Transistors," *ECS Journal of Solid State Science and Technology*, vol. 3, no. 9, pp. Q3058-Q3070, Aug. 2014.
- [11] C. H. Jo, S. W. Jun, W. J. Kim, I. S. Hur, H. Y. Bae, S. J. Choi, D. H. Kim, and D. M. Kim, "Characterization of density-of-states and parasitic resistance in a-InGaZnO thin-film transistors after negative bias stress," *Applied Physics Letters*, vol. 102, pp. 143502-1-5, Apr. 2013.
- [12] Y. M. Kim, K. S. Jeong, H. J. Yun, S. D. Yang, S. Y. Lee, H. D. Lee, and G. W. Lee, "Anomalous Stress-Induced Hump Effect in Amorphous Indium Gallium Zinc Oxide TFTs," *Transactions on Electrical and Electronic Materials*, vol. 13, no. 1, pp. 47-49, Feb. 2012.
- [13] B. K. Ryu, H. K. Noh, E. A. Choi, and K. J. Chang, "O-vacancy as the origin of negative bias illumination stress instability in amorphous In-Ga-Zn-O thin film transistors," *Applied Physics Letters*, vol. 97, no. 7, pp. 022108-1-3, Jul. 2010.
- [14] Y. J. Chung, U. K. Kim, E. S. Hwang, and C. S. Hwang, "Indium tin oxide/InGaZnO bilayer stacks for enhanced mobility and optical stability in amorphous oxide thin film transistors," *Applied Physics Letters*, vol. 105, pp. 013508-1-5, Jul. 2014.
- [15] J. S. Park, T. S. Kim, K. S. Son, J. S. Jung, K. H. Lee, J. Y. Kwon, B. K. Koo, and S. Y. Lee, "Influence of Illumination on the Negative-Bias-Stability of Transparent Hafnium-Indium Zinc-Oxide Thin Film Transistors," *IEEE Electron Device Letters*, vol. 31, no. 5, pp. 440-442, May. 2010.
- [16] M. Furuta, J. Jiang, M. P. Hung, T. Toda, D. Wang, and G. Tatsuoka, "Suppression of Negative Gate Bias and Illumination Stress Degradation by Fluorine-Passivated InGaZnO Thin-Film Transistors," *ECS Journal of Solid State Science and Technology*, vol. 5, no. 3, pp. Q88-Q91, Jan. 2016.
- [17] S. H. Choi, and M. K. Han, "Effect of channel widths on negative shift of threshold voltage, including stress-induced hump phenomenon in InGaZnO thin-film transistors under high-gate and drain bias stress," *Applied Physics Letters*, vol. 100, no. 7, pp. 043503-1-3, Jan. 2012.
- [18] S. M. Lee, C. G. Yu, W. J. Cho, J. T. Park, "Hot carrier degradation of InGaZnO thin film transistors under light illumination at the elevated temperature," *Solid-State Electronics*, vol.72, no.6, pp. 88-92, Jun. 2012.
- [19] J. I. Kim, I. T. Cho, S. M. Joe, C. Y. Jeong, D. E. Lee, H. I. Kwon, S. H. Jin, and J. H. Lee, "Effect of Temperature and Electric Field on Degradation in Amorphous InGaZnO TFTs Under Positive Gate and Drain Bias Stress," *IEEE Electron Device Letters*, vol. 35, no. 4, pp. 458-460, Apr. 2014.
- [20] J. C. Park, C. J. Kim, S. I. Kim, I. H. Song, S. W. Kim, D. H. Kang, H. Lim, H. Yin, R. J. Jung, E. H. Lee, J. C. Lee, K. W. Kwon, and Y. S. Park, "Source/Drain Series-Resistance Effects in Amorphous Gallium-Indium-Zinc-Oxide thin-film Transistors," *IEEE Electron Device Letters*, vol. 29, no. 8, pp. 879-881, Aug. 2008.
- [21] S. Urakawa, S. Tomai, Y. Ueoka, H. Yamazaki, M. Kasami, K. Yano, D. Wang, M. Furuta, M. Horita, Y. Ishikawa, and Y. Uraoka, "Thermal analysis of amorphous oxide thin-film transistor degraded by combination of joule heating and hot carrier effect," *Applied Physics Letters*, vol. 102, pp. 053506-1-4, Feb. 2013.



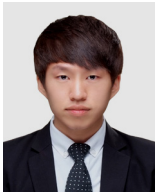
이기훈(Ki-Hoon Lee)

2010년 ~ 현재 인천대학교 전자공학과 재학
※관심분야 : CMOS Reliability, IGZO TFT, SOI/MOSFET



강태곤(Tae-Gon Kang)

2011년 ~ 현재 인천대학교 전자공학과 재학
※관심분야 : CMOS Reliability, IGZO TFT, SOI/MOSFET



이규연(Kyu-Yeon Lee)

2010년 ~ 현재 인천대학교 전자공학과 재학
※관심분야 : CMOS Reliability, IGZO TFT, SOI/MOSFET



박종태(Jong-Tae Park)

1981년 경북대학교 전자공학과 학사
1983년 연세대학교 전자공학과 공학석사
1987년 연세대학교 전자공학과 공학박사
1983년 8월 ~ 1985년 8월 금성반도체(주) 연구소 연구원
1991년 1월 ~ 1991년 12월 MIT Post Doc,
2000년 7월 ~ 2001년 8월 UC Davis 방문교수
1987년 3월 ~ 현재 인천대학교 전자공학과 교수
※관심분야 : CMOS Reliability, Nano-scale CMOS, SOI/MOSFET, RF-CMOS