

# 안티-바운드리 스위칭 디지털 지연고정루프

## An Anti-Boundary Switching Digital Delay-Locked Loop

윤준섭\*, 김종선\*  
Junsub Yoon\*, Jongsun Kim\*

### Abstract

In this paper, we propose a new digital delay-locked loop (DLL) for high-speed DDR3/DDR4 SDRAMs. The proposed digital DLL adopts a fine delay line using phase interpolation to eliminate the jitter increase problem due to the boundary switching problem. In addition, the proposed digital DLL utilizes a new gradual search algorithm to eliminate the harmonic lock problem. The proposed digital DLL is designed with a 1.1 V, 38-nm CMOS DRAM process and has a frequency operating range of 0.25-2.0 GHz. It has a peak-to-peak jitter of 1.1 ps at 2.0 GHz and has a power consumption of about 13 mW.

### 요약

본 논문에서는 고속 DDR3/DDR4 SDRAM을 위한 새로운 디지털 지연고정루프 (delay-locked loop: DLL)를 제안한다. 제안하는 디지털 DLL은 디지털 지연라인의 boundary switching 문제에 의한 jitter 증가 문제를 제거하기 위하여 위상보간 (phase interpolation) 방식의 파인지연라인 (fine delay line)을 채택하였다. 또한, 제안하는 디지털 DLL은 harmonic lock 문제를 제거하기 위하여 새로운 점진적 검색 (gradual search) 알고리즘을 사용한다. 제안하는 디지털 DLL은 1.1V, 38-nm CMOS DRAM 공정으로 설계되었으며, 0.25-2.0 GHz의 주파수 동작 영역을 가진다. 2.0 GHz에서 1.1 ps의 피크-투-피크 (p-p) 지터를 가지며, 약 13 mW의 전력소모를 가진다.

*Key words: Delay-Locked Loop, DLL, Digital DLL, Boundary Switching, Harmonic lock, DDR3, DDR4, SDRAM*

### 1. 서론

디지털 지연고정루프 (delay-locked loop: DLL)는 DDR2/DDR3/DDR4 SDRAM 메모리에서 입력 클럭신호의 phase skew를 보정하여 메모리 시스템의 성능을 향상시키기 위해 필수적으로 쓰이는 클럭킹 회로이다. 컴퓨팅 시스템이 필요로 하는 bandwidth가 계속적으로 증가하고 있기 때문에, 속도향상을 위한 디지털 DLL의 성능개선이 지속적으로 요구되고 있는 상황이다. 디지털 DLL은 디지털 제어지연라인 (digitally

controlled delay line: DCDL)을 이용하여 클럭신호의 입력으로부터 출력까지의 전달 지연시간을 조절한다. 넓은 동작 주파수 영역과 높은 지연 해상도 (delay resolution)을 동시에 얻기 위하여, 일반적인 디지털 DCDL은 코스 지연라인 (coarse delay line: CDL)과 파인 지연라인 (fine delay line: FDL)으로 구성된다. 일반적으로, N-bit으로 제어되는 CDL은 2N개의 지연셀 (delay cell)을 가지며, 지연셀 하나의 전달지연시간이 tDC라고 하면 CDL은 총 2N×tDC의 프로그래머블한 전달 지연시간을 가지게 된다. M-bit으로 제어되는

\*Dept. of Electronic & Electrical Engineering, Hongik University

\*Corresponding author

E-mail : js.kim@hongik.ac.kr Tel:+82-2-320-3014

※ Acknowledgment

This work was supported by the KIAT grant funded by the Korean government (MOTIE: Ministry of Trade, Industry & Energy, HRD Program for Software-SoC convergence, No. N0001883).

Manuscript received Dec. 5, 2017; received Dec. 23, 2017; accepted Dec. 28, 2017.

This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

FDL의 프로그래머블한 지연시간인  $t_{DF}$ 는 이상적으로  $t_{DC}$ 의 delay 값을 가져야 하며, 따라서 FDL은  $t_{DC}/2M$ 의 delay 해상도를 가진다. 이상적으로  $t_{DC}=t_{DF}$  값을 가짐으로써 CDL의 지연셀 하나의 delay와 FDL의 최대 delay가 일치해야 한다. 하지만, CDL을 구성하는 지연셀의 구조와 FDL을 구성하는 회로는 구조적으로 매우 다르기 때문에 공정, 동작전압 및 온도 (Process, Voltage, and Temperature: PVT) 변화 등의 요인으로 인해  $t_{DC}$ 와  $t_{DF}$ 값은 동작 코너에 따라 최대 30% 이상의 mismatch가 생길 수 있다. 디지털 DLL의 설계에서 이러한 CDL과 FDL의 mismatch는 boundary switching 문제를 야기하며, 디지털 DLL의 jitter 특성을 저하시키는 주요인이 된다 [1][2].

DLL의 입출력 클럭 신호의 skew를 제거하여 위상 동기화에 걸리는 시간인 locking time을 감소시키기 위해, 일반적으로 순차 검색 (sequential search) 방식과 2진 검색 (binary search) 방식을 사용할 수 있다. SAR 레지스터 (successive approximation register: SAR)를 이용한 2진 검색 방법은 jitter의 증가나 locking 실패를 가져오는 harmonic lock 문제를 야기시킬 수 있다 [3]-[5].

본 논문에서는 DDR3와 DDR4 SDRAM에서 모두 동작할 수 있는 디지털 DLL을 제안한다. 제안하는 DLL은 새로운 구조의 디지털 DCDL을 이용하여 CDL과 FDL의 mismatch에 의한 boundary switching 문제를 해결하여 jitter 특성을 개선하였다. 또한, 새롭게 제안하는 점진적 검색 (gradual search) 알고리즘을 사용하여 harmonic lock 문제를 방지 하였다. 제안하는 디지털 DLL은 0.25-2.0 GHz의 동작 주파수 범위를 가지며, 2.0 GHz 동작 주파수에서 1.1 ps의 p-p jitter 특성을 보이며, 최대 248 클럭 사이클의 locking 시간을 가진다.

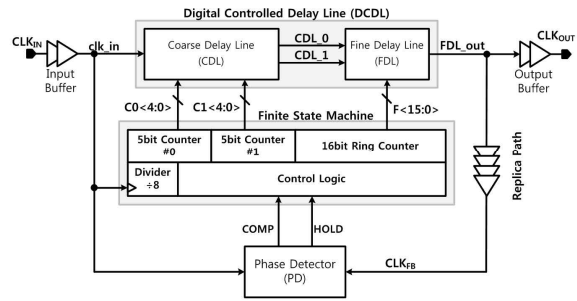


Fig. 1. Architecture of proposed digital DLL  
그림 1. 제안하는 디지털 DLL 블록도

## II. 회로 설계

그림1은 제안하는 디지털 DLL의 블록도를 보여준다. 제안하는 DLL은 크게 디지털 제어 지연라인 (DCDL), 유한상태머신 (Finite State Machine:FSM), 위상검출기 (Phase Detector:PD), 입력/출력 버퍼로 이루어져 있다. DCDL은 CDL과 FDL로 구성된다. CDL은 FSM의 출력인  $C0<4:0>$ 와  $C1<4:0>$ 의 제어를 통해 인접한 두개의 지연셀들의 출력인  $CDL_0$ 와  $CDL_1$ 을 출력한다. FDL은 FSM의 출력  $F<15:0>$  신호에 따라 위간보간 방식을 사용하여 DCDL 출력 신호의 위상을 세밀하게 조정한다. FSM은 1/8 디바이더를 사용하여 입력클럭  $CLK_{IN}$ 의 8분주마다 DCDL 제어신호들의 값을 변경시킨다. PD는  $CLK_{IN}$ 과 feedback된  $CLK_{FB}$ 의 위상을 비교하여 COMP 신호의 값을 결정하고, 두 클럭의 위상이 skew없이 근접하게 되면 HOLD신호를 발생한다.

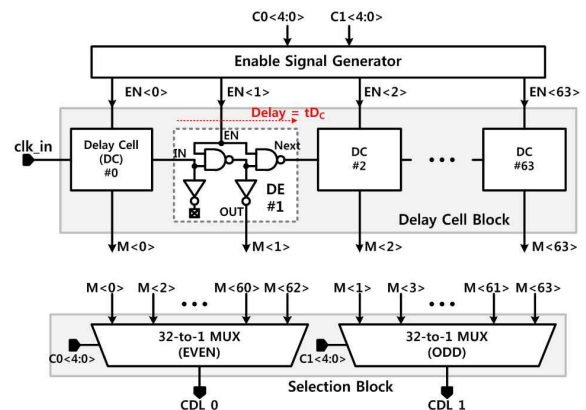


Fig 2. Architecture of proposed CDL  
그림 2. 제안하는 CDL 블록도

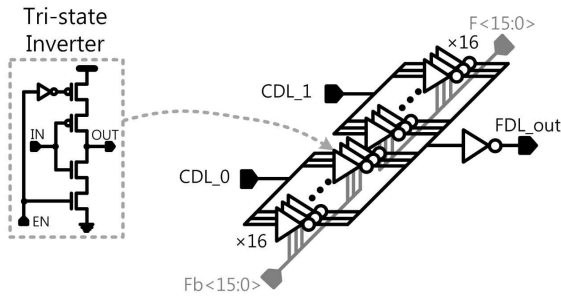


Fig. 3. Architecture of proposed FDL  
 그림 3. 제안하는 FDL 블록도

그림2는 제안하는 CDL의 블록도를 보여준다. CDL은 지연셀 블록(Delay Cell Block), 선택 블록(Selection Block), 인에이블 신호 발생기(Enable Signal Generator)로 구성된다. 지연셀 블록은 총 64개의 지연셀로 구성되며, 선택 블록은 두 개의 32:1 멀티플렉서(MUX)로 구성된다. 인에이블 신호 발생기는 2진 코드 C0<4:0>과 C1<4:0> 신호를 입력으로 받아 EN<63:0> 신호를 선택적으로 발생시킨다. 지연셀 블록은 M<63:0>의 출력 신호를 가지는데, 선택 블록은 C0<4:0>과 C1<4:0> 신호와 두 개의 32:1 MUX를 사용하여 인접한 두 지연셀의 출력신호인 CDL\_0와 CDL\_1 신호를 출력한다. 지연셀의 입력에서 출력까지의 지연시간이  $t_{DC}$  이므로, CDL\_0와 CDL\_1 간의 지연 차는  $1 t_{DC}$  가 된다.

그림3은 FDL의 블록도를 보여준다. 제안하는 FDL은 디지털 위상 보간 방식을 사용하여 두 입력 클럭 신호 CDL\_0와 CDL\_1 사이의 지연차를  $t_{DC}/16$ 의 해상도로 정밀하게 조정할 수 있는 출력 신호 FDL\_out을 발생시킨다. 이를 위해 총 32개의 3중상태 인버터(Tri-state Inverter)가 병렬로 연결되어 있고, 출력 노드의 위상 보간을 위해 출력단은 공통으로 연결되어 있다. 그림 3에 보인 바와 같이, 16개의 병렬 인버터는 CDL\_0를 입력으로 받고, 각각의 인버터는 Fb<15:0> 신호에 따라 on/off가 제어된다. 다른 16개의 병렬 인버터는 CDL\_1을 입력으로 받고, F<15:0>에 의해 제어된다. F<15:0>과 Fb<15:0>은 서로 보수관계로 총 32개의 인버터 중 항상 16개의 인버터만이 동작하도록 제어되며, 이러한 위상보간기 기반의 디지털 위상 믹싱 방식은 CDL과 FDL간의 지연 mismatch 문제를 제거할 수 있기 때문에 boundary switching 문제에 의한 jitter 증가 현상을 제거할 수 있다.

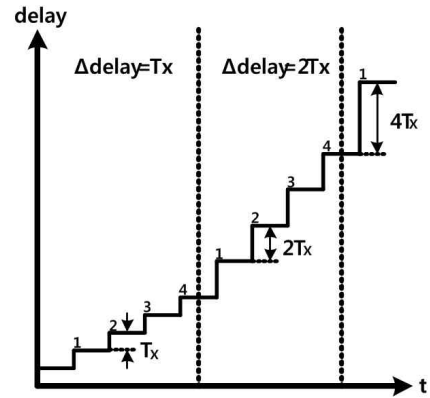


Fig. 4. Proposed gradual search algorithm  
 그림 4. 제안하는 점진적 검색 알고리즘

제안하는 디지털 DLL은 Gradual Search (점진적 검색) → Binary Search (2진 검색) → Sequential Search (순차 검색)의 3 단계 locking 과정을 가진다. 그림4는 그중 점진적 검색 방식을 이용하는 제안하는 디지털 DLL의 phase locking 프로세스를 보여준다. 최소 지연시간에서 시작하여 충분히 작은 값인 TX만큼 지연시간을 증가시켜 나가며, 4번의 증가에도 필요로 하는 목표 지연시간보다 부족하면, 클럭의 주기가 4TX보다 큰 것을 의미하므로, 다음 검색에는 지연시간 변화량을 두 배로 증가시키며 이 과정을 반복한다. 이러한 점진적 검색에 의해 증가된 지연시간이 목표치를 넘으면, 2진 검색 알고리즘으로 전환 되고, 이후 locking 상태를 closed loop 형태로 유지하기 위해 순차 검색을 시작한다. 순차 검색은 지연시간을  $t_{DC}/16$ 씩 세밀하게 조정하며 locking 상황을 유지한다. 제안된 디지털 DLL의 최대 locking 시간은 248 입력클럭 cycle이다.

III. 시뮬레이션 결과

점진적 검색 알고리즘을 사용한 제안하는 디지털 DLL은 1.1V, 38-nm CMOS DRAM 공정을 이용하여 설계되었다. 제안하는 디지털 DLL은 0.25 - 2.0 GHz의 동작 주파수 범위를 가지며, 2.0 GHz에서 약 13 mW의 전력소모를 보이며, 최대 248 클럭 cycle의 locking시간을 가진다. 그림5는 제안하는 디지털 DLL의 p-p 지터 특성 시뮬레이션 결과를 보여준다. 설계된 디지털 DLL은 250 MHz에서 3.5 ps와 2 GHz에서 1.1 ps의 p-p 지터 특성

을 갖는다. 표 1은 제안하는 디지털 DLL의 특성 비교표를 보여준다.

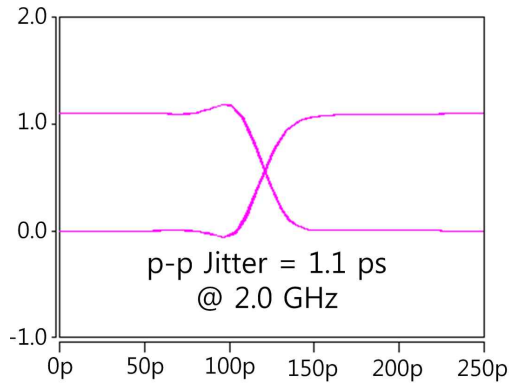


Fig. 5. p-p jitter simulation result  
그림 5. p-p jitter 시뮬레이션 결과

Table 1. Comparison Table  
표 1. 특성 비교표

	[3]	[6]	[7]	This work
Process	38nm	65nm	0.13um	38nm
Architecture	Digital	Digital	Digital	Digital
Supply(V)	1.1	1.0-1.5	1.1	1.1
Frequency range (GHz)	0.3-2.0	0.12-2	0.03-1	0.25-2.0
Pk-to-pk jitter (ps) @2GHz	9.71	14	30	1.1
Locking time	88 cycles	-	42 cycles	248 cycles
Power @1GHz	3.48mW	6.6mW @1.2V, 2GHz	3.6mW @1GHz	13mW @2GHz
Active area (mm <sup>2</sup> )	0.02	0.059	0.2	-
Anti-Boundary Switching	No	No	Yes	Yes

#### IV. 결론

제안하는 디지털 DLL은 새로운 구조의 CDL과 위상보간기 기반의 FDL을 이용하여 boundary switching 문제를 제거하여 동작안정성을 높였으며, 점진적 검색 알고리즘을 통해 harmonic lock 문제를 제거 하였다. 제안하는 디지털 DLL은 1.1V, 38-nm CMOS DRAM 공정으로 설계되어 0.25-2.0 GHz의 동작주파수 영역을 가지므로 DDR3와 DDR4 SDRAM에 모두 사용 가능하다. 2.0 GHz 에서 1.1 ps의 p-p jitter를 가지며 약 13 mW의 전력소모를 갖는다.

#### References

- [1] J. Lim, et al, "A delay locked loop with a feedback edge combiner of duty-cycle corrector with a 20% - 80% input duty cycle for SDRAMs," *IEEE Trans. Circuits Syst. II*, 63, 2016, pp. 141-145.  
DOI: 10.1109/TCSII.2015.2468911
- [2] S. Han and Jongsun Kim, "A high-resolution wide-range dual-loop digital delay-locked loop using a hybrid search algorithm," *IEEE Asian Solid State Circuits Conference (A-SSCC)*, 2012, pp. 293-296.  
DOI: 10.1109/IPEC.2012.6522683
- [3] J. Yoon, S. Heo, and Jongsun Kim, "A fast-locking harmonic-free digital DLL for DDR3 and DDR4 SDRAMs," *IEICE Electronics Express*, vol. 14, pp.1-10, 2017.  
DOI:10.1587/elex.13.20161020
- [4] Lei Wang, , et al., "An implementation of fast-locking and wide-range 11-bit reversible SAR DLL," *IEEE Trans. Circuits Syst. II*, vol. 57, pp. 421, 2010.  
DOI:10.1109/TCSII.2010.2048379
- [5] R. Yang and S. Liu, "A 40 - 550 MHz harmonic-free all-digital delay locked loop using a variable SAR algorithm," *IEEE J. Solid-State Circuits*, vol. 42, pp. 361, 2007.  
DOI:10.1109/JSSC.2006.889381
- [6] Ji-Hoon Lim, et al., "A Delay Locked Loop With a Feedback Edge Combiner of Duty-Cycle Corrector With a 20% - 80% Input Duty Cycle for SDRAMs," *IEEE Trans. Circuits Syst. II*, 63, 2016, pp. 141.  
DOI:10.1109/TCSII.2015.2468911
- [7] Lei Wang, et al., "An implementation of fast-locking and wide-range 11-bit reversible SAR DLL," *IEEE Trans. Circuits Syst. II*, 57, 2010, pp. 421.  
DOI:10.1109/TCSII.2010.2048379