

## 드론 고도 측정용 FMCW 레이다 신호처리 프로세서 설계 및 구현

# Design and Implementation of FMCW Radar Signal Processor for Drone Altitude Measurement

임 의 빈 · 진 소 라 · 정 용 철 · 정 윤 호\*

한국항공대학교 항공전자정보공학부

Euibeon Lim · Sora Jin · Yongchul Jung · Yunho Jung\*

School of Electronics and Information Eng., Korea Aerospace University, Gyeonggi-do, 10540, Korea

### [요 약]

드론 또는 무인기의 정밀 자세제어를 위해서는 정확한 고도계가 필수적이며, 지상으로부터의 고도측정 정확도로 인해 레이다 고도계가 일반적으로 사용된다. 크기, 무게 및 전력소모 등에 제한으로 인해, 드론에 장착 가능한 레이다 고도계는 PD (pulse Doppler) 방식에 비해 낮은 복잡도를 갖는 FMCW (frequency modulated continuous wave) 방식이 적절하며, 특히, 짧은 송신시간으로 인해 드론 자체 움직임 (ego-motion)에 대응 가능한 fast-ramp FMCW 레이다가 보편적으로 활용된다. 이에, 본 논문에서는 fast-ramp FMCW 레이다 시스템을 위한 드론 고도 측정용 레이다 신호처리 프로세서 (RSP; radar signal processor)의 설계 및 구현 결과를 제시한다. 설계된 RSP는 Verilog-HDL을 이용하여 RTL 설계 후, Altera Cyclone-IV FPGA device를 활용하여 구현 및 검증되었다. 구현 결과, 총 27,523의 logic elements, 15,798개의 register, 138 Kbits의 memory로 구현 가능하며, 50MHz의 동작주파수로 100Hz의 실시간 고도측정이 가능함이 확인되었다.

### [Abstract]

Accurate altimetry is required for the reliable flight control of drones or unmanned air vehicles (UAVs), and the radar altimeter is commonly used owing to its accuracy for the ground level. Due to the limitation for size, weight and power consumption, the frequency modulated continuous wave (FMCW) radar is appropriate for drone because it has lower complexity than that of pulse Doppler (PD) radar. Especially, fast-ramp FMCW radar, which transmits linear FM signal during very short period, is generally utilized, because it is robust for the ego-motion of drone. Therefore, we present the design and implementation results of the radar signal processor (RSP) for fast-ramp FMCW radar system. The proposed RSP was designed with Verilog-HDL and implemented with Altera Cyclone-IV FPGA device. Implementation results show that the proposed RSP includes 27,523 logic elements, 15,798 registers and memory of 138Kbits and can measure the altimeter at the rate of 100Hz with the operating frequency of 50MHz.

**Key word** : Altimetry, Drone, Frequency modulated continuous wave, Radar, Unmanned air vehicles.

<https://doi.org/10.12673/jant.2017.21.6.554>



This is an Open Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

Received 13 November 2017; Revised 20 November 2017

Accepted (Publication) 18 December 2017 (30 December 2017)

\*Corresponding Author; Yunho Jung

Tel: +82-2-300-0133

E-mail: yjung@kau.ac.kr

## I. 서론

드론 혹은 무인기의 정밀 자세제어를 위해서는 정확한 고도 측정이 필수적이며, 일반적으로 GPS (global positioning system), 기압 고도계, 레이다 (RADAR; radio detection and ranging) 시스템이 활용된다. GPS의 경우, 실내 혹은 산간지역 등 GPS 수신감도가 낮은 지역에서는 고도측정이 부정확하며 [1], 특히, 민간 GPS의 경우 10m 정도의 상당히 큰 오차를 갖는 단점이 있다 [2]. 또한, 기압 고도계의 경우, 해수면을 기준으로 측정되므로, 산간지역과 같은 고지대에서는 측정치가 부정확하다는 단점이 있다 [3]. 그러나, 레이다 시스템의 경우, 드론 혹은 무인기에 장착되어 있는 송신기에서 전파신호를 송신한 후 지면에 반사된 전파신호를 수신하여 고도정보를 출력하기 때문에, GPS에 비해 수신이 불량한 경우가 적으며, 거리 정밀도는 송신 전파신호의 대역폭에 비례하므로 광대역 전파신호를 사용하는 경우 오차범위를 크게 줄일 수 있는 장점이 있다 [4].

레이다 시스템은 크게 PD (pulse Doppler) 방식 레이다와 FMCW (frequency modulated continuous wave) 방식 레이다로 분류되며, FMCW 레이다는 선형 주파수 변조 (linear FM) 된 전파를 연속적으로 송신하기 때문에 PD 레이다에 비해 방출되는 전력이 작으며[5], 수신된 비트 신호 (beat signal)의 대역폭이 수 MHz 정도로 낮아 PD 레이다에 비해 구현 복잡도를 크게 줄일 수 있는 장점이 있다 [6]. 또한, fast-ramp 방식 FMCW 레이다는 전파 송신 시간이 드론의 움직임에 비해 매우 짧아 드론의 자체움직임(ego-motion)에 강인한 특성이 있어 드론 고도 측정에 적합한 특성을 갖는다 [7], [8]. 이에 본 논문에서는 fast-ramp FMCW 레이다 시스템을 위한 드론 고도 측정용 레이다 신호처리 프로세서 (RSP; radar signal processor)의 설계 및 구현 결과를 제시한다.

본 논문의 구성은 다음과 같다. 2장에서는 레이다 시스템 모델과 레이다 신호처리 알고리즘에 대하여 서술하고, 3장에서는 블록별 하드웨어 구조설계에 관한 내용을 설명한다. 4장에서는 위의 내용을 바탕으로 설계한 레이다 신호처리 프로세서의 구현 결과를 제시하고, 5장에서는 결론을 맺는다.

## II. 레이다 시스템 모델 및 신호처리 알고리즘

본 논문에서 사용한 fast-ramp FMCW 레이다 시스템의 주요 parameter는 표 1과 같다. 24.15GHz 대역에서 2GHz의 대역폭을 갖는 LFM (linear frequency modulation) 신호가 사용되었으며, ramp sweep time은 164 us이다. 1개의 frame은 총 16개의 ramp로 구성되며, frame 시간은 10 ms로 100 Hz 단위 고도 측정이 수행된다. 수신된 비트 신호의 샘플링 주파수는 12.5 MHz이며, 2K-point의 FFT 연산이 수행된다.

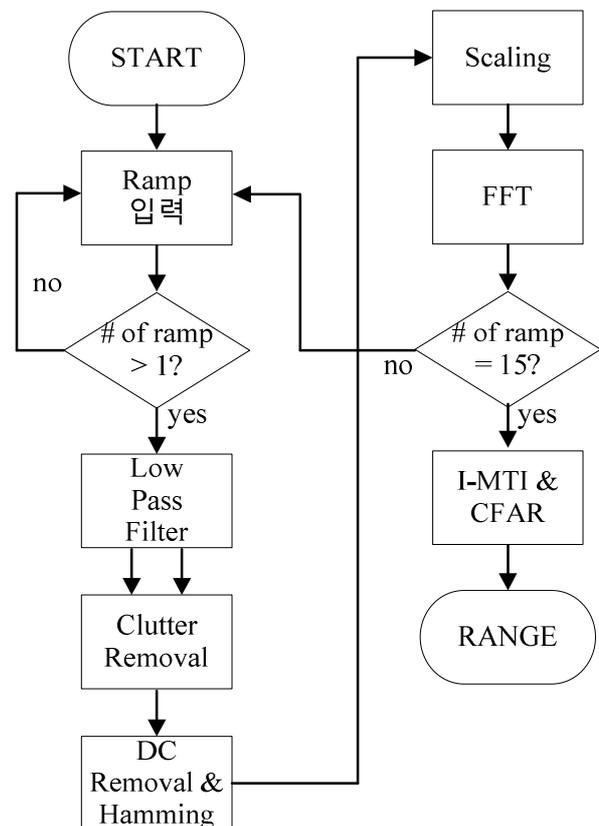
그림 1은 레이다 신호처리 알고리즘의 순서도를 보여준다. 입력된 비트신호는 저역통과필터 (LPF; low-pass filter)를 통과

표 1. FMCW 레이다 시스템의 주요 파라미터

Table 1. Parameters of FMCW radar.

parameter	value
Center Frequency	24.15 GHz
BandWidth	2 GHz
Ramp Sweep Time	164 us
No. of Ramp per Frame	16
Frame Time	10 ms
ADC Sampling Frequency	12.5 MHz
FFT Point	2K-point

한 후 clutter 제거 절차가 수행되며, 현재 ramp와 이전 ramp의 샘플 단위 비교 분석을 통해 clutter 성분이 제거된다. 이후, DC 성분이 제거되며, 해밍 윈도우 (Hamming windowing) 과정 및 누적을 위한 scaling 과정이 수행된다. 동일 크기로 scaling 된 비트 신호는 FFT (fast Fourier transform) 연산에 의해 주파수 영역으로 변환되고, 이동성분 제거를 위한 inverse MTI (moving target indicator) 필터를 통과한 후, 오검출률을 일정하게 유지하기 위한 CFAR (constant false alarm rate) 과정을 통해 드론 고도 정보가 출력된다.



제안된 레이더 신호처리 알고리즘은 상위수준 simulator를 통해 평가되었으며, 그림 2는 clutter가 제거되는 과정을 예시하여 보여준다. 약 400, 800, 2000번째 index의 data가 clutter로 판단되어 제거된 후, 보상된 data가 출력되는 것을 확인할 수 있다. 또한, 그림 3는 드론이 60 m 고도에서 20 m/s의 속도를 가지고 하강하며 0.5초에 한 번씩 거리를 측정하는 상황을 모사하여 보여준다. 특히, 그림 3에서는 CFAR 과정의 결과를 확인할 수 있으며, 초기에 고도를 측정하였을 때에는 FFT index가 800부근에서 발생하다가 점점 작아지는 것을 확인할 수 있다.

III. 레이더 신호처리기 하드웨어 구조설계

그림 4는 드론 고도 측정용 FMCW 레이더 신호처리 프로세서의 하드웨어 구조를 도시한다. 제안된 레이더 신호처리기는 LPF, CRU (clutter removal unit), DRU (DC removal unit), HWU (Hamming windowing unit), SU (scaling unit), FFT processor, I-MTI filter 및 CU (CFAR unit)로 구성된다. LPF는 31tap shift register를 사용하여 data를 정렬한 후 정해진 weight와 승산 및 합산하여 filter를 통과한 data를 출력한다. LPF에서 출력된 data는 CRU로 입력되어 현재 ramp와 이전 ramp와의 비교 그리고 현재 ramp내에서 이전 sample들과의 비교 분석을 통해 clutter를 찾아내어 제거하여 준다. DRU는 CRU의 output data를 이용하여 mean을 계산함과 동시에 PB (preprocessing buffer)에 data를 저장한다. DRU에서 DC계산이 완료되면 PB로부터 data를 읽어와 DC값을 제거하여 출력한다. HWU는 DRU의 output data를 입력받아 Hamming window parameter와 승산한다. 또한, SU에서는 HWU의 output값을 이용하여 최대값과 최소값을 계산함과 동시에 PB에 data를 저장한다. SU에서 최대값, 최소값 계산이 완료되면 PB로부터 data를 읽어와 scaling을 진행한다. SU의 output data가 모두 PB에 저장되면 FFT 연산이 수행되며, FFT processor는 radix-4 SB (single butterfly) 구조로 구현된다. FFT 연산이 끝난 data는 고정된 물체를 탐지하기 위하여 recursive 방식의 I-MTI filter로 입력된다. I-MTI filter를 통과한

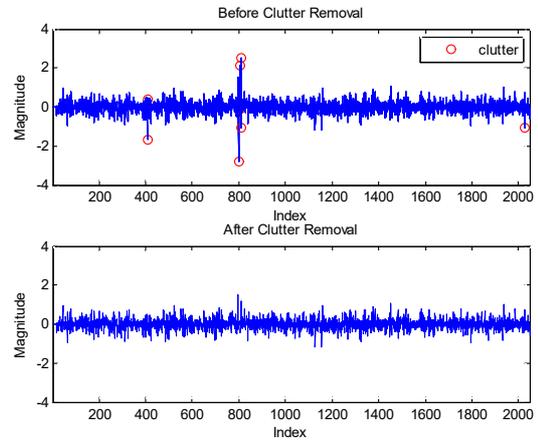


그림 2. Clutter 제거 과정에 대한 시뮬레이션 결과  
Fig. 2. Simulation results for clutter removal processor.

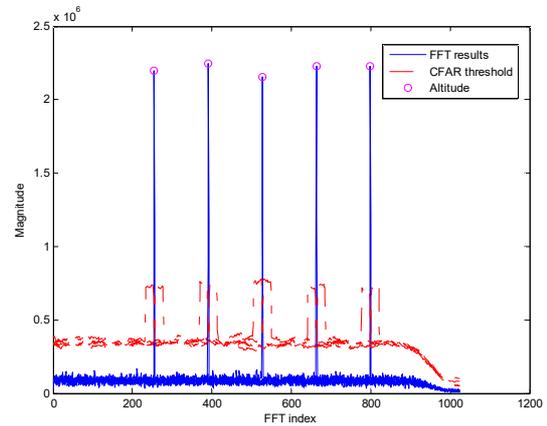


그림 3. CFAR 시뮬레이션  
Fig. 3. Simulation of CFAR.

data는 CU로 입력되어 오검출률을 일정하게 유지하지 위하여 threshold를 data의 특징에 맞게 변경하며 고도를 측정한다.

표 2는 RSP 세부 블록별 소요되는 clock cycle 수를 정리하여

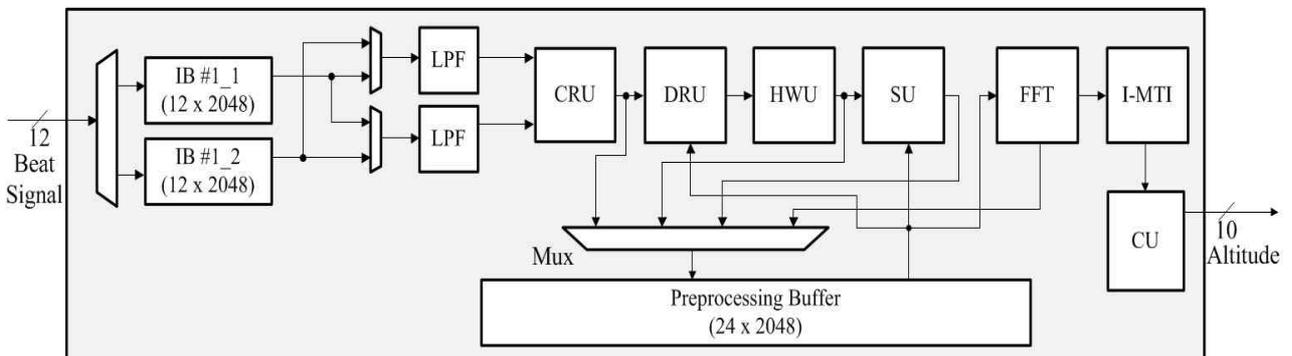


그림 4. 제안된 레이더 신호처리 프로세서의 하드웨어 구조  
Fig. 4. Hardware architecture of the proposed radar signal processor.

보여준다. ADC sampling rate는 12.5 MHz이고 1개의 ramp당 500 us의 시간을 소모하므로, 12.5MHz 기준으로 1개의 ramp당 총 6250 cycles를 사용할 수 있다. 하지만, 표 2에 제시된 바와 같이 RSP 구현을 위해 소요되는 총 cycle 수는 23,869 이므로, ADC clock보다 4배 빠른 50MHz의 clock을 사용하여 설계를 진행하였다.

### 3-1 CRU의 하드웨어 구조

그림 5는 CRU의 하드웨어 구조를 보여준다. 현재 ramp의 data와 이전 ramp의 data가 입력되고, 해당 sample과 이전 ramp의 동일 위치 sample과의 차이, 동일 ramp에서 주변 sample과의 차이를 각각 정해진 weight와 승산한 뒤 합산한 후, threshold값과의 비교를 통해 clutter 여부를 판단한다. Clutter로 판단된 경우에는 입력 data를 25tap median filter와 34tap LPF를 통과한 data의 중간값으로 대체하여 출력하고, clutter가 아니라고 판단된 경우에는 입력 data를 그대로 출력한다.

### 3-2 SU의 하드웨어 구조

그림 6은 SU의 하드웨어 구조를 나타낸다. HWU의 output이 SU로 입력됨과 동시에 PB에 쓰여진다. SU 내부의 Max\_Calc, Min\_Calc은 최대, 최소값을 구하는 블록인데, 입력된 data를 register에 저장하며 새로 들어오는 data와 비교한 뒤 크기가 더 큰 (혹은 작은) data만 저장하는 구조로 구성된다. 최대값과 최소값이 계산되면, PB에서 data를 읽어와 확률밀도함수 (PDF; probability density function)를 계산하기 시작한다. PDF를 계산하는 block은 그림 7에 제시되어 있는데, 각 data에 대한 0~127의 128개의 PDF index에 대한 위치를 선택하여 주는 LSU (location selection unit), counter의 enable 신호를 생성하기 위한 7x128 decoder와 PDF index를 저장하고 있는 128개의 counter로 구성된다.

표 2. 블록별 소모되는 clock cycle 수

Table 2. Number of clock cycles for each block.

Block	Number of clock cycles
LPF	8
CRU	50
DRU	4,096
HWU	1
SU	6,400
FFT	13,312
I-MTI filter	2
CU	1,024
Total	23,869

1개의 ramp에 대한 PDF계산이 완료되면 PDF를 누적하여 누적분포함수 (CDF; cumulative distribution function)를 계산하기 시작한다. CDF를 계산하는 블록은 그림 8에 제시되어 있는데, CDF를 계산하며 CDF의 확률 중 1~99%사이의 확률에서 최대, 최소 index의 계산이 함께 이루어진다. CDF\_Gen 블록에서 CDF\_data와 CDF\_index를 출력하면 Max\_Idx\_Calc 블록에서는 해당 CDF\_data가 1~99% 사이에 존재하는 CDF data중 가장 큰 index를 출력하는 역할을 한다. Min\_Idx\_Calc 블록에서는 1~99% 사이의 CDF data중 가장 작은 index가 출력된다. 이 두 값의 차이를 이용하여 scale value를 구한 뒤 PB에서 data를 읽어와 scale value와 승산하여 출력한다.

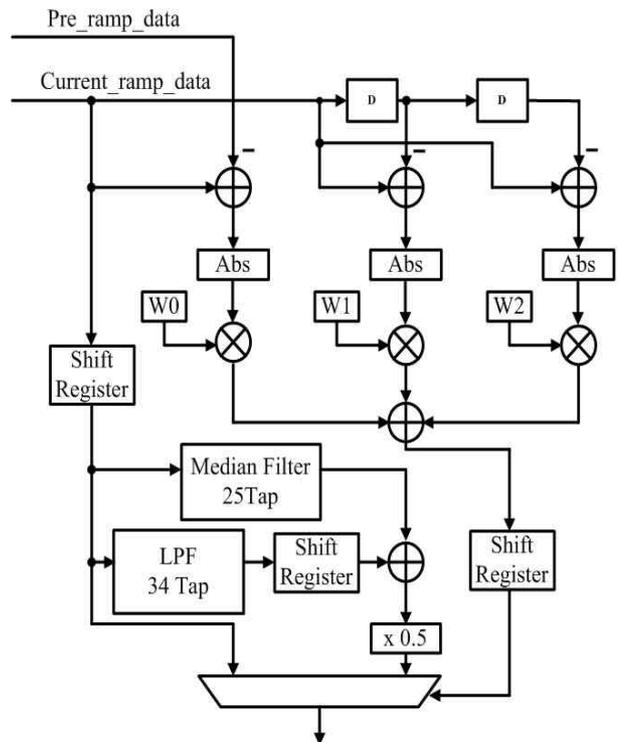


그림 5. CRU 하드웨어 구조  
Fig. 5. Hardware architecture of CRU.

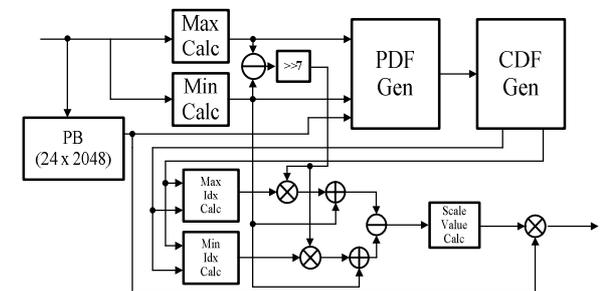


그림 6. SU 하드웨어 구조  
Fig. 6. Hardware architecture of SU.

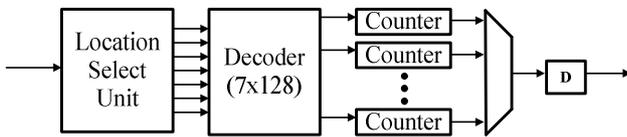


그림 7. PDF\_Gen 블록의 하드웨어 구조  
Fig. 7. Hardware architecture of PDF\_Gen block.

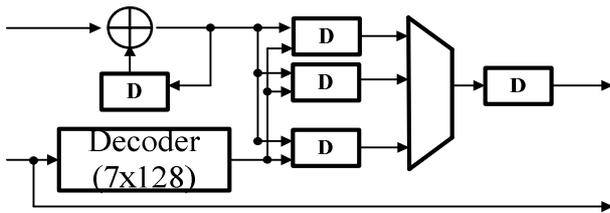


그림 8. CDF\_Gen 블록의 하드웨어 구조  
Fig. 8. Hardware architecture of CDF\_Gen block.

### 3-3 FFT processor의 하드웨어 구조

그림 9는 FFT processor의 하드웨어 구조를 나타낸다. 저면적 구현을 위해 radix-4 및 radix-2 혼용 SB (single butterfly) 구조로 설계되었다. 총 6개의 stage로 구성되어 있으며, 각 stage가 시작할 때 PB에서 data를 읽고 끝날 때 PB에 data를 쓰도록 구성되어 있다.

Accumulator 연산은 FFT연산 후의 결과를 ramp에 정해진 Gaussian weight를 승산한 후 accumulate buffer에 누적하도록 설계하였다. 15개의 ramp가 모두 누적된 후 buffer의 결과를 CU로 전달한다. Accumulator의 norm을 구하는 과정은 일반적으로  $\sqrt{a^2 + b^2}$  연산이지만, square root와 제곱 연산은 hardware로 구현할 경우 complexity가 높기 때문에 shifter와 adder로 대체하여 구현하였다.

### 3-4 CU의 하드웨어 구조

그림 10은 CU의 하드웨어 구조를 나타낸다. 물체를 탐지하기 위한 threshold 값이 일정한 경우 실제 target을 탐지하지 못하는 경우 (miss detection)와 interference를 target이라고 판단하는 경우 (false alarm)이 존재한다. False alarm의 경우 고정된 threshold 값에 따라 다양한 rate로 나타나는데, CU를 사용하면 상황에 맞게 threshold값을 변경하기 때문에, false alarm rate가 일정하게 유지된다.

Threshold값을 구하고자 하는 sample을 test cell이라고 하고 test cell 좌우 1개씩은 FFT 결과의 true peak 주변에서는 magnitude가 유사한 값을 가지기 때문에 guard cell로 지정하여 threshold 값을 구할 때 제외한다. Guard cell 옆의 20개씩을 reference cell로 지정하여 reference cell들의 평균값을 threshold 값으로 지정한다. Compare 블록에서는 test cell과 guard cell, threshold값을 입력 받아 test cell의 크기가 threshold와 guard

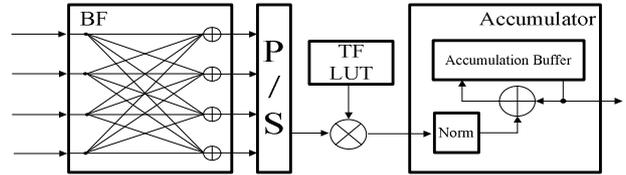


그림 9. FFT processor 하드웨어 구조  
Fig. 9. Hardware architecture of FFT processor.

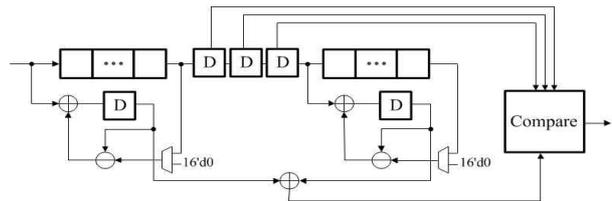


그림 10. CU 하드웨어 구조  
Fig. 10. Hardware architecture of CU.

cell의 크기보다 클 경우 target이라고 판단하여 index를 저장한다.

## IV. 구현 결과

제안된 RSP는 Verilog-HDL을 이용하여 RTL 수준에서 설계 후, Altera Cyclone-IV FPGA 디바이스를 이용하여 구현 및 검증되었다. 그림 11은 logic simulation 결과를 보여준다. 60m 높이에 위치한 드론을 가정하여 상위수준 simulator로부터 test-vector를 추출하여 logic simulation을 수행하였고, CU에서 나오는 최종 FFT index가 동일한 것을 확인하였다. 표 3은 RSP의 블록별 논리 합성 결과를 제시한다. 총 27,523개의 logic element가 사용되었고, register는 15,798개, memory는 138,240 bits를 사용하였다. 그림 12는 Altera Cyclone-IV device를 활용한 FPGA 플랫폼 기반 RSP 검증 환경을 도시한다. 3개의 frame에 대한 test-vector를 메모리에 초기화한 뒤, push-button을 통하여 start신호를 입력받아 해당 frame에 대한 신호처리가 진행되며, 레이더 신호처리 결과 거리정보를 포함하고 있는 FFT index가 7-segment를 통하여 출력되도록 하였다. 그림 13은 검증결과를 예시한다.



그림 11. 로직 시뮬레이션 결과  
Fig. 11. Logic simulation results.

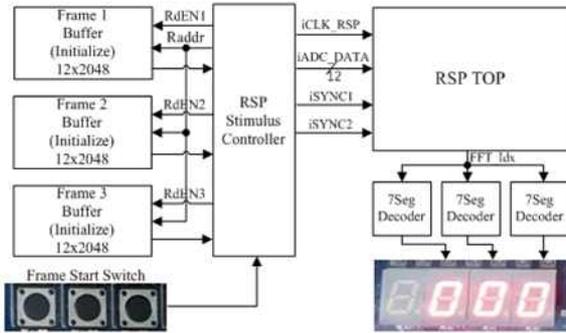


그림 12. FPGA 플랫폼 기반 검증 환경  
 Fig. 12. Verification environment based on FPGA platform.

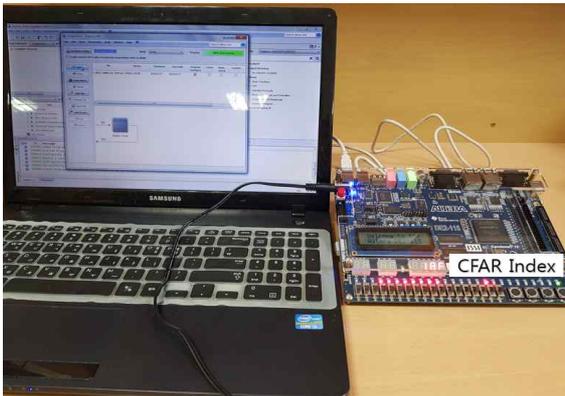


그림 13. FPGA 검증 환경  
 Fig. 13. FPGA test environment.

표 3. FPGA 기반 구현 결과  
 Table 3. FPGA implementation results.

	Logic elements	Register	Memory (bits)
LPF	2,128	1,594	0
CRU	11,088	7,753	0
DRU	109	72	0
HWU	2,070	38	0
SU	6,310	3,976	0
FFT	3,818	957	18,432
I-MTI	238	96	0
CFAR	1,216	871	0
Top Block	27,523	15,798	138,240

## V. 결론

본 논문에서는 드론 고도 측정용 레이다 신호처리 프로세서의 설계 및 구현 결과를 제시하였다. 드론 고도 측정을 위해 드론의 자체 움직임에 강인한 특성을 보이는 fast-ramp FMCW 레이다를 사용하였고, 50 MHz의 동작주파수로 100 Hz 단위의 고도 측정이 수행될 수 있도록 설계되었다. Altera Cyclone-IV FPGA 기반 구현 결과, 제안된 레이다 신호처리 프로세서는 총

27,523의 logic elements, 15,798개의 register, 138 Kbits의 memory로 구현 가능함이 확인되었다.

## Acknowledgments

본 연구는 방위사업청과 산업통상자원부가 공동으로 시행하는 민군기술협력사업 (16-CM-RB-12)의 일환으로 수행되었으며, CAD Tool은 IDEC으로부터 지원 받았음

## References

- [1] H. J. Seok, D. H. Yoon, C. S. Lim. "Suggestion on the SBAS augmentation message providing system for the the low-cost GPS receiver of drone operation," *The Journal of Advanced Navigation Technology*, Vol. 21, No. 3, pp. 272-278, 2017.
- [2] A. Cho, Y. S. Kang, B. J. Park, C. S. Yoo, S. O. Koo. "Altitude integration of radar altimeter and GPS/INS for automatic takeoff and landing of a UAV," in *Control, Automation and Systems (ICCAS), 2011 11th International Conference on. IEEE*, pp.1429-1432, 2011.
- [3] A. Moses, M. Rutherford, and K. Valavanis. "Radar-based detection and identification for miniature air vehicles," in *Control Applications (CCA), 2011 IEEE International Conference on. IEEE*, pp. 933-940, 2011.
- [4] P. Bezousek, M. Hejek, and M. Pola. "Effects of signal distortion in a FMCW radar on range resolution," in *Microwave Techniques (COMITE), 2010 15th International Conference on. IEEE*, pp. 113-116, April. 2010.
- [5] J. H. Choi, J. W. Choi, and S. C. Kim. "The study of DoA estimation in frequency domain in automotive radar aystem," *The Journal of Korean Institute of Communications and Information Sciences* Vol. 41, No. 1, pp. 12-22, Jan. 2016.
- [6] E. G. Hyun, and J. H. Lee. "Hardware architecture design and implementation for FMCW radar signal processing algorithm," in *Design and Architectures for Signal and Image Processing (DASIP), 2014 Conference on. IEEE*, pp. 1-6, 2014.
- [7] E. G. Hyun, Y. S. Jin, and J. H. Lee. "Moving and stationary target detection scheme using coherent integration and subtraction for automotive FMCW radar systems," in *Radar Conference (RadarConf), 2017 IEEE. IEEE*, 2017.
- [8] Y. K. Kwag, M. S. Choi, J. H. Bae, I. P. Jeon, J. Y. Yang. "Airborne pulsed Doppler radar development," *The Journal of Advanced Navigation Technology*, 10.2, pp. 173-180. 2016.



**임 의 빈 (Euibeen Lim)**

2016년 8월 : 한국항공대학교 전자 및 항공전자공학과 (공학사)  
2016년 9월 ~ 현재 : 한국항공대학교 항공전자정보공학과 석사과정  
※ 관심분야 : Radar SoC, VLSI 신호처리



**진 소 라 (Sora Jin)**

2017년 8월 : 한국항공대학교 전자 및 항공전자공학과 (공학사)  
2017년 9월 ~ 현재 : 한국항공대학교 항공전자정보공학과 석사과정  
※ 관심분야 : Radar SoC, VLSI 신호처리



**정 용 철 (Yongchul Jung)**

2015년 8월 : 한국항공대학교 전자 및 항공전자공학과 (공학사)  
2017년 2월 : 한국항공대학교 항공전자정보공학부 (공학석사)  
2017년 3월 ~ 현재 : 한국항공대학교 항공전자정보공학부 박사과정  
※ 관심분야 : Radar SoC, VLSI 신호처리



**정 윤 호 (Yunho Jung)**

1998년 2월 : 연세대학교 전자공학과  
2000년 2월 : 연세대학교 전기전자공학과 (공학석사)  
2005년 2월 : 연세대학교 전기전자공학과 (공학박사)  
2005년 ~ 2007년 : 삼성전자 책임연구원  
2007년 ~ 2008년 : 연세대학교 연구교수  
2008년 ~ 현재 : 한국항공대학교 교수  
※ 관심분야 : 무선 통신 시스템, 항공통신 시스템, 영상처리 시스템, 모뎀 SoC, 영상처리 SoC